

# USB3.0-PCIe 変換アダプタ基板[AB13-USB3PCIE]

## 取扱い説明書 [Ver1.1J]

### はじめに

この度は USB3.0-PCIe 変換アダプタ基板[型番:AB13-USB3PCIE] (以下、本変換基板と略します)をご採用頂き誠にありがとうございます。

本変換基板は、USB3.0 規格 A タイプ・コネクタの SuperSpeed 信号を Altera/Xilinx 各評価ボードの PCI-Express 接続トランシーバと直結する変換アダプタ基板です。本変換基板を FPGA 評価ボードの PCIe カードエッジ・コネクタと接続することにより、DesignGateway 社製 USB3.0-IP の外部 PHY 不要版(トランシーバ直結版)の実機評価が可能となります。

本変換基板は 8lane 対応 PCI-Express ソケットコネクタと6個の USB3.0 A タイプコネクタが実装されており、最大 6 チャンネルの USB3.0 SuperSpeed 接続が可能となります。6 チャンネルのうち2チャンネルは USB3.0 リドライバ・チップ(TI 製 SN65LVPE502CP)が挿入されているため、USB3.0 規格特性に完全準拠した信号で外部デバイスと通信することが可能です。残りの4チャンネルは FPGA チップと直結となるため、接続する外部デバイスとはトランシーバの特性そのもので通信を評価できます。

ただし各 FPGA ベンダーではトランシーバの USB3.0 SuperSpeed を正式には対応しておりません。従ってトランシーバ直結での USB3.0 SuperSpeed 実装は FPGA ベンダーでは動作保証できませんのでご注意ください。

本変換基板の特長を以下に示します。

- PCI-Express 8-lane(4-lane/1-lane ももちろん可)の FPGA 評価ボードと接続
- PCIe トランシーバと USB3.0 の SuperSpeed 信号を接続し PCIe と USB3.0 を変換
- 全 6 チャンネルの USB3.0 I/F、うち 2 チャンネルはリドライバ・チップ経由で 4 チャンネルは直結
- ジャンパ・ソケットにより、リドライバ・チップの各特性パラメータを設定可能
- 14PIN フラットケーブル経由で FPGA 基板の LCD I/F と汎用 I/O を接続
- 4PIN ATX 仕様電源より Host モードでの 5V 供給機能
- Host モード時に汎用 I/O 経由で各 USB チャンネル個別のバス電源(VBus)供給 ON/OFF 制御
- Device モード時に汎用 I/O 経由で各 USB チャンネル個別のバス電源(VBus)検出信号を通知
- 各 USB チャンネル個別 LED により VBus 供給状態を発光表示
- 125MHz LVDS の低ジッタ高品質 SuperSpeed 用リファレンスクロック供給

なお、本変換基板は DesignGateway 社製 USB3.0-IP 評価専用のため、SuperSpeed(5.0Gbps)以外の配線リソースは全て省略されています。従って USB2.0/1.1 など Legacy USB 規格では使えません(各 USB コネクタの DM/DP ピンは未接続となっておりどこにも接続されておりません)のでご注意ください。

また、USB3.0 SuperSpeed は 5Gbps の帯域を必要とするため、FPGA 側トランシーバが 5Gbps 未満の帯域しか持たない場合は評価できないのでご注意ください。

### パッケージ内容

本変換基板のパッケージ内容は下記のとおりです。

- AB13-USB3PCIE 変換基板: 1枚
- 14 芯フラットケーブル(FPGA 基板の LCD コネクタと接続します): 1本
- VBus 設定およびリドライバ・チップ特性設定用ジャンパソケット: 18 個

## 基板外形

本変換基板サイズは幅 50mm 長さ 95mm です。 基板外観写真を下图 1 に示します。

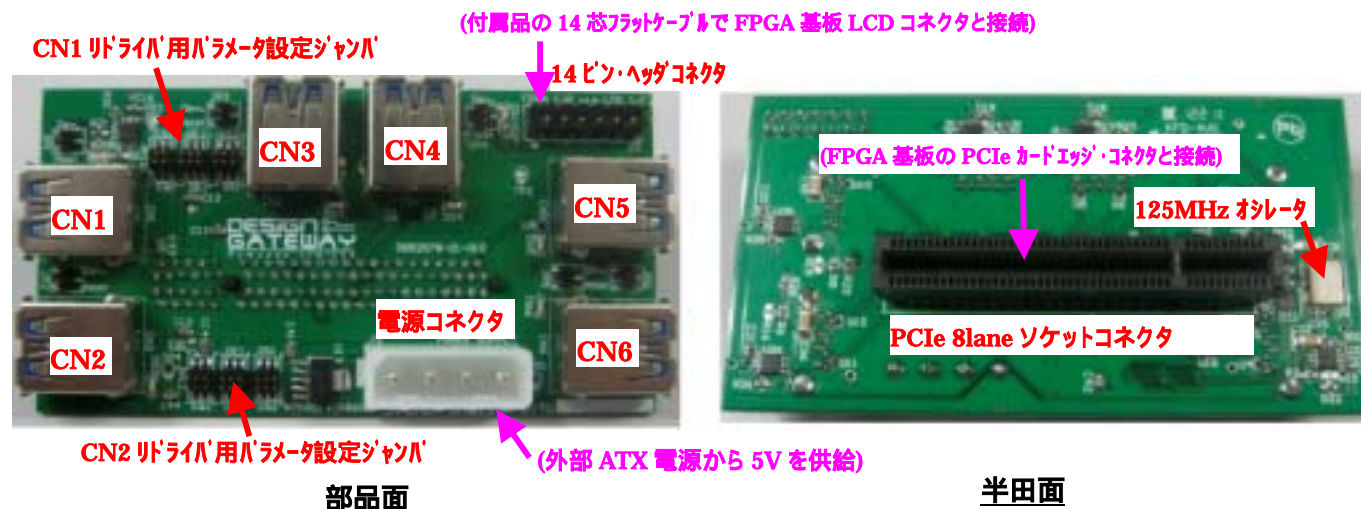


図 1: 変換基板の外観写真

## 接続方法

### [1] FPGA 評価基板との PCIe コネクタ接続

本変換基板は FPGA 評価基板の PCI-Express 8lane カードエッジ・コネクタと接続してください。 FPGA 基板の PCI-Express は 4lane あるいは 1lane でも装着可能ですが、その場合評価できる USB チャンネル数はそれぞれ最大で 4 あるいは 1 チャンネルとなります。

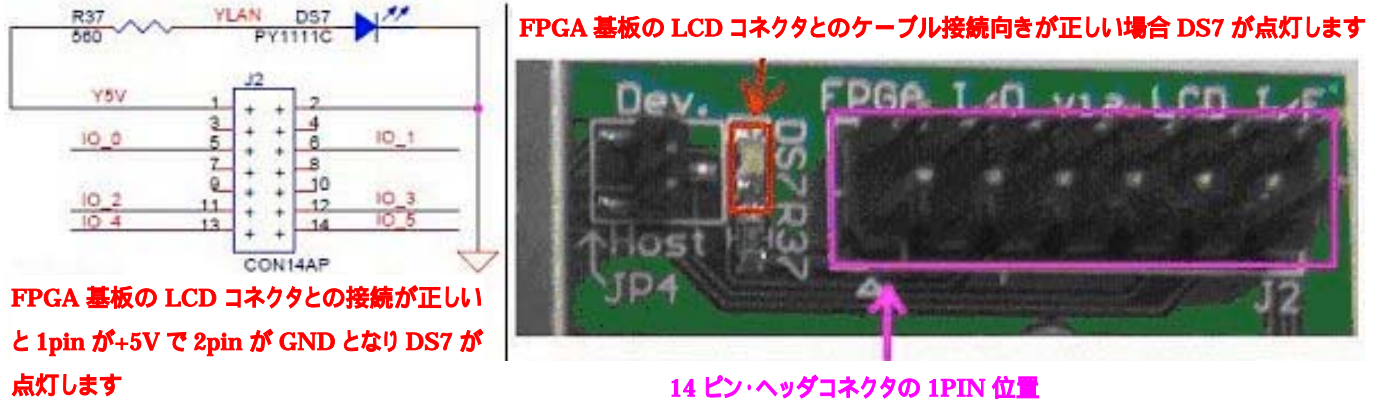
### [2] ATX 電源との接続

本変換基板で USB3.0 SuperSpeed 実機動作を評価するためには、外部 ATX 電源より電源コネクタから 5V 電源を供給する必要があります。 ATX 標準の 4PIN 電源ケーブルより 5V を供給してください。(12V は使っていません。) 5V 電源が供給されない場合、125MHz オシレータ、リドライバチップ、パワースイッチが動作しないため本基板は機能できません。

### [3] FPGA 基板の LCD コネクタとのフラット・ケーブル接続

FPGA の汎用 I/O により本変換基板の制御やステータス確認を行う必要があります。このため付属品の 14 芯フラット・ケーブルを使い、FPGA 評価基板の LCD コネクタと本基板の 14 ピン・ヘッダコネクタを接続する必要があります。

FPGA 基板の 14 ピン LCD コネクタと本変換基板の 14 ピン・ヘッダコネクタが正しい向きで接続されている場合、FPGA 基板の電源を投入したときに本変換基板の DS7 が点灯します。FPGA 基板の電源投入時に DS7 が点灯しない場合、直ちに FPGA 基板の電源を切断しフラット・ケーブルの向きを確認してください。

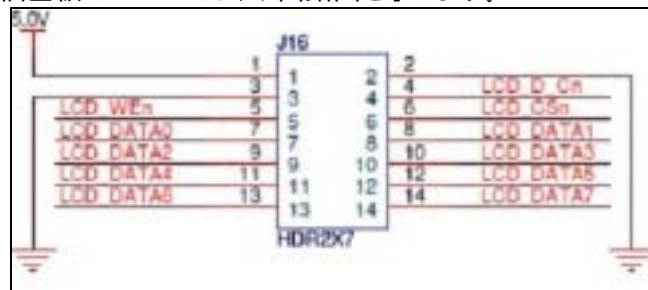


**図 2: DS7 によるケーブル接続向きの確認方法**

以下に説明しますが、Altera 製評価基板(StratixIV GX を例に挙げます)と Xilinx 製評価基板(KC-705 を例に挙げます)で、フラット・ケーブルの接続向きは逆になりますのでご注意ください。

#### [3-1] Altera 製 StratixIV GX 評価基板の LCD コネクタとの接続方法

下図 3 に StratixIV GX 評価基板の LCD コネクタ回路図を示します。



**図 3: StratixIV GX 評価基板の LCD コネクタ回路図**

StratixIV GX 評価基板の LCD コネクタと本変換基板のフラット・ケーブルによる接続方法は、StratixIV GX 評価基板の 1pin と本変換基板 14 ピン・ヘッダコネクタの 1pin 同士をそのままフラット・ケーブルで接続します。つまり両基板で同じピン番号同士がフラット・ケーブルでストレートに接続される形となります。

正しく接続した場合の両基板の接続を下表 1 に示します。

本変換基板		StratixIV GX 評価基板	
Pin 番号	信号	Pin 番号	信号名
1	DS7 の High 側	1	5.0V
2	GND(DS7 の Low 側)	2	GND
5	CN1 用の汎用 I/O	5	LCD_We_n
6	CN2 用の汎用 I/O	6	LCD_CS_n
11	CN3 用の汎用 I/O	11	LCD_DATA4
12	CN4 用の汎用 I/O	12	LCD_DATA5
13	CN5 用の汎用 I/O	13	LCD_DATA6
14	CN6 用の汎用 I/O	14	LCD_DATA7

**表 1: StratixIV GX 評価基板の LCD コネクタ接続表**

### [3-2] Xilinx 製 KC-705 評価基板の LCD コネクタとの接続方法

下図 4 に KC-705 評価基板の LCD コネクタ回路図を示します。

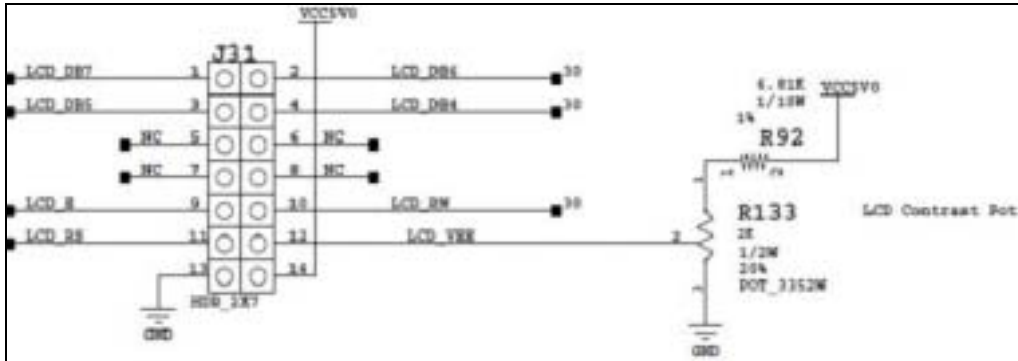


図 4: KC-705 評価基板の LCD コネクタ回路図

KC-705 評価基板の LCD コネクタと本変換基板のフラット・ケーブルによる接続方法は、KC-705 評価基板の 1pin と本変換基板 14 ピン・ヘッダコネクタの 14pin をクロスする形でフラット・ケーブルで接続します。つまり両基板で 1pin と 14pin、2pin と 13pin...14pin と 1pin 号同士がフラット・ケーブルでクロスに接続される形となります。正しく接続した場合の両基板の接続を下表 2 に示します。

本変換基板		StratixIV GX 評価基板	
Pin 番号	信号	Pin 番号	信号名
1	DS7 の High 側	14	VCC5V0
2	GND(DS7 の Low 側)	13	GND
5	CN1 用の汎用 I/O	10	LCD_RW
6	CN2 用の汎用 I/O	9	LCD_E
11	CN3 用の汎用 I/O	4	LCD_DB4
12	CN4 用の汎用 I/O	3	LCD_DB5
13	CN5 用の汎用 I/O	2	LCD_DB6
14	CN6 用の汎用 I/O	1	LCD_DB7

表 2: KC-705 評価基板の LCD コネクタ接続表

### PCIe ~ USB 間の接続

本変換基板の PCI-Express のレーンと USB3.0 コネクタ間の接続の関係を下表 3 に示します。

PCIe レーン	接続先 USB コネクタ	備考
lane#0	CN1	リドライバ・チップ (U15) 経由
lane#1	CN2	リドライバ・チップ (U16) 経由
lane#2	CN3	PCIe ~ USB3.0 間直結
lane#3	CN4	PCIe ~ USB3.0 間直結
lane#4	なし	PCIe 内 TX-RX 間 loopback 接続
lane#5	なし	PCIe 内 TX-RX 間 loopback 接続
lane#6	CN5	PCIe ~ USB3.0 間直結
lane#7	CN6	PCIe ~ USB3.0 間直結

表 3: PCIe ~ USB 接続

## ジャンパ設定

本変換基板は2種類8箇所のジャンパ・ヘッダがありユーザにより設定可能です。  
ジャンパの設定は付属のソケットを使ってください。

### [1] VBus 設定

全6個の USB コネクタそれぞれ独立して Host モード/Device モード別の VBus 設定が可能です。CN1 ~ CN6 の USB コネクタに対してそれぞれ JP1 ~ JP6 が対応します。

USB を Host モードで使う場合はジャンパの[1-2]間にソケットを挿入することで Vbus ピンに 5V を供給できます。この場合 FPGA からパワースイッチを ON/OFF することで Vbus 電源供給の制御が可能です。

Device モードで使う場合はジャンパの[2-3]間にソケットを挿入することで Vbus の電源供給状態を FPGA の I/O からモニタできます。ジャンパピン近傍に[Host] [Dev]のラベルがあるのでそれによってソケットを挿入してください。

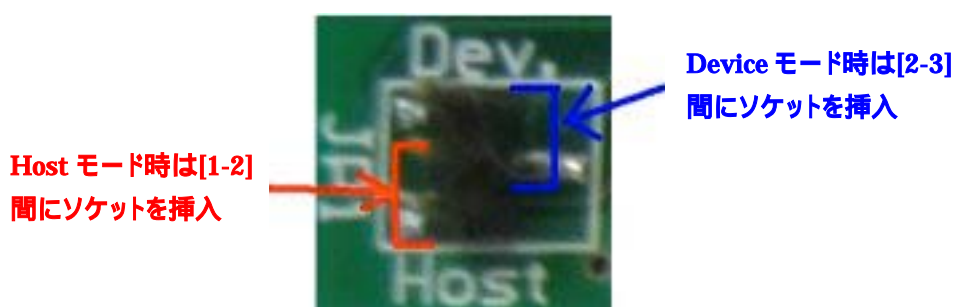


図 5: ジャンパによる Vbus の設定

### [2] リドライバ・チップのパラメータ設定

CN1・CN2 はそれぞれリドライバ・チップ U15・U16 を経由して USB の SuperSpeed 信号と接続します。リドライバ・チップではデエンファシス、イコライザ、出力振幅それぞれのパラメータを JP11/JP12 で設定可能です。

各パラメータの設定は、ジャンパソケットで中央ピンと[+](プラス)側ピンをショートすると High 設定、中央ピンと[-](マイナス)側ピンをショートすると Low 設定となり、ソケットを挿入しないとデフォルトのパラメータとなります。各パラメータの詳細については TI 社より SN65LVPE502CP のデータシートを参照してください。

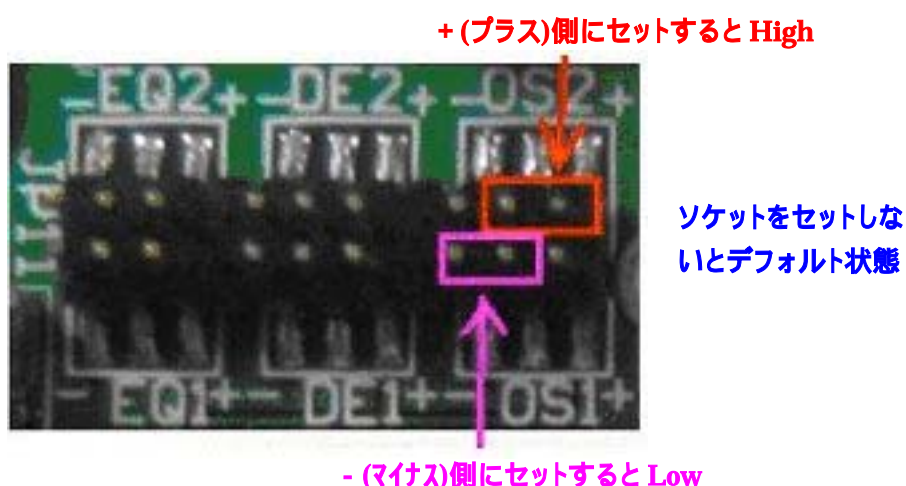


図 6: ジャンパによるリドライバ・チップのパラメータ設定

## 免責事項

本変換基板を誤って使用することにより生じたUSB接続先デバイスあるいはFPGA評価基板の損傷については、その一切を免責事項とさせていただきます。また、本変換基板はあくまで評価を目的としたものであり、USB3.0の正常動作自体を保証するものではありません。FPGA評価基板や接続先デバイスによっては動作しないことがあります。基板の製造不良以外は免責となります。

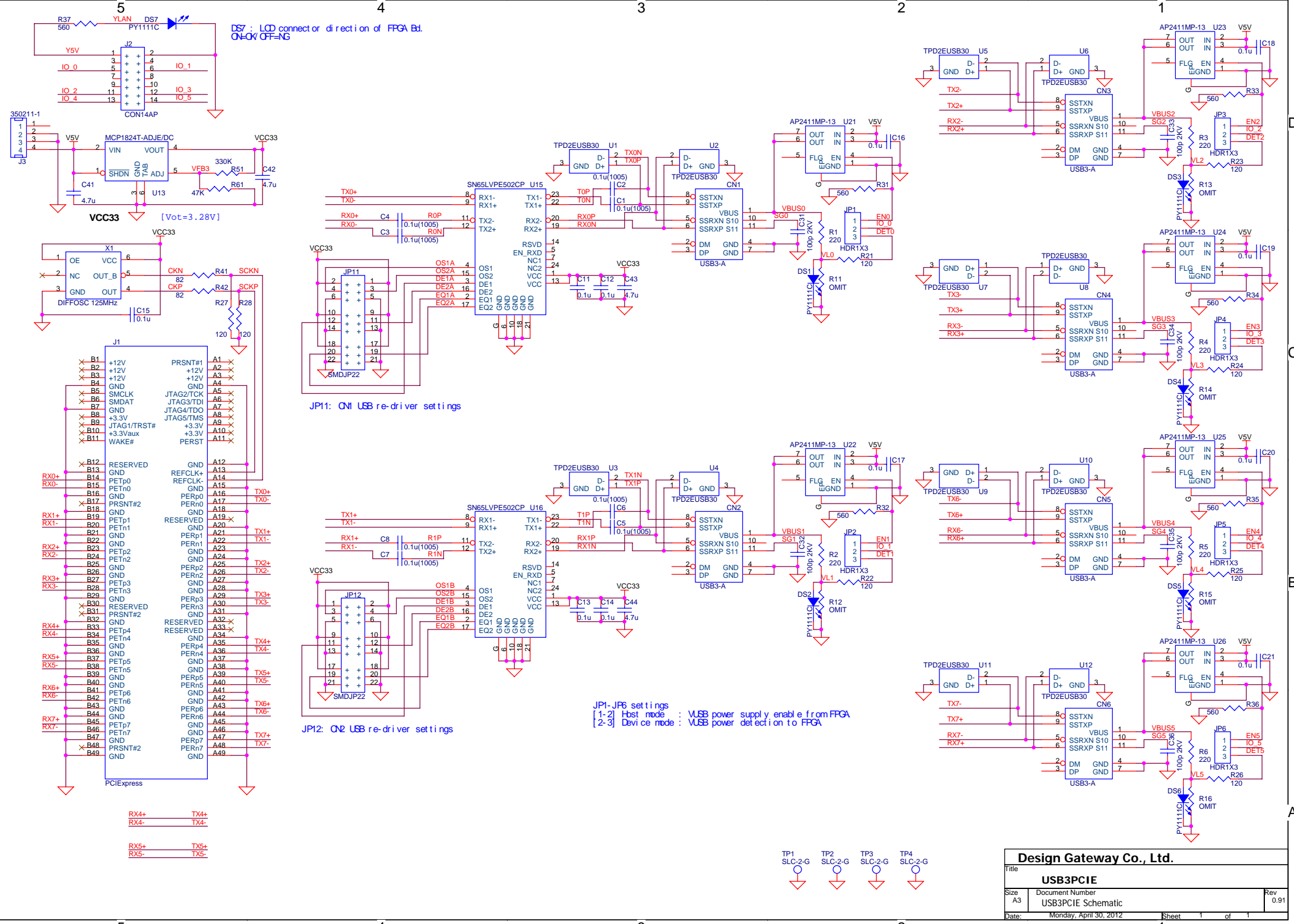
[問い合わせ先]

URL : <http://www.dgway.com>

Email : [info@dgway.com](mailto:info@dgway.com)

## 改版履歴

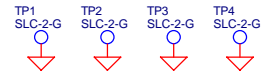
リビジョン	日付	内容
1.0J	2013/04/28	日本語版の初版発行
1.1J	2013/04/30	図中の説明文字が潰れて読みにくいいため修正



DS1 : LOD connect or direction of FPGA Bl.  
ON=OK OFF=NG

JP1: CN1 USB re-driver settings

JP1-JP6 settings  
[1-2] Hbst mode : USB power supply enable from FPGA  
[2-3] Devi ce mode : USB power dete ction to FPGA



Design Gateway Co., Ltd.		
Title	USB3PCIE	
Size	Document Number	Rev
A3	USB3PCIE Schematic	0.91
Date:	Monday, April 30, 2012	Sheet 1 of 1