

はじめに

この度は U.2-PCIe 変換アダプタ[型番:AB20-U2PCI] (以下、アダプタと略します)をご採用頂き誠にありがとうございます。本アダプタは 16Lane PCI Express インターフェイスの 16 チャンネル高速差動信号(Lane15-0)を 4 つの 4-lane PCI 規格 U.2 インターフェイスに変換するアダプタ基板です。Altera(Intel)/AMD(Xilinx)製各 FPGA 評価ボードに適用可能で DesignGateway 社製 NVMe-IP コア各ファミリー製品の実機評価や同 IP コアを使ったユーザ製品開発に使用します。

アダプタ基板の部品面には 4 個の U.2 コネクタが実装されており、2.5 インチ規格サイズの U.2 SSD を最大 4 台装着できます。半田面には 16Lane 対応の PCIe (PCI Express)コネクタが実装され、Lane3-0/7-4/11-8/15-12 がそれぞれ CN1/CN2/CN3/CN4 に装着された SSD と接続します。全チャンネルで PCIe Gen5 速度での正常動作を実機確認済みです。

本アダプタには低ジッタのクロック発振器やリセット回路が実装され、PCIe および U.2 SSD へのクロック/リセット信号へ供給可能です。本アダプタおよび U.2 SSD への電源は標準の 6 ピンタイプ PCI Express 補助電源から供給します。

本製品には、本アダプタと接続する 4 台の各 SSD ドライブを安定して保持するフレーム機構が組み込まれているため、信頼性のある電機接続が維持されます。

FPGA ボードに接続した本アダプタと SSD ドライブを保持したフレーム機構を下図 1 に示します。

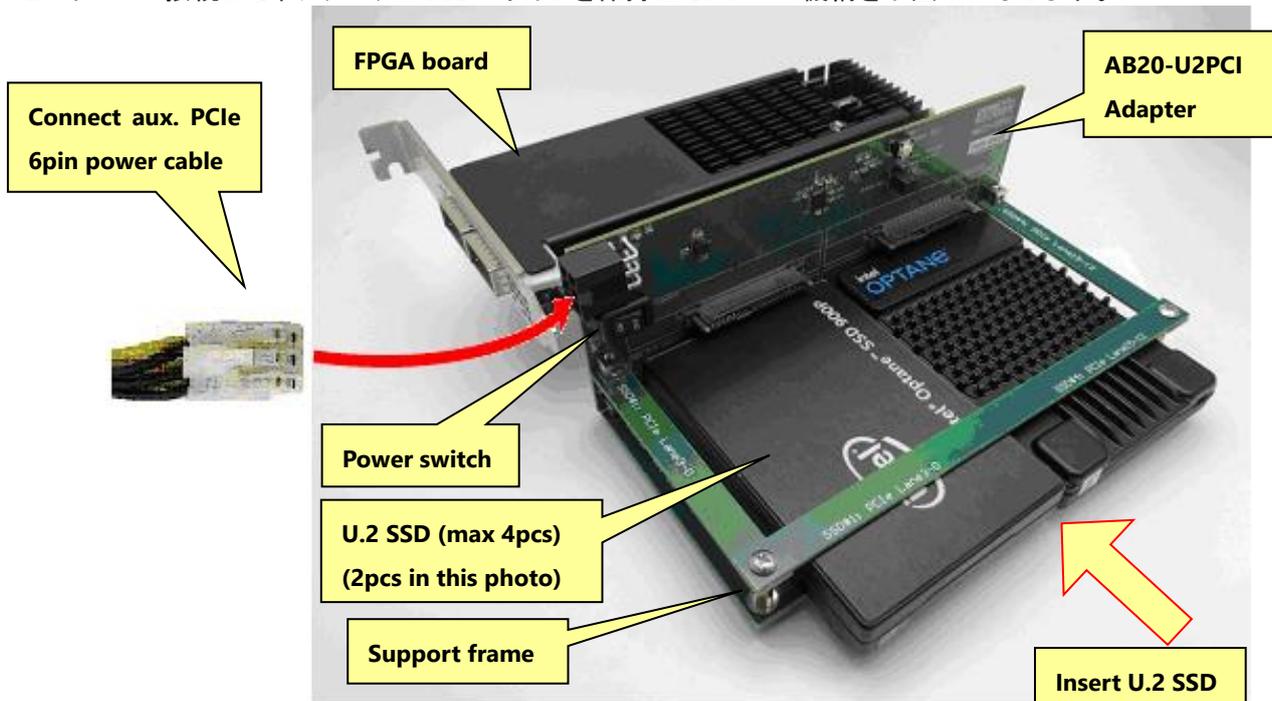


図 1: FPGA ボードに接続したアダプタと保持フレーム

本アダプタの特長を以下に示します。

- 16Lane PCI Express 対応の U.2 SSD 搭載用アダプタ基板
- PCIe Gen5 での FPGA-U.2 SSD 間の正常アクセス実機動作確認済み
- 厚さ 15mm までの 2.5 インチ規格サイズの U.2 SSD を 4 台まで同時装着可能
- アダプタおよび SSD 電源は汎用の外部 6pin PCIe 補助電源から+12V で供給
- 本アダプタおよび U.2 SSD への供給電源はスイッチで ON/OFF 制御可能
- アダプタ上に PCIe 規格の 100MHz 低ジッタクロック発生源を実装
- PCIe と 4 台の SSD の計 5 系統全てに同一位相の 100MHz 差動クロック信号を供給
- リセットは PCIe-SSD 直結とアダプタ基板上的リセット出力をジャンパ・ソケットで選択可

基板外形

本アダプタのフレーム機構を含めたサイズは、横幅 166mm 高さ 60mm 奥行 85mm です。アダプタ基板の部品面と半田面の基板外観写真をそれぞれ下図 2 および図 3 に示します。

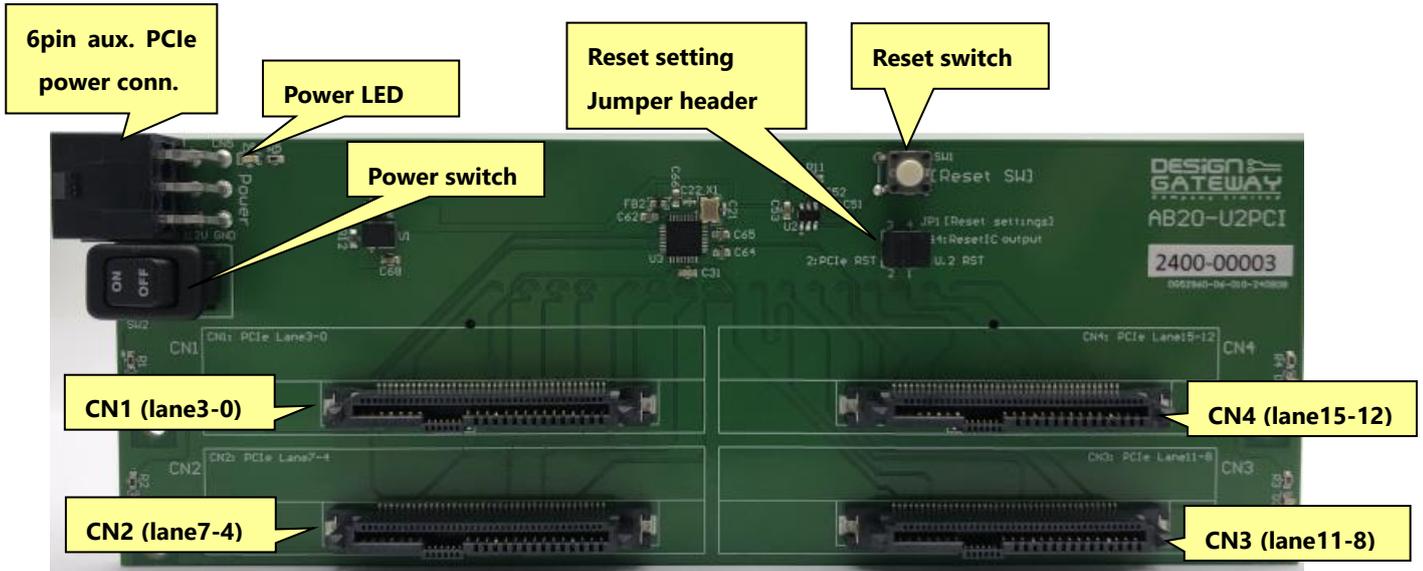


図 2: アダプタ基板の部品面

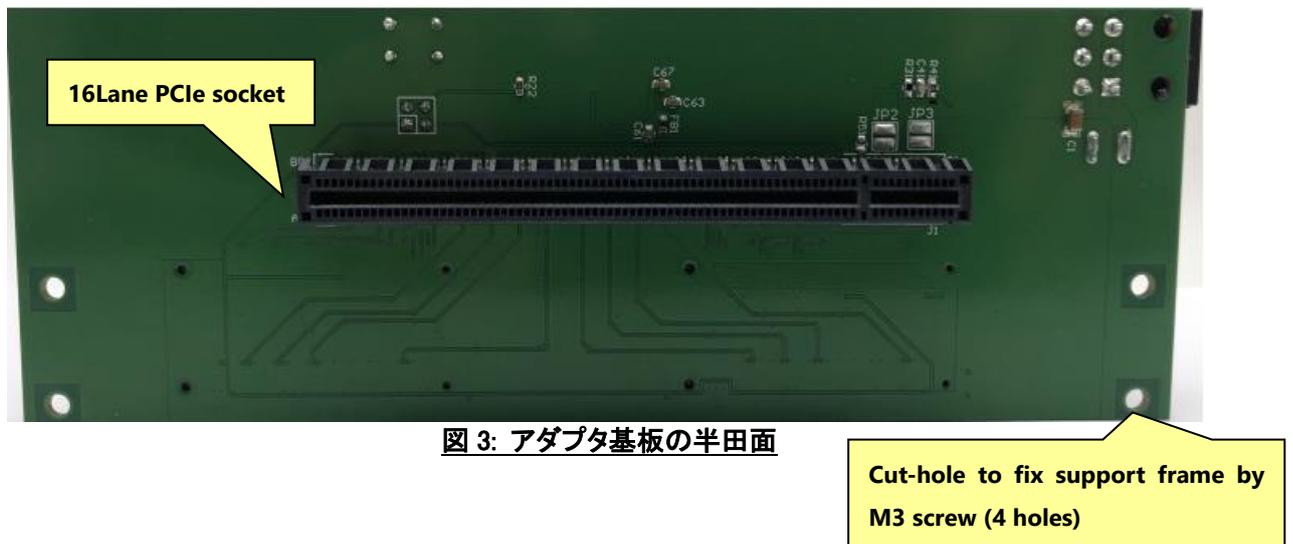


図 3: アダプタ基板の半田面

電源

本アダプタおよび装着した SSD への電源は図4に示すように 6 ピンタイプの PCIe 補助電源から+12V で供給します。電源スイッチによりアダプタ基板および SSD への+12V 電源供給を制御できます。電源投入状態は電源コネクタ横の LED で確認可能です。

供給された+12V 電源はアダプタ内の電源レギュレータにて動作に必要な+3.3V 電源を生成しますが、+3.3V 電源は U.2 SSD や PCIe コネクタの+3.3V 電源ピンには供給されず、アダプタ内部回路のみに供給されます。従って PCIe に接続した FPGA ボードへの電源供給は本アダプタの PCIe コネクタ経由ではできません。

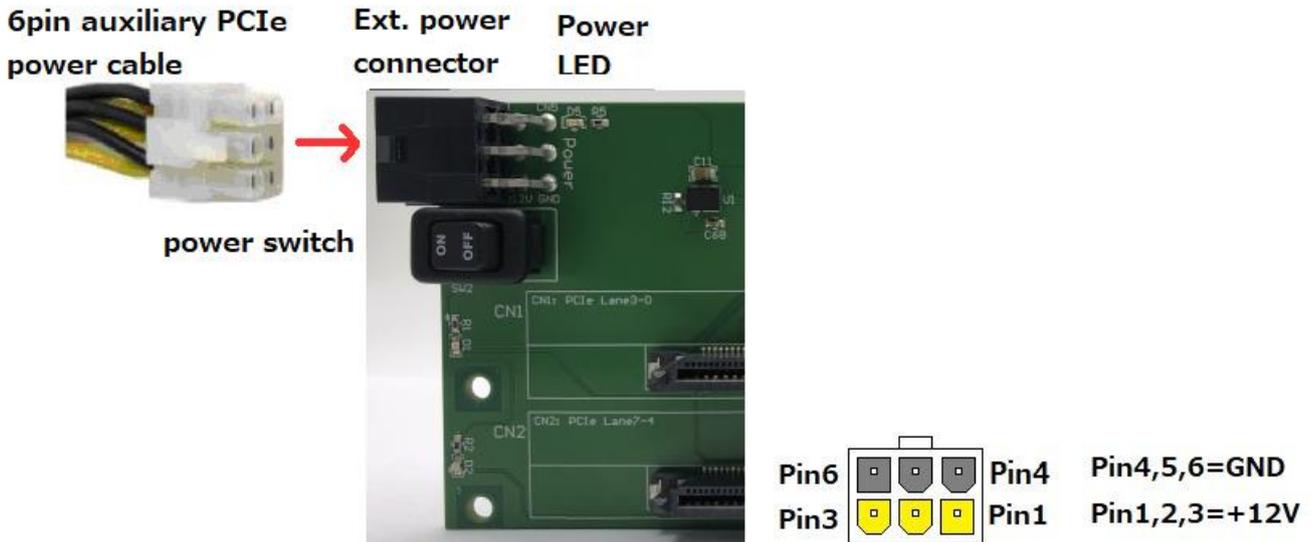


図 4: 電源スイッチ, PCIe 補助電源コネクタおよび電源ピンアサイン

アクセス LED

各 U.2 コネクタ近傍には図 5 に示す位置に SSD のアクセス LED があり、それぞれの U.2 コネクタ P11 ピン (ACTIVITY# 信号) が Low レベルで発光します。



図 5: 各 SSD のアクセス LED (上図の各黄色枠内)

クロック

本アダプタには PCI Express Gen5 規格対応のクロック・ジェネレータが実装されており、PCIe の差動クロック (A13/A14 ピン) および全 4 チャンネルの U.2 SSD 用差動クロック (E7/E8 ピン) に対して全て同一の位相でシステム・クロックが供給されます。クロック周波数は 100MHz 固定で変更できません。

リセット

本アダプタには PCIe および U.2 のリセット信号を生成するリセット IC、手動でリセット信号を発生するためのリセットスイッチ、各リセットシステムを選択するための 2x2 ジャンパヘッドが実装されています。

リセット IC は +3.3V 電源の電圧レベルを常時モニタし約 3.0V を下回った場合にロウ・アクティブのリセット信号を出力します。またリセットスイッチ押下によっても同様に 100msec 程度のリセット信号パルスを生成します。

リセット信号の接続は図 6 に示す 2 列 x 2 本の 4 ピンヘッダ JP1 にソケットを挿入することで以下のように設定可能です。工場出荷時のソケット設定は図 6 の 1-4 間および 2-3 間の接続(黄色四角枠)となります。

1-4 間ショート: リセット IC 出力と 4 個全ての U.2 SSD のリセット (E5 ピン) を接続

2-3 間ショート: リセット IC 出力と PCIe Express のリセット (A11 ピン) を接続

1-2 間ショート: PCIe Express のリセットと 4 個全ての U.2 SSD のリセットを接続

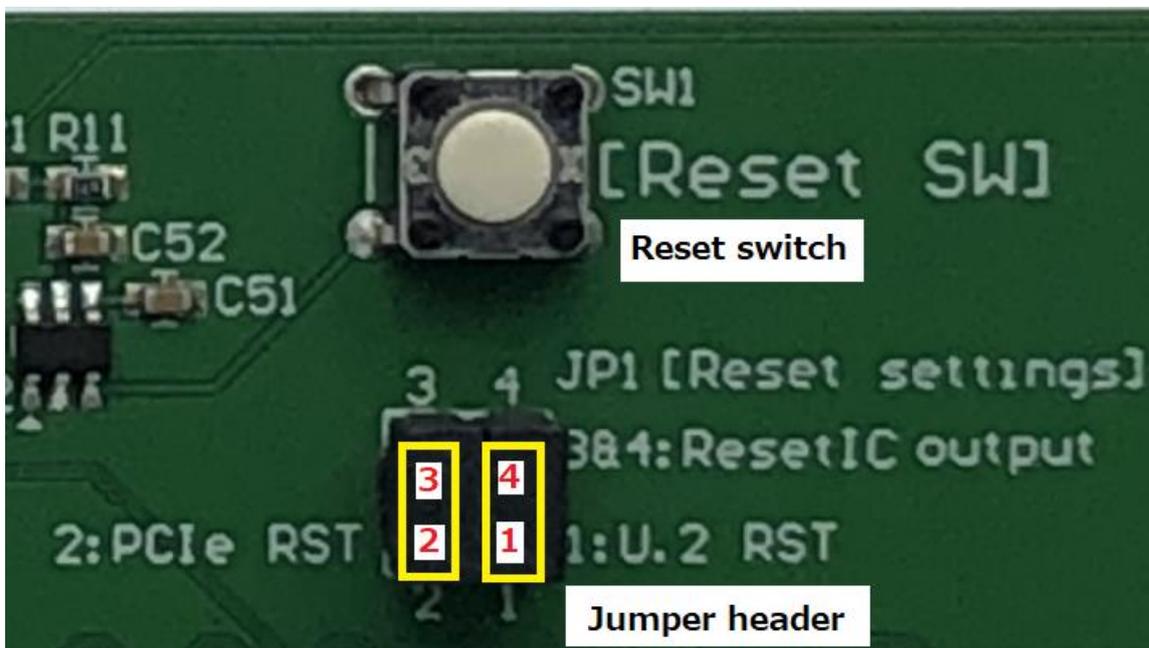


図 6: リセットスイッチ(SW1)とリセット設定用ピンヘッダ(JP1)

PCIe と各 U.2 SSD 間の接続

本アダプタにおける PCIe ソケットの各レーンと CN1-CN4 に装着した 4 台の U.2 SSD 間の接続は以下となります。

PCIe Lane# (signal direction)	PCIe signal name	PCIe Pin#	U.2 Conn.	U.2 Pin#
Lane0 Tx (FPGA->PCIe->U.2)	PERp0/PERn0	A16/A17	CN1	E10/E11
Lane0 Rx (FPGA<-PCIe<-U.2)	PETp0/PETn0	B14/B15	CN1	E14/E13
Lane1 Tx (FPGA->PCIe->U.2)	PERp1/PERn1	A21/A22	CN1	S17/S18
Lane1 Rx (FPGA<-PCIe<-U.2)	PETp1/PETn1	B19/B20	CN1	S21/S20
Lane2 Tx (FPGA->PCIe->U.2)	PERp2/PERn2	A25/A26	CN1	S23/S24
Lane2 Rx (FPGA<-PCIe<-U.2)	PETp2/PETn2	B23/B24	CN1	S27/S26
Lane3 Tx (FPGA->PCIe->U.2)	PERp3/PERn3	A29/A30	CN1	E17/E18
Lane3 Rx (FPGA<-PCIe<-U.2)	PETp3/PETn3	B27/B28	CN1	E21/E20
Lane4 Tx (FPGA->PCIe->U.2)	PERp4/PERn4	A35/A36	CN2	E10/E11
Lane4 Rx (FPGA<-PCIe<-U.2)	PETp4/PETn4	B33/B34	CN2	E14/E13
Lane5 Tx (FPGA->PCIe->U.2)	PERp5/PERn5	A39/A40	CN2	S17/S18
Lane5 Rx (FPGA<-PCIe<-U.2)	PETp5/PETn5	B37/B38	CN2	S21/S20
Lane6 Tx (FPGA->PCIe->U.2)	PERp6/PERn6	A43/A44	CN2	S23/S24
Lane6 Rx (FPGA<-PCIe<-U.2)	PETp6/PETn6	B41/B42	CN2	S27/S26
Lane7 Tx (FPGA->PCIe->U.2)	PERp7/PERn7	A47/A48	CN2	E17/E18
Lane7 Rx (FPGA<-PCIe<-U.2)	PETp7/PETn7	B45/B46	CN2	E21/E20
Lane8 Tx (FPGA->PCIe->U.2)	PERp8/PERn8	A52/A53	CN3	E10/E11
Lane8 Rx (FPGA<-PCIe<-U.2)	PETp8/PETn8	B50/B51	CN3	E14/E13
Lane9 Tx (FPGA->PCIe->U.2)	PERp9/PERn9	A56/A57	CN3	S17/S18
Lane9 Rx (FPGA<-PCIe<-U.2)	PETp9/PETn9	B54/B55	CN3	S21/S20
Lane10 Tx (FPGA->PCIe->U.2)	PERp10/PERn10	A60/A61	CN3	S23/S24
Lane10 Rx (FPGA<-PCIe<-U.2)	PETp10/PETn10	B58/B59	CN3	S27/S26
Lane11 Tx (FPGA->PCIe->U.2)	PERp11/PERn11	A64/A65	CN3	E17/E18
Lane11 Rx (FPGA<-PCIe<-U.2)	PETp11/PETn11	B62/B63	CN3	E21/E20
Lane12 Tx (FPGA->PCIe->U.2)	PERp12/PERn12	A68/A69	CN4	E10/E11
Lane12 Rx (FPGA<-PCIe<-U.2)	PETp12/PETn12	B66/B67	CN4	E14/E13
Lane13 Tx (FPGA->PCIe->U.2)	PERp13/PERn13	A72/A73	CN4	S17/S18
Lane13 Rx (FPGA<-PCIe<-U.2)	PETp13/PETn13	B74/B75	CN4	S21/S20
Lane14 Tx (FPGA->PCIe->U.2)	PERp14/PERn14	A76/A77	CN4	S23/S24
Lane14 Rx (FPGA<-PCIe<-U.2)	PETp14/PETn14	B70/B71	CN4	S27/S26
Lane15 Tx (FPGA->PCIe->U.2)	PERp15/PERn15	A80/A81	CN4	E17/E18
Lane15 Rx (FPGA<-PCIe<-U.2)	PETp15/PETn15	B78/B79	CN4	E21/E20

表 1: PCIe 各レーンと 4 台の U.2 SSD 間の接続

免責事項

本アダプタを誤って使用することにより生じたFPGA 評価基板あるいはSSD デバイスの損傷については、その一切を免責事項とさせていただきます。また、本アダプタ基板はあくまで評価を目的としたものであり、FPGA 評価ボードや接続先SSD デバイスの特性によっては正常に動作しない可能性があります。アダプタ基板の製造不良以外は免責となります。

[問い合わせ先]

URL : <https://dgway.com/index.php>

Email : info@dgway.com

改版履歴

リビジョン	日付	内容
1.0J	2024/10/7	日本語版の初版発行