



**Design Gateway Co.,Ltd**

本社: 〒184-0012  
東京都小金井市中町 3-23-17  
電話/FAX: 050-3588-7915  
E-mail: sales@dgway.com  
URL: [www.dgway.com](http://www.dgway.com)

**特長**

- シンプルなユーザ制御インターフェイス (dgIF typeS)
- データ・ポートは使い易い FIFO インターフェイス
- DesignGateway 社製 SATA-IP コアと直結可能
- 内部 BlockRAM を消費せず少ロジックリソースのみで実装可能
- CPU や DDR なしのコンパクトなシステムにも適用可能
- アプリケーション・レイヤの 4 種類の ATA コマンドに対応  
IDENTIFY DEVICE, WRITE DMA(EXT), READ DMA(EXT), SECURITY ERASE UNIT
- ArriaV スタータ/ Arria10SoC ボードおよび DesignGateway 社製 SATA アダプタ基板で実機動作するリファレンス・デザインが製品に添付

Core Facts	
コアの提供情報	
提供ドキュメント	リファレンス・デザイン説明書 実機デモ手順書
提供形態	暗号化されたネットリスト
制約ファイル	リファレンス・デザインで制約情報
検証方法	評価ボードによる実機動作検証
リファレンス デザイン情報	コアのインスタンスは VHDL で記述 QuartusII プロジェクト
その他	ArriaV / Arria10 SoC 評価ボードでの 検証環境
技術サポート	
デザイン・ゲートウェイによる国内サポート	

表 1:コンパイル結果(コア単体でのコンパイル)

Family	Example Device	Fmax (MHz)	Logic utilization (ALMs)	Registers <sup>1</sup>	Pin	Block Memory bit	Design Tools
ArriaV GX	5AGXFB3H4F35C4	277	365	616	-	-	QuartusII 15.1
StratixV GX	5SGXE7K2F40C2	357	370	589	-	-	QuartusII 14.0
Arria10 SX	10AS066N3F40E2SG	384	385	613	-	-	QuartusII 16.0

注:

1) 実際のスライス消費カウントはユーザ・ロジックやフィット条件等に依存します。この例は単体でコンパイルした結果レポートファイルによるものです。

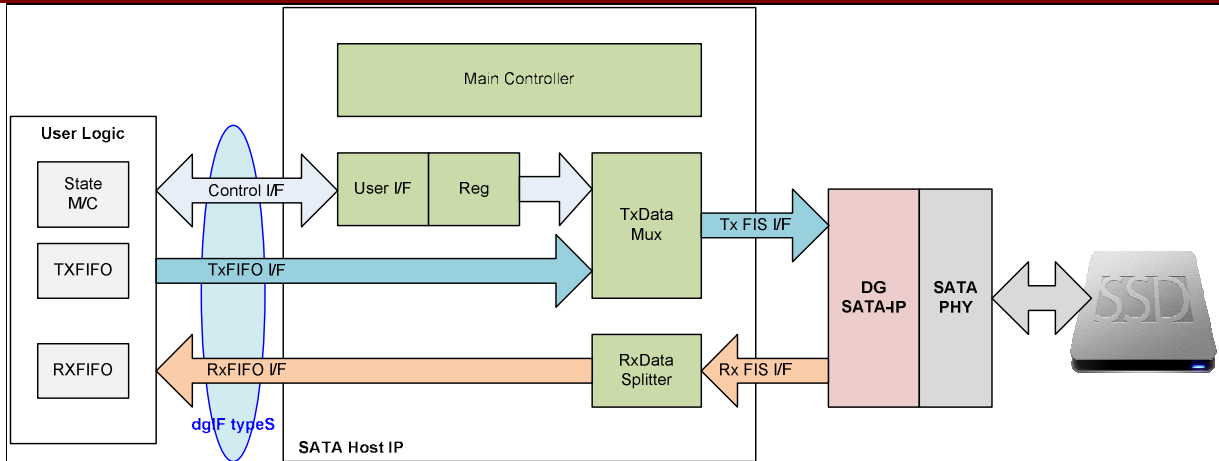


図1：SATAホスト・コントローラIPブロック図

## アプリケーション情報

SATAホストIPコアはDesignGateway(DG)社製SATA-IPコアおよび物理レイヤと合わせてシステムを構築し、CPUおよび外部メモリを使わずロジックのみでSATAを自動制御するためのコアです。あるいはCPUありのシステムであっても本コアによりCPUリソースをSATA制御以外の他のタスクに振り分けることが可能となります。コアは純ハード・ワイヤード・ロジックでデザインされているため、常に最高のパフォーマンスでSATAチャンネルを制御します。本ホストIPコアは超高速データ収録システムや巨大ストレージ・システムのアプリケーションに最適です。

## 概略

SATAホストIPコアはアプリケーション・レイヤと、DG社製SATA-IPコアでは実装されていない一部のトランスポート・レイヤを内蔵します。このためSATAホストIPコアとシンプルなユーザインターフェイス(dglF typeS)で接続するロジックをユーザ回路に実装することでSATAデバイスに対して簡単にライト/リードを実行できます。このdglF typeSはDesignGateway社ストレージIPコア共通のユーザ・インターフェイスで、ユーザ回路からコマンド種別、開始アドレス、転送長をセットするコマンド・インターフェイスと汎用のFIFOによるデータ・インターフェイスです。本ホストIPコアはシンプルに使える4種類のATAコマンドをサポートします。それはSATAデバイス容量をチェックするIDENTIFY DEVICE、SATAデバイスのデータを消去するSECURITY ERASE UNIT、SATAデバイスヘデータを記録するWRITE DMA (EXT)、SATAデバイス内のデータを読み出すREAD DMA (EXT)です。SATAホストIPとDesignGateway社製SATA-IPコアおよびSATA物理レイヤと接続することで、ユーザ回路はアドレスと転送長を制御インターフェイスにセットしデータ・バッファをFIFOで接続することでSATAデバイスへのリード・ライトが可能となります。非同期ロジックは本ホストIPコア内に用意されていないため、本ホストIPコアとDG社製SATA-IPコアのクロック・ドメインは共通させる必要があります。SATAデバイスからのFISパケット・シーケンスが正しくない場合はエラー信号が発生します。

SATA-IIIでテスト・データをライト/リードするリファレンス・デザインがArriaV GXスタータキット/Arria10SoC開発キットの各種Intel製FPGA評価ボードを対象として提供可能で、購入前に実機動作する評価用SOFファイルをDG社Webサイトからダウンロードできます。

## 機能ブロックの説明

SATA ホスト IP コアは DG 製 SATA-IP コアの SATA FIS を生成/デコードするコアです。本ホスト IP コアは2つのロジック・ブロックから構成され、ひとつはデータ FIS を処理するデータ FIS ブロックで、もうひとつはデータ FIS 以外を処理する制御/ステータス FIS を処理します。データ FIS はユーザ FIFO と SATA-IP コア間で送受信するデータであり、制御/ステータス FIS はユーザ制御 I/F と SATA-IP コア間のインターフェイスとなります。

### 制御/ステータス・ブロック

システムの電源が投入されると本ホスト IP コアは SATA デバイスから送られる FIS を待ちデバイスの初期化プロセスが完了したことを確認します。その後ユーザ・ロジックは IP コアに対して新たなコマンド要求を送信できるようになります。コマンドのパラメータはユーザ・ロジックからの入力に従って生成され SATA-IP コアへ転送されます。総転送サイズが1コマンドの最大サイズとなる 32MByte を超える場合、IP コアはユーザ・ロジックが要求した転送サイズに達するまで SATA-IP コアに対して複数のコマンドを連続して自動発行します。本ブロックには以下の2個のサブ・モジュールを含みます。

- **メイン・コントローラ**

ライト/リード・コマンドでの FIS パケット・シーケンスを制御し、SATA-IP への FIS インターフェイスにて制御 FIS とデータ FIS を切り替えます。

- **ユーザ・インターフェイスおよびレジスタ**

ユーザ回路側から要求された指示(ライト又はリード)、対象アドレス、転送サイズはコア内のレジスタにラッチされコマンド FIS のパラメータへと変換されて SATA デバイスに対するライト/リード・コマンドとなります。また、SATA デバイスから報告されたステータスにより前に発行したライト/リード・コマンドが成功したかどうかを確認します。

### データ

ライト・コマンドでデータ FIS を生成するため、送信 FIFO からはデータが取り出されヘッダと結合して FIS パケットを構築します。データ転送サイズが1個の FIS パケット・サイズ以上の場合、送信 FIFO からのデータ・ストリームは SATA-IP コアに転送される前に複数のパケットに自動的に分割されます。リード・コマンドにおいてはデータ FIS パケット内のヘッダ内容がチェックされ取り除かれます。従って純粋なリード・データのみが受信 FIFO に格納されます。Identify Device コマンドの場合のデータはユーザ FIFO には格納されず、その代わりに Iden ポートに転送されます。

- **送信データ・マルチプレクサ**

データ・マルチプレクサはコア内ロジックによるコマンド FIS とライト・コマンドでの送信 FIFO 内のデータ FIS を選択し出力します。

- **受信データ・スプリッタ**

SATA-IP コアからの受信 FIS はデコードされ FIS タイプをチェックします。データ FIS の場合ヘッダが除去され受信 FIFO へと転送されますが、それ以外の FIS はメイン・コントローラへ報告され動作が正常でありエラーが発生していないことが確認されます。

## ユーザ・ロジック

ユーザ側でデザインするロジックはライトまたはリードの指示、アクセス先アドレス、転送長の各パラメータを生成する簡単なロジックとなります。送信 FIFO や受信 FIFO のサイズはパフォーマンスと消費メモリ・リソースによりユーザ側で最適化できます。

## DG 製 SATA-IP コア

本ホスト IP コアと接続する DG 製 SATA-IP コアの詳細については以下の SATA-IP データシートを参照してください。  
SATA-IP データシート:

[http://www.dgway.com/products/IP/SATA-IP/Altera/dg\\_sata\\_ip\\_data\\_sheet\\_altera5\\_jp.pdf](http://www.dgway.com/products/IP/SATA-IP/Altera/dg_sata_ip_data_sheet_altera5_jp.pdf)

## コアの I/O 信号

本ホストコアの全 I/O 信号については下表 2 を参照してください。

表 2: コアの I/O 信号

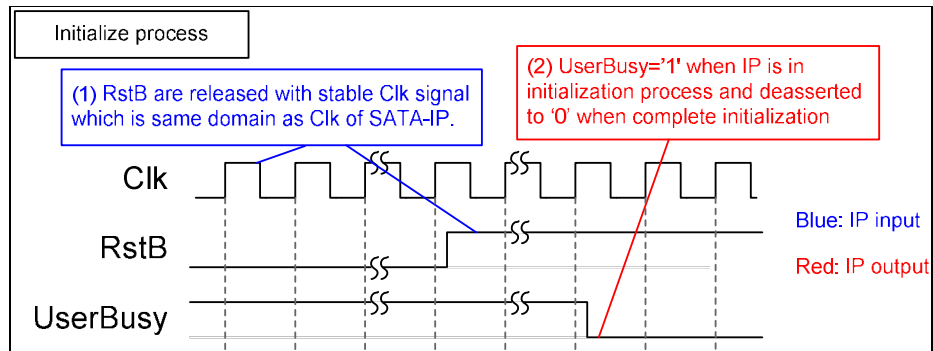
信号名	方向	説明
システム信号		
RstB	In	アクティブ Low のリセット信号、Clk 入力安定したら本信号をネゲートする。
Clk	In	ユーザ・クロック、SATA-IP コアの trn_clk と同一のクロックとする必要がある。(SATA3 の場合 150MHz かそれ以上で SATA2 の場合 75MHz かそれ以上)
ユーザ・インターフェイス (dglF typeS)		
UserCmd[1:0]	In	ユーザ・コマンド、“00”: Identify device コマンド、“01”: SECURITY ERASE UNIT コマンド、“10”: ライト・コマンド、“11”: リード・コマンド 注意: 1) SECURITY ERASE UNIT コマンドの実行時間は接続 SATA デバイスの特性に依存します。デバイスによってはコマンド実行が非常に長時間かかることもあります。このため IP コア内のタイムアウト・カウンタは SECURITY ERASE UNIT コマンドでは機能しません。 2) SECURITY ERASE UNIT コマンドは ATA 規格の必須コマンドではありません、このため接続デバイスで本コマンドがサポートされていることを事前に確認しておく必要があります。
UserAddr[47:0]	In	SATA デバイスのリード/ライト先論理アドレス(LBA)をセクタ単位(1セクタ=512バイト)で指定する。
UserLen[47:0]	In	総転送セクタ・サイズ、0 にセットしてはならない。有効な値は 1 ~ (LBASize-UserAddr)となる。
UserReq	In	新しい指示(コマンド)リクエスト、IP コアがアイドル(UserBusy='0')時のみアサート可。UserCmd/UserAddr/UserLen に有効な値をセットして本信号をアサートすること。
UserBusy	Out	IP コアのビジュー状態、本信号が '1' の場合新しい指示要求を出すことができない。
LBASize[47:0]	Out	接続 SATA デバイスの総容量、セクタ(512バイト)単位で報告される、デフォルト値はゼロ この値はユーザ・ロジックが Identify device コマンドを指示しコマンドが完了した後で更新される
UserError	Out	エラーフラグ、UserErrorType がゼロでない(何らかのエラー発生)場合にアサートされる。 本フラグは RstB をアサートした場合のみ解除可能である。
UserErrorType[31:0]	Out	エラー・ステータス、エラーフラグの詳細情報、各ビットの定義は以下の通り。 [0] - SATA-IP コアからのエラー報告。CEC エラーや、誤った SATA プリミティブ・シーケンスを検出。 [1] - データ FIS ヘッダのエラー [2] - SATA デバイスからのステータス FIS でエラーが報告された。 [3] - DMA アクティブ FIS でのエラー。ライト動作が完了できなかったことを示す。 [4] - PIO セットアップ FIS でのエラー。Disk の Identification プロセス中にエラーが発生。 [5] - タイムアウト・エラー。SATA デバイスから規定時間内に FIS が受信できなかった。 [31:6] - 未使用
UserFifoWrCnt[15:0]	In	受信(リード・データ)用 FIFO のライト・データ・カウンタ値、コアが FIFO のフル状態をチェックするために使う。FIFO サイズが 16 ビット以下の場合上位ビットには '1' をセットする必要がある
UserFifoWrEn	Out	SATA ドライブからリードしたデータと同期してイネーブルすることでリード用 FIFO へ書き込む
UserFifoWrData[31:0]	Out	受信用 FIFO に出力する 32 ビット・リード・データ、UserFifoWrEn と同期して出力
UserFifoRdCnt[15:0]	In	送信(ライト・データ)用 FIFO のリード・データ・カウンタ値、コアが FIFO 内の有効データ数をチェックするために使う。FIFO サイズが 16 ビット以下の場合上位ビットには '0' をセットする必要がある。 この信号は本 SATA HostIP コアでは使われない
UserFifoEmpty	In	送信 FIFO のエンpty・フラグ、FIFO の有効データ数をチェックするために使う。
UserFifoRdEn	Out	送信 FIFO からコアへのデータ出力要求
UserFifoRdData[31:0]	In	送信 FIFO からコアへ転送される 32 ビット・ライト・データ、UserFifoRdEn の次クロックに有効な値をコアへ出力する必要がある

信号名	方向	説明
<b>その他のインターフェイス</b>		
TestPin[31:0]	Out	IP コアのテスト出力ポート用、ユーザ・ロジック側では未接続とすること
TimeOutSel[31:0]	Out	SATA デバイスから返送される FIS を待機するタイムアウト値、単位は Clk 周波数に従う
IdenWrEn	Out	IdenWrAddr および IdenWrData が有効であることを示す
IdenWrAddr[6:0]	Out	IdenWrData を 32 ビット単位で示すインデックス、IdenWrEn に同期
IdenWrData[31:0]	Out	Identify device コマンドで SATA デバイスから送られる 512 バイトの Identify データ、IdenWrEn に同期
<b>SATA-IP インターフェイス (SATA-IP コアの同名の信号と接続)</b>		
trn_rd[31:0]	In	SATA-IP コアからの受信データ・バス
trn_rsof_n	In	受信フレーム開始信号、SATA FIS パケット受信開始を示す、アクティブ Low
trn_reof_n	In	受信フレーム終了信号、SATA FIS パケット受信終了を示す、アクティブ Low
trn_rsrc_rdy_n	In	受信側のデータ送り元レディ信号、trn_rd が有効であることを示す、アクティブ Low
trn_rsrc_dsc_n	In	SATA-IP コアからの受信ディスコネクト、アクティブ Low
trn_rdst_rdy_n	Out	受信レディ、本ホスト IP コアがデータを受領できることを示す、アクティブ Low
trn_rdst_dsc_n	Out	本ホスト IP コアからの受信ディスコネクト要求、アクティブ Low。 本信号は常に '1' とする必要がある。
trn_td[31:0]	Out	SATA-IP コアへの送信データ・バス
trn_teof_n	Out	送信フレーム終了信号、SATA FIS パケット送信終了を示す、アクティブ Low
trn_tsrc_rdy_n	Out	送信データ送り元レディ信号、trn_td が有効であることを示す、アクティブ Low
trn_tsrc_dsc_n	Out	本ホスト IP コアからの送信ディスコネクト要求、アクティブ Low 本信号は常に '1' とする必要がある。
trn_tdst_rdy_n	In	送信レディ、SATA-IP コアがデータを受領できることを示す、アクティブ Low
trn_tdst_dsc_n	In	SATA-IP コアからの送信ディスコネクト要求、アクティブ Low

## 信号タイミング

### 初期化

RstB 信号が 'H' にネゲートされた後、本ホスト IP コア は UserBusy フラグを '1' にセットしてシステムの初期化完了を待ちます。初期プロセスに成功すると図 2 のように UserBusy 信号を '0' にネゲートし、IP コアは新たなコマンドを受信できるようになります。



- ① SATA-IP コアと同一クロック・ドメインの Clk が安定すると RstB をリリースします。
- ② IP コアが初期化中は UserBusy='1' となり初期化が完了すると UserBusy を '0' にネゲートします。

**図 2: 初期化時のタイミング波形**

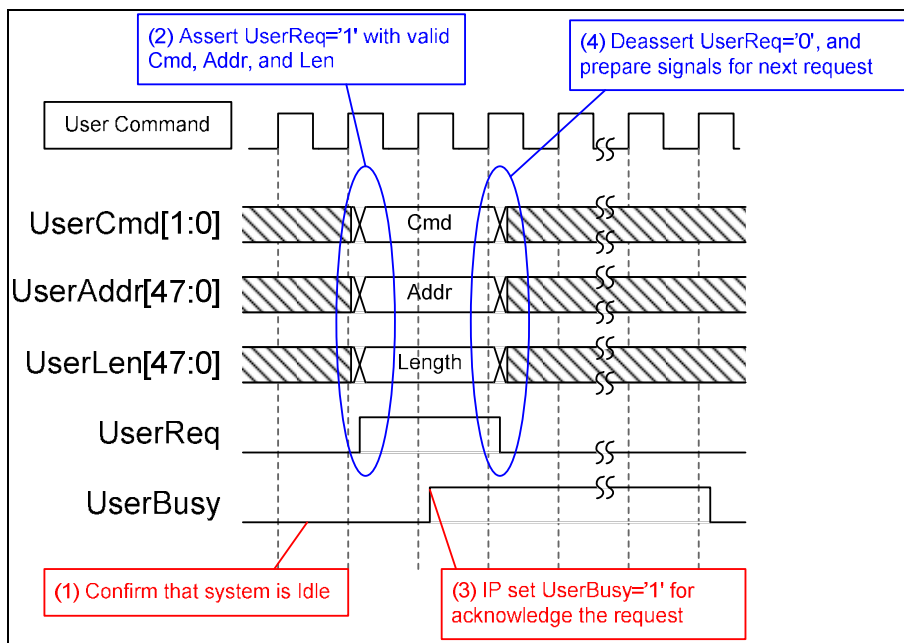
## ユーザ・インターフェイス(dglF typeS)

ユーザ・インターフェイスは2種類のインターフェイスに分類されます、すなわち一つはコマンド・インターフェイスでもう一つはデータ・インターフェイスです。これらユーザ・インターフェイスを非常にシンプルで使いやすい仕様で定義したものが dglF で、dglF typeS は DesignGateway 社のストレージ系 IP コア間で共通のユーザ・インターフェイスです。

図3にコマンド・インターフェイスのタイミング波形を示します。IP コアに新たなライト/リード命令を送る前に必ず UserBusy をモニタし IP コアがアイドル状態であることを確認する必要があります。UserCmd, UserAddr, そして UserLen は UserReq='1' でコマンドを出力する期間は図3に示すように必ず有効な値を保持してはなりません。IP コアは UserBusy='1' としてコマンドを受信したことを示しコマンドの実行を開始します。UserBusy='1' となった以降は UserReq はクリアでき、ユーザ回路からは次の新たなコマンド用のパラメータを用意することができます。

(注意) UserAddr や UserLen は Identify コマンドでは使われられないため無視されます

一方データ・インターフェイスにおいてはライト・コマンドにおけるデータ送信 FIFO はコアから読み出され、リード・コマンドにおけるデータ受信 FIFO はコアからライトされます。データ・インターフェイスのタイミング波形は図4および図5で示します。

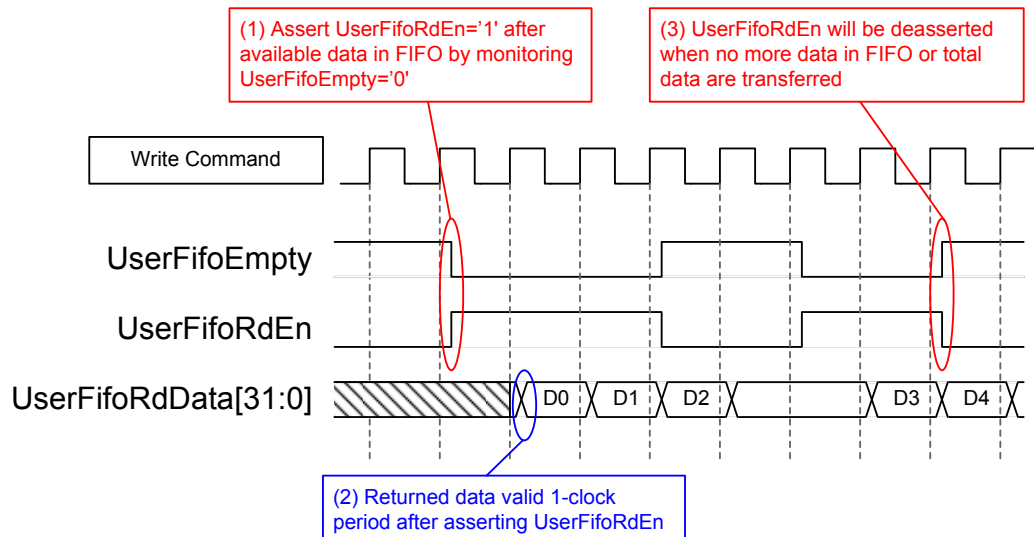


- (1) システムがアイドル状態であることを確認します
- (2) 有効なコマンド, アドレス, 転送長をセットし UserReq='1' をアサートします
- (3) IP コアは要求を受付けたことを UserBusy='1' で示します
- (4) ユーザ回路は UserReq='0' とし、次のコマンドのためのパラメータを準備できます

図3: ユーザ・コマンドのタイミング波形



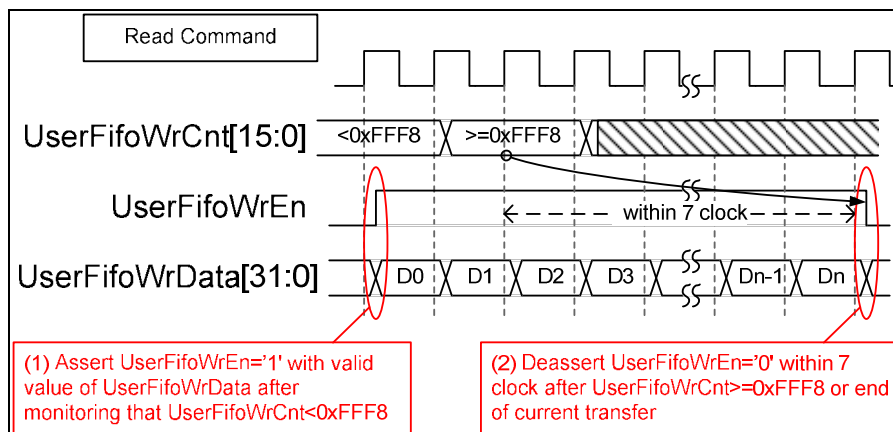
ユーザ回路が指示を出した後、本ホスト IP コアは SATA-IP に対して SATA コマンドやデータ送受信を開始します。ライト・コマンドにおいては、UserFifoEmpty がモニタされ、送信 FIFO 内に有効な送信データがあるかどうかをチェックします。送信データが準備できている場合、ユーザが要求するデータ数に達するまでコアから UserFifoRdEn が出力されます。一般的な FIFO と同様、図 4 に示すように UserFifoRdData は UserFifoRdEn がアサートされた次のクロック・ピリオドで出力されます。



- ① UserFifoEmpty='0'で有効なデータが FIFO 内にあることを確認すると UserFifoRdEn='1'をアサートし送信データを読み出します
- ② 送信データは UserFifoRdEn をアサートした次のクロック・ピリオドで送信 FIFO から読み出されます
- ③ FIFO にそれ以上データがないか、あるいは全データが転送された場合 UserFifoRdEn はネゲートします

図 4: ライト時の送信 FIFO インターフェイス部のタイミング波形

リード・コマンドにおいては有効な UserFifoWrData と一緒に UserFifoWrEn をユーザ回路側にある受信 FIFO に対してアサートします。そしてユーザが要求するデータ数に達するまで本ホスト IP コアから受信 FIFO へ受信データを転送します。UserFifoWrCnt は受信 FIFO の残り空き容量がまだ 7 ワード以上残っているかを判断するために使われます。UserFifoWrCnt が 65528 (0xFFFF8) またはそれ以上であった場合、UserFifoWrEn は 7 クロック以内にネゲートされ受信 FIFO が溢れるのを防ぎます。

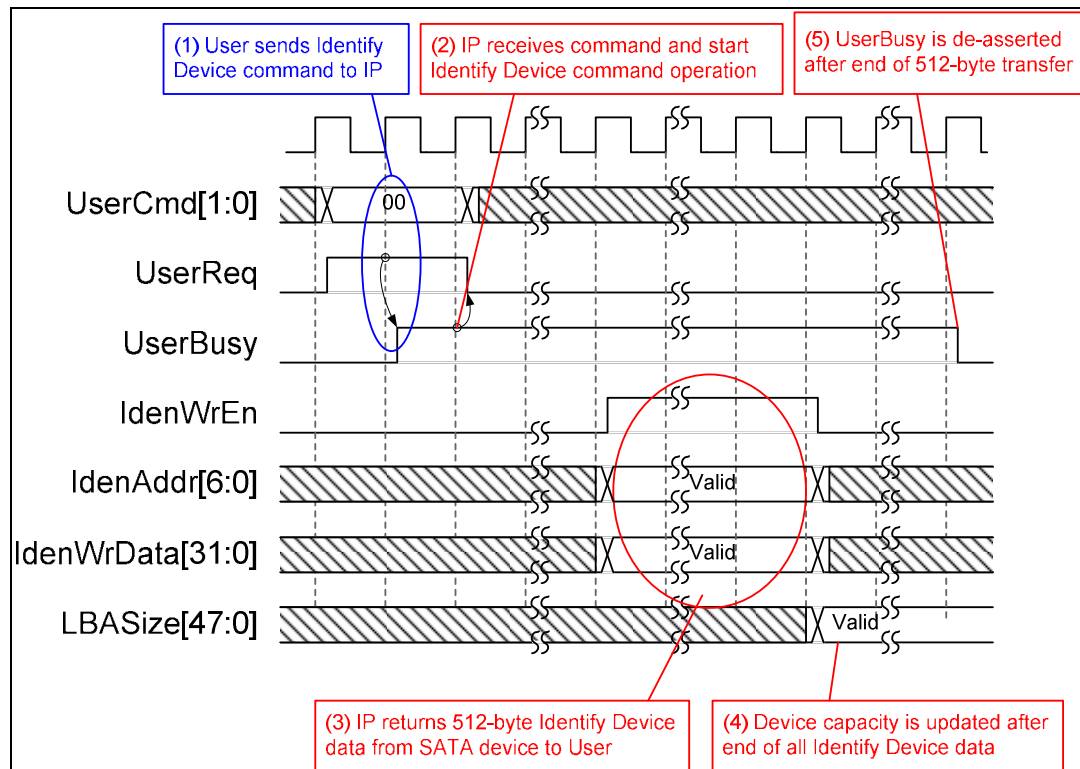


- ① UserFifoWrCnt が 0xFFFF8 以下であるときに有効な UserFifoWrData と合わせて UserFifoWrEn をアサートし受信 FIFO へデータを転送します。
- ② ホスト IP コアは UserFifoWrCnt が 0xFFFF8 に達してから 7 クロック以内か、あるいは現在の転送が完了すると UserFifoWrEn をネゲートします。

図 5: リード時の受信 FIFO インターフェイス部のタイミング波形

## Identify Device

ユーザ・ロジックが IP コアに対して最初に送信するコマンドは LBASize 信号を更新するため IdentifyDevice コマンドとする必要があります。LBASize は SATA デバイスへアクセスできる最大のアドレス情報のためライト/リード・コマンドにおけるアドレスと転送長の合計値は LBASize の値を超えてはなりません。IdentifyDevice コマンドの全 512 バイト・データは Iden ポートを通して出力されます。ユーザ・ロジックは SATA デバイスの情報例えば型番などをこのデータから読み出すことができます。

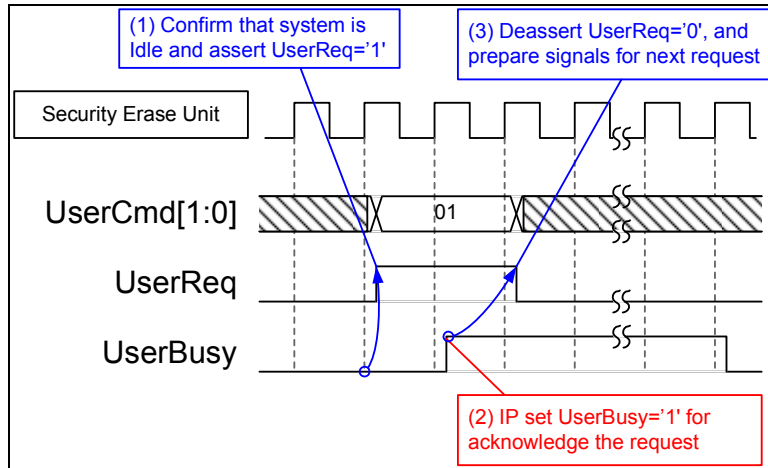


- ① ユーザ回路は IP コアに対して Identify Device コマンドを送信します
- ② IP コアはコマンド受信を検出し Identify Device コマンドの実行を開始します
- ③ IP コアは SATA デバイスからの 512 バイトの Identify Device データを IdenWrData 上に出します
- ④ デバイス要領は Identify Device の全データが出力された後に更新します
- ⑤ UserBusy は全 512 バイトのデータ転送が完了するとネゲートします

**図 6: Identify Device コマンド後の LBASize 更新**

図 6 に示すように、UserCmd と UserReq は UserBusy = '0' の時点でセットします。UserAddr と UserLen 入力は Identify Device コマンドでは使われません。全 512 バイトの Identify device データが転送された後、UserBusy は '0' にネゲートし IP コアは次の新たなコマンドを受信できるようになります。

## Security Erase



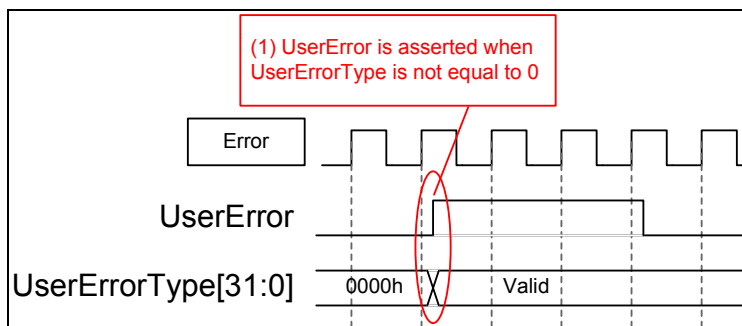
- ① システムがアイドル状態であることを確認し UserReq='1' にアサートします
- ② IP コアはコマンド受信を検出し UserBusy='1' にアサートします
- ③ UserReq='0' にネゲートしその後次のコマンド用のパラメータを準備しておくことができます

図 7: SECURITY ERASE UNIT コマンドのタイミング波形

Identify Device コマンドと同様 Security Erase Unit コマンドにおいても UserAddr と UserLe は使われません。本コマンドを発行する前に、接続 SATA デバイスのデータシートや Identify Device データの内容から本コマンドがサポートされていることを確認しておく必要があります。SATA デバイスの消去時間は長時間にわたることもあります。Identify Device データから大雑把な消去時間をチェックできます。消去動作が完了するまで UserBusy は '1' アサートが継続します。

## Error

正常動作時は UserError および UserErrorNo の全信号は常に '0' ネゲートされます。何らかのエラーが発生した場合、UserError がアサートされ、UserErrorNo のいずれかのビットがアサートされます。その場合 UserError はユーザ回路から RstB が '0' アサートされるまで UserError および UserErrorNo を保持します。



- ① エラーが検出されるとその要因に応じて UserErrorNo がセットされ UserError がアサートされます。

図 8: エラー情報のタイミング波形

## コアの検証方法

本ホスト IP コアは Altera 製評価ボードにより検証可能です。ArriaV GX スタータ/Arria10SoC 開発各種ボードを使っての実機での動作検証を可能とするリファレンス・デザイン・プロジェクトもコア製品に同梱されます。ドキュメントで示されていない細かい信号タイミング等については、リファレンス・デザインに SignalTAP を挿入して実機動作させることで、実波形を観測・確認することが可能です。

## 必要とされる環境と設計スキルに関して

本ホスト IP コアをユーザ・アプリケーションのシステムに組み込むためには、QuartusII ツールでのデザイン知識・経験を推奨します。

## 注文情報

本データシートに記載された本ホストIPコア は以下の型番となります。

製品型番: SATA-IP-HOST-A

本ホストIPコアをご注文頂く際に、組み合わせて使用するSATA-IPコアの型番またはデバイス・ファミリ情報をお知らせください。対応する評価ボードで実機動作検証が可能なりファレンス・デザインをコア製品に同梱して出荷いたします。

## 更新履歴

リビジョン	日付	説明
1.0	Oct-9-2014	New release (English Version)
1.0J	2014/10/17	日本語初期版作成
1.01J	2014/10/20	表の修正
1.1J	2017/01/08	I/O 信号仕様を更新、Security Erase Unit コマンドのサポート、Arria10 サポート開始
1.2J	2017/02/15	コアのユーザ I/F 仕様を dglF typeS 準拠とする