

TOE-IP コアのご紹介

2010/10/8

IP コア概略

TCP オフローディングエンジン(TOE)IP コアは、従来高価なハイエンド CPU を必要とされた複雑な TCP 送信処理の一部を、本 IP コアにより自動実行することで、低コストプロセッサで TCP の実装を可能とした画期的なソリューションです。

TCP/IP プロトコル処理のうち、高速動作を必要とする機能は全て本 IP コアによって自動実行されるため、ホストプロセッサの CPU 占有時間を大幅に削減します。リファレンスデザインとして、Xilinx 社の FPGA に実装し、ホストプロセッサとして MicroBlaze を使用した、TCP 送信デザインを用意しています。

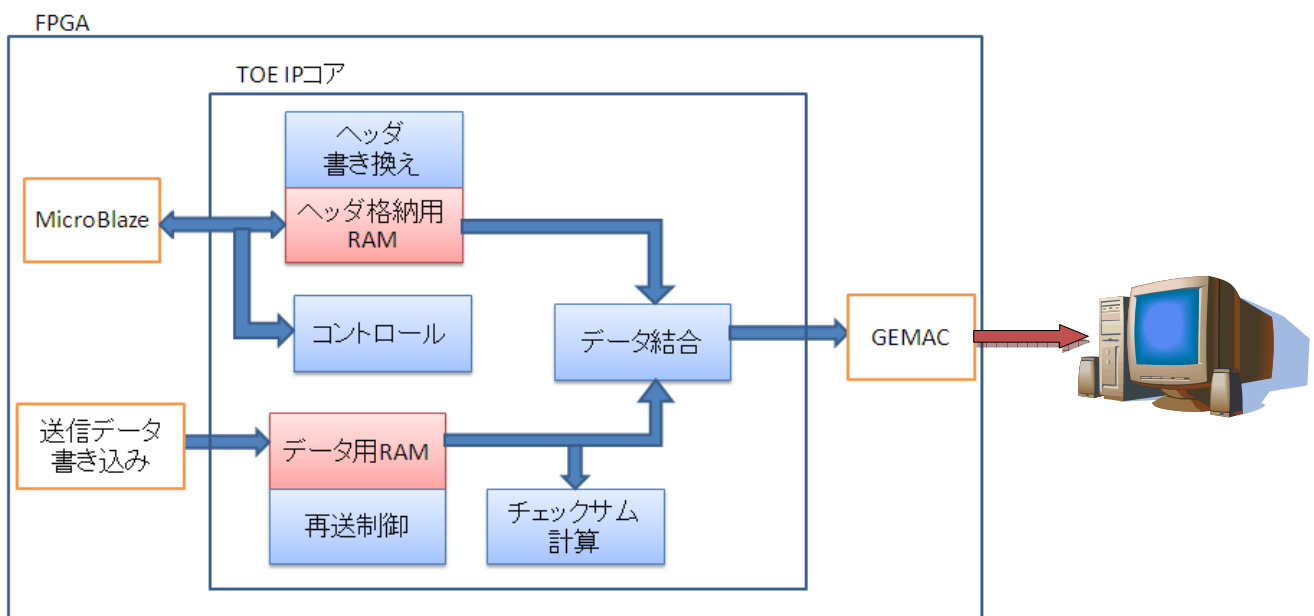
また、Xilinx 社製 ML506 ボード, ML605 ボード, SP605 ボードおよび Spartan-3A DSP 1800 ボード用デモファイルを準備しておりますので、購入前に本コアを実機で評価・お試し頂けます。



特長

- イーサネット MAC とホストプロセッサの間に挿入して使用
- TCP シーケンス番号の自動生成、TCP チェックサムの計算および自動挿入、送信ウィンドウバッファおよびデータ再送機能、IP ヘッダチェックサムの自動生成、IP ヘッダ ID の自動生成などの機能
- データ用 FIFO ポートが独立しており、書き込まれたデータは自動的にヘッダと結合されて TCP パケットとして送信（ネットワークの転送能力以下のデータ書き込み速度であれば、データ転送速度はデータ書き込み速度と等しくなります。）
- IPv4 に対応（IPv6 もカスタマイズで対応可能）
- ジャンボフレーム対応
- 外部 RAM 不要
- 送信ウィンドウサイズは 4kbyte~64kbyte まで対応（BRAM を使用します）
- ML506 ボード, ML605 ボード, SP605 ボードおよび Spartan3-A DSP 1800 ボードによる購入前のコア実機評価が可能（その他ボード用デザインもご用意しております。お問い合わせください。）
- Xilinx 社製ギガビットイーサネット MAC コアと MicroBlaze を使用したリファレンスデザインを用意
- 安心の日本語サポート

ブロック図



使用リソース

表 1: コンパイル結果

Family	Example Device	Fmax ¹ (MHz)	Slices	IOB ²	GCLK	BRAM ³	MULT/ DSP48/E	Design Tools
Virtex-5 LX [®]	XC5VLX50-1FFG1136C	195	461	107	3	4~	0	ISE [®] 11.3
Spartan [®] -3A DSP	XC3S1800A-5FFG676C ⁴	141	1042	108	3	4~	0	ISE [®] 11.3
Spartan [®] -6 LX	XC6SLX16-2CSG324C	145	484	108	3	4~	0	ISE [®] 11.3

備考:

実際のスライス消費カウントはユーザロジックやフィット条件等に依存します

- 1) ユーザーデータポートインターフェースの動作速度です。
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります
- 3) 送信ウィンドウバッファを 4kbyte、ジャンボフレーム不使用とした場合のリソースです。送信ウィンドウバッファを大きくした場合は、それに応じた BRAM が消費されます。
- 4) ギガビットイーサネットを使用する場合、Spartan-3 ファミリーではスピードグレード-5 の使用をお勧めします。

提供物

本 IP 納品時には下記の物が含まれます。

- NGC 形式 IP コアネットリスト
- テストベンチ, Simulation ライブラリ
- ISE/EDK プロジェクト Spartan-3A DSP 1800 ボード用リファレンスデザイン
- データシート、リファレンスデザインガイド

パフォーマンス

```

C:\>iperf -s -l 64k -w 64k -i 1
-----
Server listening on TCP port 5001
TCP window size: 64.0 KByte
-----
[1872] local 192.168.11.34 port 5001 connected with 192.168.11.21 port 4000
[ ID] Interval      Transfer    Bandwidth
[1872] 0.0- 1.0 sec   109 MBytes  915 Mbits/sec
[1872] 1.0- 2.0 sec   108 MBytes  903 Mbits/sec
[1872] 2.0- 3.0 sec   107 MBytes  894 Mbits/sec
[1872] 3.0- 4.0 sec   99.7 MBytes 836 Mbits/sec
[1872] 4.0- 5.0 sec   102 MBytes  856 Mbits/sec
[1872] 5.0- 6.0 sec   101 MBytes  849 Mbits/sec
[1872] 6.0- 7.0 sec   102 MBytes  855 Mbits/sec
[1872] 7.0- 8.0 sec   102 MBytes  858 Mbits/sec
[1872] 8.0- 9.0 sec   105 MBytes  880 Mbits/sec
[1872] 0.0- 9.2 sec   954 MBytes  871 Mbits/sec

```

- ※ Spartan3A DSP 1800 ボードリファレンスデザインでの評価
- ※ PC にてデータ受信 MSS 1460 バイト

Xilinx 社製評価ボードですぐに評価

TOE-IP コア付属のリファレンスデザインは、実際にデータの転送ができるリファレンスデザインを用意しており、本 IP コアの評価および本コアを使用したロジック開発ををすぐに行なうことができます。

また本 IP コアの ML506 ボード, ML605 ボード, SP605 ボードおよび Spartan3-A DSP 1800 ボード用時間限定版 bit ファイルを準備しておりますので、購入前に評価することができます。詳しくは弊社ウェブサイトをご覧ください。

