

# <u>TOE10G-IP 標準(CPU 制御)デモ手順書(Xilinx 版)</u>

Rev1.1J 2018/05/07

# [目次]

1	概要	要	2
2	動化	作環境	3
3	PC	; 設定	6
	3.1	IP アドレスの設定	6
	3.2	速度とフレームの設定	7
	3.3	電源オプションの設定	10
4	FP	GA ボードの設定	11
5	メイ	イン・メニュー	15
	5.1	パラメータ現在値の表示	15
	5.2	TOE10G-IP コアのリセット	16
	5.3	データ送信テスト	18
	5.4	データ受信テスト	21
	5.5	全二重通信テスト	24
6	動化	作環境	26
7	FPO	'GA ボードの設定	
8	メイ	イン・メニュー	30
	8.1	パラメータ現在値の表示	30
	8.2	TOE10G-IP コアのリセット	31
	8.3	データ送信テスト(サーバーからクライアントへ)	33
	8.4	データ受信テスト(クライアントからサーバーへ)	35
	8.5	全二重通信テスト	
9	更新	新履歴	



## 1 概要

本ドキュメントは TOE1G-IP コアを使用し 10Gb イーサネット経由で TCP/IP プロトコルを通信する実機デモについ て説明したものです。接続相手は図 1-1 に示す通り、テスト PC または TOE10G-IP コアを搭載した別の FPGA 評価 ボードの 2 種類です。



#### <u>図 1-1: TOE10G-IPコアの2種類のデモ環境</u>

本ドキュメントは2章に分かれております、すなわち前半は"Part A: FPGAとPCを使った TOE10G-IP コアのデ モ"で、PC-FPGA間の接続環境で評価するデモを説明し、後半は"PartB:2枚の FPGAボードを使った TOE10G-IP コアのデモ"で、2枚の FPGAボードを使ってのデモ手順を説明します。いずれのデモにおいても、FPGAボードのテ スト・パラメータはシリアル・コンソールを使って USB-UART 経由にて設定します。



## Part A: FPGAとPCを使った TOE10G-IPコアのデモ

TOE10G-IP コアとテスト PC 間のデータ転送を実行するにあたって、ユーザは半二重通信か全二重通信かのいずれ かのテストを選択できます。半二重通信テストすなわち TOE10G-IP コアから PC へのデータ送信または PC から TOE10G-IP コアへのデータ受信のいずれか片方では、"tcpdatatest.exe"アプリケーションをテスト PC 側で使用しま す。 一方全二重通信テストすなわち PC と FPGA 間でデータの送信と受信を同時に実行する場合 は、"tcp\_client\_txrx\_10G.exe"アプリケーションをテスト PC 側で使用します。より詳細については以下を参照してくだ さい。

## 2 動作環境

TOE10G-IPコアの CPU 制御デモを実施するには図 2-1 に示した以下のテスト環境を用意してください。

- 1) FPGA 評価ボード、本手順書では ZC706/ZCU102 ボードで説明します。
- 2) 10Gbit イーサネット対応 PC(または 10Gbit イーサネット・カードを装着)
- 3) 10Gbit SFP+トランシーバおよび光ケーブル、あるいは SFP+ダイレクト・アタッチ・ケーブル
- 4) FPGA ボード付属品の FPGA プログラム用 micro USB ケーブル
- 5) FPGA ボード付属品のシリアル・コンソール通信用 mini USB ケーブル(ZC706)または micro USB ケーブル (ZCU102)、通信条件は(ボーレート=115,200,データ=8bit,パリティ=なし,STOP ビット=1)
- 6) 評価ボードに対応するテスト・アプリケーションの"tcpdatatest.exe"および"tcp\_client\_txrx\_10G.exe" (DesignGateway 社 Web ページからダウンロード)
- 7) PC にインストールした Hyper Terminal や TeraTerm などのシリアル・コンソール用ソフトウエア
- 8) FPGA コンフィグレーション用として PC にインストールした Vivado ツール
- \*参考情報として、DesignGateway社で実機確認した環境は以下の通りです
- [1] 10G Network Adapter: Intel X520-DA2 <u>http://www.intel.com/content/www/us/en/network-adapters/converged-network-adapters/ethernet-x52</u> <u>0-server-adapters-brief.html</u>
- a) 10-Gigabit SFP+ DAC cable (1m length) <a href="http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx">http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx</a> <a href="http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx">http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx</a> <a href="http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx">http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx</a> <a href="http://www.sit-forceiver">http://www.netgear.com/business/products/switches/modules-accessories/axc761.aspx</a> <a href="http://www.sit-forceiver">http://www.sit-forceiver</a> (850nm) <a href="http://www.fit-forceiver">http://www.fit-forceiver</a> (850nm) <a href="http://www.fit-forceiver">http://www.fit-forceiver</a> (850nm) <a href="http://www.fit-forceiver">http://www.fit-forceiver</a> (20Module&&PN=AFBR-7 <a href="http://www.git-forceiver">09SMZ</a> Optical cable 2105027-3 (LC to LC 1.8mm OM3 DPX LSZH&OFNR 3M)
  </a>
- [3] PC: Motherboard ASUS Z170-K, 32 GB RAM, 64-bit Windows7 OS





#### 図 2-1: ZC706 ボードを使った TOE10G-IP コアの CPU 制御デモ環境







# 3 PC 設定

デモを実行する前にテスト PC 側のネットワークを設定する必要があります。ネットワークの設定例を以下に説明 します。

## 3.1 IP アドレスの設定

Dennect using: 10-Gb LAN connection  Intel(R) Ethemet Server Adapter X520-2  Configure	You can get IP settings assigned this capability. Otherwise, you ne for the appropriate IP settings.	automatically if your network support aed to ask your network administrator
nis connection uses the following items:	Obtain an IP address autom     O Lice the following IP address	atically
<ul> <li>✓ Uient for Microsoft Networks</li> <li>✓ QoS Packet Scheduler</li> </ul>	IP address:	192 . 168 . 7 . 25
File and Printer Sharing for Microsoft Networks     Internet Protocol Version 6 (TCP/IPv6)	Sybnet mask: Default gateway:	255.255.255.0
<ul> <li>Link-Layer Topology Discovery Mapper I/O Driver</li> <li>Link-Layer Topology Discovery Responder</li> </ul>	<ul> <li>Obtain DNS server address</li> <li>Use the following DNS server</li> </ul>	automatically er addresses:
Install Uninstall Properties	Preferred DNS server:	42 (34) (34
Description	Alternate DNS server:	
wide area network protocol internet provides communication across diverse interconnected networks.	🕅 Vaļīdate settings upon exit	Ad <u>v</u> anced

<u>図 3-1: IPv4 の設定</u>

- 1) 図 3-1 に示すように 10Gb 接続のローカル・エリア接続プロパティを開きます。
- 2) "TCP/Ipv4"を選択しプロパティのボタンをクリックします。
- 3) IP アドレスを 192.168.7.25 にセットし、サブネット・マスクを 255.255.255.0 に設定します。



## 3.2 速度とフレームの設定

Local Area Connection 2 Properties	Local Area Connection 2
Networking Sharing Connect using:   Context using:  Configure	You have made changes to the properties of this connection. If you proceed your changes will be lost. Do you wish to proceed?
This connection uses the following items: Client for Microsoft Networks QoS Packet Scheduler File and Printer Sharing for Microsoft Networks Internet Protocol Version 6 (TCP/IPv6)	<u>Y</u> es <u>N</u> o
✓ ▲ Internet Protocol Version 4 (TCP/IPv4)         ✓ ▲ Link-Layer Topology Discovery Mapper I/O Driver         ✓ ▲ Link-Layer Topology Discovery Responder         ✓ ▲ Link-Layer Topology Discovery Responder         ✓ ▲ Link-Layer Topology Discovery Responder         ✓ ▲ Link-Layer Topology Discovery Responder	VLANs         Boot Options         Driver         Details           General         Link Speed         Advanced         Teaming
Description Allows your computer to access resources on a Microsoft network.	Advanced Adapter Settings Profile: Standard Server  Settings: Value:
OK Cancel	Interrupt Moderation Jumbo Packet Large Send Offload V2 (IPv4) Large Send Offload V2 (IPv6) Locally Administered Address Log Link State Event Performance Options Priority & VLAN
	Jumbo Packet  Enables Jumbo Packet capability for TCP/IP packets. In situations where large packets make up the majority of traffic and additional latency can be tolerated, Jumbo Packets can reduce CPU utilization and improve wire efficiency. Jumbo Packets are larger than standard Ethernet frames, which are approximately 1.5k in size.
	NOTE: Changing this setting may cause a momentary loss of connectivity.
図 3-2: フレーム・サイン	ズをジャンボ・フレームに設定

- 1) 図 3-2 に示すようにローカル・エリア接続プロパティの"Configure"ボタンをクリックします。
- 2) Advanced タブにて、"Jumbo Packet"を選択し、ジャンボ・フレームを検証する場合はこの値を "9014 Bytes" に設定し、非ジャンボ・フレームを検証する場合はこの値を"Disabled"にセットします。



3) 図 3-3 に示すように Link Speed タブにて、"10 Gbps Full Duplex"を選択し 10Gb 転送テストが行えるように します。

	Boot Options	Driver	Details
General	Link Speed	Advanced	Teaming
intal	Link Speed and Duple	x Settings	
inter	Intel(R) PROSet Versio	on: 19 1 51 0	
Link Status			
Speed:	10.00 Gbps/Full	Duplex	
Auto Negotiation	plex	Identify A	dantar
			uapter
Speed and D	uplex Setting: By de	fault, Intel® adapter	s are set
Speed and D to automatical A setting other	uplex Setting: By de y detect and negotiate r than Auto Negotiation	fault, Intel® adapter speed and duplex n restricts what the	s are set settings. adapter
Speed and D to automatical A setting othe advertises dur	uplex Setting: By de y detect and negotiate r than Auto Negotiation ing auto-negotiation.	fault, Intel® adapter speed and duplex n restricts what the	s are set settings. adapter
Speed and D to automatical A setting othe advertises du Temperature temperature s	uplex Setting: By de y detect and negotiate r than Auto Negotiation ring auto-negotiation. e: Displays temperatur ensor.	fault, Intel® adapter e speed and duplex and restricts what the re state if the adapte	s are set settings. adapter er has a
Speed and D to automatical A setting other advertises dur Temperature temperature s SFP+ Module	uplex Setting: By de y detect and negotiate r than Auto Negotiation ring auto-negotiation. e: Displays temperatur ensor.	fault, Intel® adapter speed and duplex n restricts what the re state if the adapte	s are set settings. adapter er has a
Speed and D to automatical A setting othe advertises dur Temperature temperature s SFP+ Module	uplex Setting: By de y detect and negotiate r than Auto Negotiation ring auto-negotiation. e: Displays temperatur ensor.	fault, Intel® adapter speed and duplex n restricts what the re state if the adapte	s are set settings. adapter er has a
Speed and D to automatical A setting othe advertises dur Temperature temperature s SFP+ Module	uplex Setting: By de y detect and negotiate r than Auto Negotiation ing auto-negotiation. e: Displays temperatur ensor.	fault, Intel® adapter e speed and duplex in n restricts what the re state if the adapte	s are set settings. adapter er has a

図 3-3: リンク速度=10Gbps に設定



- 4) Advanced タブにて、"Performance Options"を選択し "Properties"ボタンをクリックします。
- 5) "Performance Options"ウインドウにおいて、"Low Latency Interrupts"を選択し"Properties"ボタンをクリック します。
- 6) "Low Latency Interrupts" ウインドウにおいて、"Use Low Latency Interrupts"を選択し"OK"ボタンをクリック します。
- 7) 全部のウインドウで"OK"ボタンを押して設定をセーブします。

	Boot Options	Driver	Details	Settings:
neral	Link Speed Advanced Adapter Se	Advanced attings	Teaming	Flow Control Interrupt Moderation Rate Low Latency Interrupts Receive Buffers Transmit Buffers
Sta	ndard Server	•		Low Latency Interrupts
upt Modera o Packet e Send Offi e Send Offi lly Administ ink State I mance Offi	ation load V2 (IPv4) load V2 (IPv6) tered Address Event ations	Pro	perties	Enables adapters to bypass interrupt moderation and immediate generate an interrupt when certain TCP packets arrive, allowing the system to handle the packet more quickly. Certain application will have faster access to network data because of the reduce data latency. NOTES: • If this option is enabled, system CPU utilization may increase.
mance Or	ations			ОК
		ОК	Cancel	Use for packets with TCP PSH flag      Use for these TCP ports:      Add New Port: <u>Add</u> <u>Add</u>
				Configures which packets bypass interrupt moderation and
				trigger immediate interrupts. Use for packets with TCP PSH flag: Any incoming packet with the TCP PSH flag will trigger an immediate interrupt. The PSH flag is set by the sending device.

図 3-4: パフォーマンス・オプションの設定



## 3.3 電源オプションの設定

- 1) コントロール・パネルを開き図 3-5 左側のように電源オプションを選択します。
- 2) 設定を図 3-5 右側のように高パフォーマンスに変更します。

Control Panel + All Con	trol Panel Items	All Control Panel ]	Items   Power Options
djust your computer's settings	View by:	Control Panel Home	Select a power plan
Power Options	Programs and Features	Require a password on wakeup Choose what the power buttons do	Power plans can help you maximize your computer's performance or conserve energy. Make a plan active by selecting it, or choose a plan and customize it by changing its power settings. <u>Tell me more about power plans</u>
Recovery	Region and Language	<ul> <li>Create a power plan</li> <li>Coose when to turn off the d</li> </ul>	Balanced (recommended)     Change plan settings     Automatically balances performance with energy consumption on
RemoteApp and Desktop Connections	Sound	when the computer	capable hardware. (a) High performance Change plan settings
Speech Recognition	Sync Center		Favors performance, but may use more energy.
System	Taskbar and Start Menu		Show additional plans
Troubleshooting	Ser Accounts		
Windows Anytime Upgrade	Windows CardSpace	See also Personalization	
Hindows Defender	Mindows Firmus!	USE ACCOUNTS	



# 4 FPGA ボードの設定

- 1) FPGA ボードの DIP スイッチとジャンパの設定を確認します。
  - a) ZC706 ボードの設定を図 4-1~図 4-3 に示します。 DIP スイッチとジャンパにて SFP+と USB-JTAG を イネーブルとします



図 4-1: ZC706 のジャンパを装着し SFP+をイネーブルとする





図 4-2: ZC706 の SW11を JTAG からの PS コンフィグレーションに設定する



図 4-3: ZC706のSW4をUSB-to-JTAGに設定する

b) ZCU102 ボードの設定を図 4-4~図 4-5 に示します。 DIP スイッチとジャンパにて SFP+と USB-JTAG をイネーブルとします







<u>図 4-5: ZCU102の SW6を JTAG からの PS コンフィグレーションに設定する</u>

- 2) FPGA ボード付属の JTAG プログラミング用 micro USB ケーブルで FPGA ボードと PC 間を接続します。
- 3) FPGA ボード付属の USB UART 用 micro USB ケーブル(ZCU102)または mini USB ケーブル(ZC706)で FPGA ボードと PC 間を接続します。
- 4) FPGA ボードの電源を接続します。
- 5) 10 Gb SFP+ DAC ケーブルまたは光ケーブルと接続した SFP+光トランシーバを SFP+ケージに挿入し PC の 10Gb ポートと接続します。ZCU102 ボードの場合、図 4-6 に示すように右上側の SFP+チャネルを使っ てください。



<u>図 4-5: ZCU102 ボードの SFP+チャネル</u>



- 6) FPGA ボードの電源を投入します。
- 7) Vivado TCL シェルを起動しカレント・ディレクトリを本デモ用コンフィグレーション・ファイルのあるホルダに移動します。そして図 4-7 に示すように"toe10cputest\_ZCU102(又は ZC706).bat"を起動します。



図 4-7: Vivado ツールによる ZCU102/ZC706 のダウンロード用コマンド・スクリプト

- 8) シリアル・コンソールを起動します。
  - a) Z '0'を入力し、TOE10G-IP コアをクライアント・モード(PC 側 MAC アドレスを ARP 要求により問い 合わせます)で初期化します。
  - b) クライアント・モードでのデフォルト・パラメータがコンソール上に表示されます。

🚇 COM3 - Tera Term VT	
<u>File Edit Setup Control</u>	Green: User input Blue: Output to console
TOE1OGIP with CPU Demo (Ver = Input mode : [O] Client [1] Server	1.1] -> 0 -> Input '0' to initialize in client mode
Default TOE10GIP Parameter Hindow Update Gap = 0 Mode = CLIENT FPGA MAC address = 0x00010203040 Target IP = 192.168.7.25 FPGA IP = 192.168.7.42 Target port number = 60001 FPGA port number = 60000 Press 'x' to skip parameter settir	IS -> Default client parameter displayed on boot-up screen area area area area area area area
2 図 4-8: システム起	動後のメッセージ



9) 図 4-9 に示すように 'x'を入力することでパラメータの設定をスキップしデフォルトのパラメータでメイン・メニューに移動することができます。ここで他のキーを入力するとパラメータ変更のメニューに移動します。パラメータの変更手順はメニュー[1]と同じですので、次のトピックで説明します。

进 COM3 - Tera Term VT						
<u>File Edit Setup Control Window</u>	/ <u>H</u> elp					
Press 'x' to skip parameter setting:x -> Reset by using IP initialization complete default parameter						
TOE1OGIP меми [O] : Show TCPIP parameters [1] : Reset TCPIP parameters [2] : Send Data Test (TOEIP -> Target) [3] : Receive Data Test (Target -> TOEIP) [4] : Full duplex Test (TOEIP <-> Target)	-> Main menu					
	й •					

図 4-9: 初期化が完了した時点でのメイン画面

※ 注意: 10GbEの転送パフォーマンスはテストで使用するPCのパフォーマンスに依存します。このため、 テスト PC には 10Gb イーサネット・データの送受信で十分なパフォーマンスを得られる高い能力を持つ PC を選んでください。



## 5 メイン・メニュー

#### 5.1 パラメータ現在値の表示

'0'を入力することで本デモの各パラメータ現在値を表示します。 全部で 7 種類のパラメータがシリアル・コンソ ール上に表示されます。

🧶 co	- EMC	Tera Ter	m VT				
<u>F</u> ile	Edit	Setup	Control	W	indow	Help	
+++ Net Hindou Hode FPGA HI Target FPGA II Target FPGA po	tuork P Update AC addr IP port n port num	araneter Gap = ( ess = ( = 1 = 1 unber = ( ber = (	++++ ) )x000102030 )92.168.7.2 )92.168.7.4 )9001 )0000	405 5 2	-> Curi Param	rent eter	
TO [0] : : [1] :   [2] : : [3] :   [4] :	TOE1OGIP мели [O] : Show TCPIP parameters [1] : Reset TCPIP parameters [2] : Send Data Test (TOEIP -> Target) [3] : Receive Data Test (Target -> TOEIP) [4] : Full duplex Test (TOEIP <-> Target)						

図 5-1: パラメータ現在値の表示例

- Window Update Gap: ウインドウ・アップデート・パケットを送信する閾値を設定します。有効な値は 0x00 0x3F (0-63)です。ここで設定する敷居値の単位は 1K バイトです。初期値は 0 (ウインドウ・アップデート 機能を使わない)です。
- 2) Mode: TOE10G-IP コアがサーバーまたはクライアントのどちらのモードとするかをセットします。 FPGA が PC と接続する場合、'0'を指定しクライアント・モードで初期化する必要があります。
- 3) FPGA MAC address: FPGA ボード側の MAC アドレスを 48 ビットの 16 進数で設定します。初期値は 0x000102030405 です。
- 4) Target IP: 10Gb イーサネット・データを転送する PC 側の IP アドレスを 10 進数で設定します。初期値は 192.168.7.25 です。
- 5) FPGA IP: 10Gb イーサネット・データを転送する FPGA 側の IP アドレスを 10 進数で設定します。初期値は 192.168.7.42.です。
- 6) Target port number: PC 側の 10Gb イーサネット・データの転送ポート番号を 10 進数で指定します。初期 値は 60001 です。
- 7) FPGA port number: FPGA 側の 10Gb イーサネット・データの転送ポート番号を 10 進数で指定します。初 期値は 60000 です。

パラメータを変更する場合、メニュー[1]を選んでください。



#### 5.2 TOE10G-IP コアのリセット

'1"で選択されるこのメニューでは TOE10G-IP コアへ設定する各パラメータを変更しコアをリセットすることがで きます。その後更新したパラメータ情報が表示されます。ユーザは'x'を入力することで現在の設定と同じパラ メータを使いコアをリセットするか、あるいは他('x'以外)キーを入力することでパラメータを変更できます。入力 値が無効な値(たとえば'n'など)の場合パラメータは変更されません。より詳細については以下に説明します。

- 1) Mode: '0'をセットして IP コアをクライアント・モードで初期化する必要があります。
- FPGA MAC address: 12 桁の 16 進数で入力します。先頭に"0x"のサフィックスをつけて 16 進数であること を示してください。
- 3) FPGA IP address: "."(ドット)をセパレータとした 4 つの 10 進数で入力します。各入力値にて有効な範囲は 0-255 です。
- 4) FPGA port number: 有効な範囲は 0-65535 です。
- 5) Target IP address: 上記 3)と同様に 10 進数で PC 側 IP アドレスを指定します。
- 6) Target port number: 有効な範囲は 0-65535 です。

パラメータの入力が終わったら更新されたパラメータがシリアル・コンソール上に表示されます。次に IP コアに 対してリセットが発行され、新たなパラメータがコアにロードされます。最後に "IP initialization complete"のメッ セージが図 5-2 のように表示され初期化プロセスが完了したことを示します。





<u>図 5-2: パラメータの変更結果例</u>



#### 5.3 データ送信テスト

'2'で選択されるこのメニューでは FPGA から PC へのデータ送信をテストできます。ユーザはシリアル・コンソ ールを通して送信するデータのテスト・パラメータを設定できます。 一方接続先のテスト PC 側で は"tcpdatatest"アプリケーションをコマンド・プロンプトから実行することでデータをベリファイできます。本テスト の実施手順を以下に説明します。

- 1) シリアル・コンソールにて3つのパラメータを入力します。
  - a) 転送サイズを入力します。転送サイズの単位はバイト数です。有効な値は 0x8 0x7FFFFFF8 です。 ただし入力数は必ず 8 の倍数でなくてはなりません。ユーザは 10 進数か 16 進数で入力できます。16 進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - b) パケット・サイズを入力します。パケット・サイズの単位はバイト数です。有効な値は8-8960です。ただし入力数は必ず8の倍数でなくてはなりません。ユーザは10進数か16進数で入力できます。16進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。パケット・サイズが1456より大きい場合、テストPC側の10Gbイーサネットはジャンボ・フレームに対応しなくてはなりません。
  - c) モードを入力します。本テストでは'1'をセットし FPGA をサーバー・モードとしてください。
- 2) 全ての入力が有効であった場合、"Wait Open connection …"のメッセージとあわせて、テスト PC 側のテスト・アプリケーションで推奨されるパラメータ情報が表示されます。
- 3) テスト PC でコマンド・プロンプト(DOS 窓)を起動し、"tcpdatatest"を実行します、このときシリアル・コンソー ルで推奨されたパラメータを使って起動してください。この tcpdatatest では以下 6 個のパラメータがありま す。

>> tcpdatatest <mode> <dir> <server IP> <server port> <bytelen> <pattern>

<u> 説明:</u>	mode	- 'c'を指定しテスト PC はクライアント・モードで起動します。
	dir	- 'r'を指定しテスト PC は FPGA からのデータ受信とベリファイを指定します。
	server IP	- FPGA 側の IP アドレスを入力します。
	server port	- FPGA 側のポート番号を入力します。
	bytelen	- 上記ステップ 1 a)で設定した転送サイズを指定します。
	pattern	- '1'を指定し FPGA からのデータ・ベリファイを行います。

- tcpdatatest アプリケーションを起動するとポートが生成され、コマンド・プロンプトで "System connected" が 表示されます。また、シリアル・コンソールとコマンド・プロンプトの両方で1秒毎に転送サイズがリアルタイ ムで表示されます。 FPGA から全データの送信が完了するとシリアル・コンソール上に"Send data complete"が表示されます。
- 5) FPGA が全データの送信を完了しコネクションをクローズした後にシリアル・コンソール上に"Connection closed"と表示されます。総転送サイズとパフォーマンス実測値がシリアル・コンソールとコマンド・プロンプトの両方にテスト結果として表示されます。

図 5-3 にデータ送信テストを非ジャンボ・フレーム・サイズで実行した時の結果例を示します。 図左側はシリア ル・コンソール画面で FPGA はサーバー・モードで動作したものです、図右側はコマンド・プロンプト画面で PC はクライアント・モードで動作したものです。

図 5-4 にジャンボ・フレームで実行したデータ送信テスト例を示します。ジャンボ・フレームの場合非ジャンボ・フ レームより良好なパフォーマンスが得られます。







入力したパラメータが無効だった場合、図 5-5 ~ 図 5-7 のように"Out-of-range input"または"Invalid input"と 表示され、データ送信テスト動作はキャンセルされます。

🚇 COM3 - Tera Term VT	
<u>File Edit Setup Control Window Help</u>	
+++ TDE1DG-IP Send Mode +++ Enter transfer size (aligned to 64-bit): 8 - Dx7FFFFFFF8 => Out-of-range input	) Î
TOE1OGIP menu [0] : Display current parameter [1] : Reset TOE1OG-IP to change parameter or mode [2] : Send Data Test (TOE1OG-IP -> Target) [3] : Receive Data Test (Target -> TOE1OG-IP) [4] : Full duplex Test (TOE1OG-IP <-> Target)	
	-

図 5-5: 無効な転送サイズを入力した場合





😃 COM3 - Tera Term VT 📃 📃					
<u>File Edit Setup Control Window H</u> elp					
+++ TOE10G-IP Send Mode +++ Enter transfer size (aligned to 64-bit): 8 - 0x7FFFFFF8 => 0x7FFFFFF8 Enter packet size (aligned to 64-bit): 8 - 8960 => 8960 Input mode : [0] Client [1] Server => 2					
TOE10GIP menu [0] : Show TCPIP parameters [1] : Reset TCPIP parameters [2] : Send Data Test (TOEIP -> Target) [3] : Receive Data Test (Target -> TOEIP) [4] : Full duplex Test (TOEIP <-> Target)					

#### <u>図 5-7: 無効なモードを入力した場合</u>



#### 5.4 データ受信テスト

'3'で選択されるこのメニューでは PC から FPGA へのデータ受信をテストできます。ユーザはシリアル・コンソ ールを通して受信するデータのテスト・パラメータを設定できます。 一方接続先のテスト PC 側で は"tcpdatatest"アプリケーションをコマンド・プロンプトから実行することでデータを送信できます。本テストの実 施手順を以下に説明します。

1) シリアル・コンソールにて3つのパラメータを入力します。

- a) 転送サイズを入力します。転送サイズの単位はバイト数です。有効な値は 0x8 0x7FFFFFF8 です。
   ただし入力数は必ず 8 の倍数でなくてはなりません。ユーザは 10 進数か 16 進数で入力できます。16
   進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
- b) データ・ベリファイのモードを入力します。パフォーマンスの最高値を測定する場合ダミー・データを使う ため'0'をセットしベリファイ機能を休止します。一方データの信頼性を評価する場合は、テスト PC から 送信するテスト・パターン・データを照合するため'1'としてベリファイ機能を有効とします。
- c) モードを入力します。本テストでは'1'をセットし FPGA をサーバー・モードとしてください。
- 2) 全ての入力が有効であった場合、"Wait Open connection …"のメッセージとあわせて、テスト PC 側のテスト・アプリケーションで推奨されるパラメータ情報が表示されます。
- 3) テスト PC でコマンド・プロンプト(DOS 窓)を起動し、"tcpdatatest"を実行します、このときシリアル・コンソー ルで推奨されたパラメータを使って起動してください。この tcpdatatest では以下 6 個のパラメータがありま す。

>> tcpdatatest <mode> <dir> <server IP> <server port> <bytelen> <pattern>

説明:	mode	- 'c'を指定しテスト PC はクライアント・モードで起動します。
	dir	- ťを指定しテスト PC は FPGA へのデータ送信を指定します。
	server IP	- FPGA 側の IP アドレスを入力します。
	server port	- FPGA 側のポート番号を入力します。
	bytelen	- 上記ステップ1a)で設定した転送サイズを指定します。
	pattern	- パフォーマンス最高値を測定する場合'0'を指定しダミー・データとします。
	•	データ信頼性を評価する場合'1'を指定しテスト・パターン・データとします

- 4) tcpdatatest アプリケーションを起動するとポートが生成されます。また、シリアル・コンソールとコマンド・プロ ンプトの両方で1秒毎に転送サイズがリアルタイムで表示されます。
- 5) PC の tcpdatatest アプリケーションで全データの送信が完了しコネクションがクローズされるとシリアル・コン ソール上に"Connection closed"と"Received data completed"が表示されます。

図 5-8 にデータ受信テストをデータ・ベリファイなしで動作した場合のテスト結果例を示します。 FPGA 側では受信データのベリファイは行わず、PC からはダミー・データが送信されます。 図左側はシリアル・コンソールの表示例で図右側はコマンド・プロンプトの表示例です。

図 5-9 にデータ受信テストをデータ・ベリファイありで動作した場合のテスト結果例を示します。FPGA 側では受信データのベリファイを実行し、PC からはテスト・パターンとしてインクリメンタル・データが送信されます。図 5-8 のベリファイなしと比べるとベリファイありのテスト結果例ではパフォーマンスが低下しますがこれはテスト PC 側でインクリメンタル・パターンのテスト・データを生成するため PC リソースを消費してしまうことが原因で す。

図 5-10 にデータ・ベリファイでのデータ不一致エラー結果例を示します。 FPGA はベリファイをイネーブルして いますが tcpdatatest はダミー・データを送った場合の例です。 エラー・メッセージがシリアル・コンソール上に表 示されます。











#### 5.5 全二重通信テスト

'4'で選択されるこのメニューでは FPGAとPC 間で同時に送受信する全二重通信をテストできます。 ユーザは シリアル・コンソールを通して通信するデータのテスト・パラメータを設定できます。 一方接続先のテスト PC 側 では"tcp\_client\_txrx\_10G"アプリケーションをコマンド・プロンプトから実行することで 10Gb データを同時送受 信できます。 本テストの実施手順を以下に説明します。

- 1) シリアル・コンソールにて4つの全二重通信テスト用パラメータを入力します。
  - a) 転送サイズを入力します。転送サイズの単位はバイト数です。ここでは PC 側テスト・アプリケーションと 同じ値となる 0x7FFFFFC0 と入力してください。
  - b) パケット・サイズを入力します。パケット・サイズの単位はバイト数です。有効な値は8-8960です。ただし入力数は必ず8の倍数でなくてはなりません。ユーザは10進数か16進数で入力できます。16進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - c) データ・ベリファイのモードを入力します。パフォーマンスの最高値を測定する場合ダミー・データを使うため'0'をセットしベリファイ機能を休止します。一方データの信頼性を評価する場合は、テスト PC から送信 するテスト・パターン・データを照合するため'1'としてベリファイ機能を有効とします。
  - d) モードを入力します。本テストでは'1'をセットし FPGA をサーバー・モードとしてください。
- 2) 全ての入力が有効であった場合、"Wait Open connection …"のメッセージとあわせて、テスト PC 側のテスト・アプリケーションで推奨されるパラメータ情報が表示されます。
- テストPCでコマンド・プロンプト(DOS 窓)を起動し、"tcp\_client\_txrx\_10G"を実行します、このとき Nioiss コマンド・シェルで推奨されたパラメータを使って起動してください。この tcp\_client\_txrx\_10G では以下 3 個のパラメータがあります。
  - >> tcp\_client\_txrx\_10G <server IP> <server port> <pattern>

<u> </u>	server IP	- FPGA(サーバー)側の IP アドレスを入力します。
	server port	- FPGA(サーバー)側のポート番号を入力します。
	pattern	- パフォーマンス最高値を測定する場合'0'を指定しダミー・データを送信して
		受信データのベリファイを行いません。
		データ信頼性を評価する場合'1'を指定してテスト・パターン・データを送信
		します、また FPGA からの受信データではベリファイを実行します。

- 4) tcp\_client\_txrx\_10G アプリケーションが起動するとポートが生成されます。また、シリアル・コンソールとコマンド・プロンプトの両方で1秒毎に転送サイズがリアルタイムで表示されます。
- 5) 全データの送信と受信が完了しコネクションがクローズされるとシリアル・コンソール上に"Send data complete"と表示されます。総転送サイズとパフォーマンス実測値がシリアル・コンソールとコマンド・プロンプトの両方にテスト結果として表示されます。

そしてステップ4)~ステップ5)が永久に繰り返されます。テストを終了する場合はテストPCのコマンド・プロ ンプトで"Ctrl+C"キーを入力し、FPGAのシリアル・コンソールで何かキー入力を行ってください。

図 5-11 にデータ・ベリファイなし(パフォーマンス測定)の、図 5-12 にデータ・ベリファイあり(信頼性評価)の全二 重通信テスト結果例をそれぞれ示します。 図左側は FPGA からのシリアル・コンソール出力例で右側はテスト PC 側のコマンド・プロンプト出力例です。 図 5-12 に示すデータ・ベリファイあり(信頼性評価)はダミー・データ を使った図 5-11 の結果よりもパフォーマンスは大きく低下します。これはテスト PC 側にてテスト・パターンのデ ータ発生や受信データのベリファイを送信・受信と同時に行う必要があることから CPU リソースを消費するため です。







# <u>Part B: 2 枚の FPGA ボードを使った TOE10G-IP コアのデモ</u>

#### 6 動作環境

図 6-1 に示すように 2 枚の FPGA ボードを相互接続して TOE10G-IP コアのデモを実施するためには以下のテ スト環境を用意してください。

- FPGA ボード 2 枚(本デモ手順書では ZC706 ボードおよび ZCU102 ボード)
   ※ テスト環境にて 2 枚の FPGA ボードは同じものでも違うものでも構いません,図 6-1 は ZC706 と ZCU102 によるデモの例です。
- 2 枚の FPGA ボード間を接続する 10GbSFP+DAC(ダイレクト・アタッチ・ケーブル)ケーブルまたは、 10GbitSFP+トランシーバ2 個および光ケーブル2本
- 3) FPGA ボードと PC 間を接続する FPGA コンフィグレーション用の microUSB ケーブル
- 4) シリアル・コンソール(通信条件:ボーレート=115,200, データ=8 ビット, パリティー=なし, ストップビット=1)用の mini USB ケーブル(ZC706 ボード)または micro USB ケーブル(ZCU102 ボード)
- 5) PC にインストールしたハイパーターミナル等のシリアル・コンソール・ソフトウエア(通信条件は上記通り)
- 6) PC にインストールした FPGA コンフィグレーション用 Vivado ツール







# 7 FPGA ボードの設定

FPGA ボードおよび SFP+の接続に関しては、4 章を参照しテストの準備を行ってください。2 枚の FPGA ボードに対してのコンフィグレーションが完了するとシリアル・コンソール上にクライアント・モードかサーバー・モードかを選択する メニューが表示されます。FPGA のコンフィグレーション完了後のテスト手順を以下に説明します。

- ボード#1 およびボード#2 のシリアル・コンソールを開きます。本ドキュメントにおいてはシリアル・コンソール にて COM3 がサーバー・モードに設定された FPGA ボード#1 で、COM8 がクライアント・モードに設定され た FPGA ボード#2 を示します。
  - a. FPGAFPGA ボード#1 のシリアル・コンソールでは'1'をセットしてサーバー・モードとして起動しま す。そして FPGA ボード#2 のシリアル・コンソールでは'0'をセットしてクライアント・モードとして 起動します。
  - b. それぞれのコンソールには図 7-10 に示すようにサーバーまたはクライアントとしてのデフォルトの パラメータが表示されます。





2) 'x'を入力することでデフォルトのパラメータを使うか、または他のキーでパラメータを変更します。ここでシリアル・コンソールでのパラメータ設定においては、必ずサーバー側をクライアント側より先にコアをリセットし初期化を開始しなくてはならないためです。

パラメータの設定が完了したら IP コアは初期化プロセスを開始します、そして初期化シーケンスが完了した時点で"IP initialization complete"メッセージが表示されます。最後にシリアル・コンソール上にメイン・メニューが表示されます。

😃 COM3 - Tera Term VT	🧧 COM8 - Tera Term VT 📃 💼				
Eile         Edit         1. Input 'x' to use default parameter on server         v           Serial console         Serial console         V	<u>File Edit</u> 2. Input 'x' to use default parameter on client Serial console				
TOE10GIP with CPU Demo [Ver = 1.1] Input mode : [0] Client [1] Server => 1	TOE10GIP with CPU Demo [Ver = 1.1] Input mode : [0] Client [1] Server => Ø				
Default TOE10GIP Parameter Hindow Update Gap = 0 Mode = SERVER FPGA MAC address = 0x001122334455 Target IP = 192.168.7.42 FPGA IP = 192.168.7.25 Target port number = 60000 FPGA port number = 60001 Press 'x' to skip parameter setting:x IP initialization complete TOE10GIP menu [0] : Show TCPIP parameters [1] : Reset TCPIP parameters [2] : Send Data Test (ToEIP -> Target) [3] : Receive Data Test (TOEIP -> TOEIP) [4] : Full duplex Test (TOEIP <-> Target)	Default TOE1DGIP Parameter Hindou Update Gap = 0 Mode = CLIENT FPGR MAC address = 0x000102030405 Target IP = 192.168.7.25 FPGR IP = 192.168.7.42 Target port number = 60001 FPGR port number = 60000 Press 'x' to skip parameter setting fx IP initialization complete TOE10GIP menu [0] : Shou TCPIP parameters [1] : Reset TCPIP parameters [2] : Send Data Test (TDEIP -> Target) [3] : Receive Data Test (TDEIP <> Target) [4] : Full duplex Test (TDEIP <> Target)				
図 7-2: メイン・メニュー (パラメータ設定は必ずサーバー側を先に実施してください)					



## 8 メイン・メニュー

#### 8.1 パラメータ現在値の表示

'0'を入力することで本デモの各パラメータ現在値を表示します。 全部で 7 種類のパラメータがシリアル・コンソ ール上に表示されます。

🚇 COM3 - Tera Term VT	🔟 COM8 - Tera Term VT 📃
<u>File</u> Current parameter on server low <u>Hel</u>	Eile Current parameter on client low Hel
+++ Network Parameter +++	+++ Network Parameter +++
Hindow Update Gap = D	Hindow Update Gap = 0
Mode = SERVER	Mode = CLIENT
FPGA MAC address = 0x001122334455	FPGA MAC address = 0x000102030405
Target IP = 192.168.7.42	Target IP = 192.168.7.25
FPGA IP = 192.168.7.25	FPGA IP = 192.168.7.42
Target port number = 60000	Target port number = 60001
FPGA port number = 60001	FPGA port number = 60000
TOE1OGIP menu	TOE1OGIP menu
[D] : Show TCPIP parameters	[0] : Show TCPIP parameters
[1] : Reset TCPIP parameters	[1] : Reset TCPIP parameters
[2] : Send Data Test (TOEIP -> Target)	[2] : Send Data Test (TOEIP -> Target)
[3] : Receive Data Test (Target -> TOEIP)	[3] : Receive Data Test (Target -> TOEIP)
[4] : Full duplex Test (TOEIP <-> Target)	[4] : Full duplex Test (TOEIP <-> Target)

図 8-1: パラメータ現在値の表示例

- Window Update Gap: ウインドウ・アップデート・パケットを送信する閾値を設定します。有効な値は 0x00 0x3F (0-63)です。ここで設定する敷居値の単位は 1K バイトです。初期値は 0 (ウインドウ・アップデート 機能を使わない)です。
- 2) Mode: TOE10G-IP コアがサーバーまたはクライアントのどちらのモードとするかをセットします。'0'がクライ アントで'1'がサーバーです。
- 3) FPGA MAC address: FPGA(自分側)の MAC アドレスを 48 ビットの 16 進数で設定します。初期値はクラ イアントの場合 0x000102030405 で、サーバーの場合 0x001122334455 です。
- 4) Target IP: 転送相手側の IP アドレスを 10 進数で設定します。初期値はクライアントの場合 192.168.7.25 で、サーバーの場合 192.168.7.42 です。
- 5) FPGA IP: FPGA(自分側)の IP アドレスを 10 進数で設定します。 初期値はクライアントの場合 192.168.7.42 で、サーバーの場合 192.168.7.25 です。
- 6) Target port number: 転送相手側のポート番号を 10 進数で指定します。 初期値はクライアントの場合 60001 で、サーバーの場合 60000 です。
- 7) FPGA port number: FPGA(自分側)のポート番号を 10 進数で指定します。 初期値はクライアントの場合 60000 で、サーバーの場合 60001 です。

パラメータを変更する場合、メニュー[1]を選んでください。



#### 8.2 TOE10G-IP コアのリセット

'1"で選択されるこのメニューでは TOE10G-IP コアへ設定する各パラメータを変更しコアをリセットすることがで きます。その後更新したパラメータ情報が表示されます。ユーザは'x'を入力することで現在の設定と同じパラ メータを使いコアをリセットするか、あるいは他('x'以外)キーを入力することでパラメータを変更できます。入力 値が無効な値(たとえば'n'など)の場合パラメータは変更されません。より詳細については以下に説明します。

<u>ご注意:</u>

- 本メニューでサーバー側のパラメータをリセットする場合、クライアント側の FPGA も同じメニューでリセットしてください。
   さらにリセットはサーバー側の方を先に行うことでクライアントからの ARP 要求を待機してください。
- 2. クライアントとサーバーのパラメータはお互いに合致しなくてはなりません。
  - a. サーバーの Target IP = クライアントの FPGA IP
  - b. サーバーの FPGA IP = クライアントの Target IP
  - c. サーバーの Target port number = クライアントの FPGA port number
  - d. サーバーの FPGA port number = クライアントの Target port number
- Mode: FPGAの初期化モードを指定します。クライアントの場合'0'を、サーバーの場合'1'をセットしてください。2枚のFPGAボードにて片方がサーバーもう片方がクライアントと、必ず異なるモードとする必要があります。
- 2) FPGA MAC address: 12桁の 16進数で入力します。 先頭に"0x"のサフィックスをつけて 16進数であることを示してください。
- 3) FPGA IP address: "."(ドット)をセパレータとした 4 つの 10 進数で入力します。各入力値にて有効な範囲は 0-255 です。
- 4) FPGA port number: 有効な範囲は 0-65535 です。
- 5) Target IP address: 上記 3)と同様に 10 進数で入力します。
- 6) Target port number: 有効な範囲は 0-65535 です。

パラメータの入力が終わったら更新されたパラメータがシリアル・コンソール上に表示されます。次に IP コアに 対してリセットが発行され、新たなパラメータがコアにロードされます。最後に "IP initialization complete"のメッ セージが図 8-2 のように表示され初期化プロセスが完了したことを示します。





図 8-2: パラメータの変更結果例



## 8.3 データ送信テスト(サーバーからクライアントへ)

サーバーからクライアントへのデータ送信をテストするためには、サーバー側 FPGA にてメニュー'2'を選択する ことで送信し、クライアント側 FPGA にてメニュー'3'を選択することで受信します。 ユーザはシリアル・コンソー ルを通してテスト・パラメータを設定できます。 本テストの実施手順を以下に説明します。

- 1) サーバー側のシリアル・コンソールにて送信テストとして3つのパラメータを入力します。
  - a) 転送サイズを入力します。転送サイズの単位はバイト数です。有効な値は 0x8 0x7FFFFFF8 です。 ただし入力数は必ず 8 の倍数でなくてはなりません。ユーザは 10 進数か 16 進数で入力できます。16 進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - b) パケット・サイズを入力します。パケット・サイズの単位はバイト数です。有効な値は8-8960です。ただし入力数は必ず8の倍数でなくてはなりません。ユーザは10進数か16進数で入力できます。16進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - c) モードを入力します。本サーバーからの送信テストでは'1'をセットし FPGA をサーバー・モードとしてく ださい。
- 2) 全ての入力が有効であった場合、"Wait Open connection …"のメッセージが表示されます。
- 3) クライアント側のシリアル・コンソールにて受信テストとして3つのパラメータを入力します。
  - a) 転送サイズを入力します。転送サイズの単位はバイト数です。有効な値は 0x8 0x7FFFFFF8 です。 ただし入力数は必ず 8 の倍数でなくてはなりません。ユーザは 10 進数か 16 進数で入力できます。16 進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。この値はサーバー側 FPGA の転 送サイズ(上記 1a で入力する値)と等しくする必要があります。
  - b) データ・ベリファイのモードを入力します。ベリファイを行わない場合は'0'を、サーバーから受信したデ ータでベリファイを行う場合は'1'を入力してください。
  - c) モードを入力します。本サーバーからの送信テストではクライアント側は'0'をセットしてください。 入力されたパラメータが有効であった場合、テスト動作が開始されます。
- クライアント側の動作が開始すると、サーバー・クライアント両方のシリアル・コンソールにて1秒毎に転送サ イズがリアルタイムで表示されます。サーバー側では全データの送信が完了すると "Send data complete"のメッセージがシリアル・コンソール上に表示されます。
- 5) サーバー側はコネクションをクローズします。そしてサーバー・クライアントの両方のシリアル・コンソールに て総転送サイズとパフォーマンス結果が表示されます。

図 8-3 にサーバーからのデータ送信テストを非ジャンボ・フレーム・サイズで実行した時の結果例を示します。 図左側はサーバー側のシリアル・コンソール画面で図右側はクライアント側のシリアル・コンソール画面です。 図 8-4 にジャンボ・フレームで実行したテスト例を示します。ジャンボ・フレームの場合非ジャンボ・フレームより 良好なパフォーマンスが得られます。

入力したパラメータが無効であった場合、"Out-of-range input"または"Invalid input"のメッセージが表示され、 テスト動作は図 5-5~図 5-7(FPGA~PC 間でのテストにおける無効な入力があった場合のメッセージ)と同じく キャンセルされます。





#### 図 8-3: 非ジャンボ・フレームでのデータ送信テスト結果例





## 8.4 データ受信テスト(クライアントからサーバーへ)

クライアントからサーバーへのデータ受信をテストするためには、サーバー側 FPGA にてメニュー'3'を選択する ことで受信し、クライアント側 FPGA にてメニュー'2'を選択することで送信します。 ユーザはシリアル・コンソー ルを通してテスト・パラメータを設定できます。 本テストの実施手順を以下に説明します。

- 1) サーバー側のシリアル・コンソールにて受信テストとして3つのパラメータを入力します。
  - a) 転送サイズを入力します。転送サイズの単位はバイト数です。有効な値は 0x8 0x7FFFFFF8 です。 ただし入力数は必ず 8 の倍数でなくてはなりません。ユーザは 10 進数か 16 進数で入力できます。16 進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - b) データ・ベリファイのモードを入力します。ベリファイを行わない場合は'0'を、クライアントから受信した データでベリファイを行う場合は'1'を入力してください。
  - c) モードを入力します。本クライアントからの受信テストでは'1'をセットし FPGA をサーバー・モードとして ください。
- 2) 全ての入力が有効であった場合、"Wait Open connection …"のメッセージが表示されます。
- 3) クライアント側のシリアル・コンソールにて送信テストとして3つのパラメータを入力します。
  - a) 転送サイズを入力します。転送サイズの単位はバイト数です。有効な値は 0x8 0x7FFFFFF8 です。 ただし入力数は必ず 8 の倍数でなくてはなりません。ユーザは 10 進数か 16 進数で入力できます。16 進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。この値はサーバー側 FPGA の転 送サイズ(上記 1a で入力する値)と等しくする必要があります。
  - b) パケット・サイズを入力します。パケット・サイズの単位はバイト数です。有効な値は8-8960です。ただし入力数は必ず8の倍数でなくてはなりません。ユーザは10進数か16進数で入力できます。16進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - c) モードを入力します。本サーバーでの受信テストではクライアント側は'0'をセットしてください。 入力されたパラメータが有効であった場合、テスト動作が開始されます。
- 4) クライアント側の動作が開始すると、サーバー・クライアント両方のシリアル・コンソールにて 1 秒毎に転送サ イズがリアルタイムで表示されます。
- 5) クライアント側が全データの送信を完了しコネクションをクローズすると、サーバー側のシリアル・コンソール 上に"Connection closed"と"Received data completed"のメッセージが表示されます。そしてサーバー・クラ イアントの両方のシリアル・コンソールにて総転送サイズとパフォーマンス結果が表示されます。







#### 8.5 全二重通信テスト

'4'で選択されるこのメニューではサーバーおよびクライアントの2枚の FPGA 間で同時に送受信する全二重通 信をテストできます。ユーザはシリアル・コンソールを通して通信するデータのテスト・パラメータを設定できます。 本テストの実施手順を以下に説明します。

- 1) サーバー側のシリアル・コンソールにて全二重通信テストとして4つのパラメータを入力します。
  - a) 転送サイズを入力します。転送サイズの単位はバイト数です。有効な値は 0x8 0x7FFFFFF8 です。 ただし入力数は必ず 8の倍数であり、かつクライアント側で設定する転送サイズと一致しなくてはなりません。ユーザは 10 進数か 16 進数で入力できます。16 進数で入力する場合、先頭に"0x"のプレフィックス を付けてください。
  - b) パケット・サイズを入力します。パケット・サイズの単位はバイト数です。有効な値は8-8960です。ただし入力数は必ず8の倍数でなくてはなりません。ユーザは10進数か16進数で入力できます。16進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - c) データ・ベリファイのモードを入力します。ベリファイを行わない場合は'0'を、クライアントから受信したデ ータでベリファイを行う場合は'1'を入力してください。
  - d) サーバー側での本全二重通信テストでは'1'をセットし FPGA をサーバー・モードとしてください。
- 2) 全ての入力が有効であった場合、"Wait Open connection …"のメッセージが表示されます。
- 3) クライアント側のシリアル・コンソールにて全二重通信テストとして4つのパラメータを入力します。
  - a) 転送サイズを入力します。転送サイズの単位はバイト数です。有効な値は 0x8 0x7FFFFFF8 です。
     ただし入力数は必ず8の倍数であり、かつサーバー側で設定する転送サイズと一致しなくてはなりません。
     ユーザは 10 進数か 16 進数で入力できます。16 進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - b) パケット・サイズを入力します。パケット・サイズの単位はバイト数です。有効な値は8-8960です。ただし入力数は必ず8の倍数でなくてはなりません。ユーザは10進数か16進数で入力できます。16進数で入力する場合、先頭に"0x"のプレフィックスを付けてください。
  - c) データ・ベリファイのモードを入力します。ベリファイを行わない場合は'0'を、サーバーから受信したデー タでベリファイを行う場合は'1'を入力してください。
  - d) クライアント側での本全二重通信テストでは'0'をセットし FPGA をクライアント・モードとしてください。
  - 入力されたパラメータが有効であった場合、テスト動作が開始されます。
- 4) クライアント側の動作が開始すると、サーバー・クライアント両方のシリアル・コンソールにて 1 秒毎に転送サ イズがリアルタイムで表示されます。
- 5) クライアント側が全データの送信および全データの受信を完了しコネクションをクローズするとクライアント側 のシリアル・コンソール上に "Send data completed"のメッセージが表示されます。そしてサーバー・クライア ントの両方のシリアル・コンソールにて総転送サイズとパフォーマンス結果が表示されます。

そしてステップ 4)~ステップ 5)が永久に繰り返されます。テストを終了する場合はサーバーおよびクライアント両方のシリアル・コンソールで何かキー入力を行ってください。



#### 図 8-6 に全二重通信テストの結果例を示します。図左側はサーバー側のシリアル・コンソール画面で図右側は クライアント側のシリアル・コンソール画面です。





# 9 更新履歴

Revision	日付	内容
1.0	19-Mar-18	Initial version release
1.1	27-Mar-18	Add Part A (FPGA<->PC test)
1.1J	2018/05/07	日本語版(英語版 1.1 に対応)を作成