



本社: 〒184-0012  
東京都小金井市中町 3-23-17  
電話/FAX: 050-3588-7915  
E-mail: sales@dgway.com  
URL: [www.dgway.com](http://www.dgway.com)

## 特長

- 純ハードワイヤードの TCP/IP プロトコル・スタック
- IPv4 に対応
- 単一セッション接続
- サーバおよびクライアントの両モード  
(パッシブ/アクティブのオープン/クローズに対応)
- 送受信同時の高速データ転送(Full Duplex)対応
- ジャンボ・フレームに対応
- 送信パケット・サイズおよび総受信パケット・サイズは 8 バイト(64bit)単位
- 送信/受信バッファ・サイズを消費リソースとパフォーマンスから最適点に調整可能
- データ・インターフェイスはシンプルかつ一般的な FIFO インターフェイス
- 制御インターフェイスは汎用的なレジスタ・インターフェイス
- Altera 標準 10Gbps イーサネット MAC と 64 ビットの Avalon ストリーム・インターフェイスで直結
- 156.25MHz の単一クロック・ドメイン
- Arria10SoC 開発キットで実機動作する半二重通信および全二重通信のリファレンス・デザインが提供可

コア概要	
コア納品同梱物	
技術資料	データシート,リファレンスデザイン資料
コア納品形態	暗号化した VHDL
制約ファイル	リファレンス・デザインで提供
検証環境	実機動作リファレンス・デザイン
インスタンス化サンプル	VHDL で提供
リファレンス・デザイン	QuartusII プロジェクト, コア以外は全てソースコード提供
その他	Arria10 SoC での実機デモ環境
技術サポート	
デザイン・ゲートウェイ・ジャパンによる日本語サポート	

表 1: コンパイル結果例

Family	Example Device	Fmax (MHz)	ALMs <sup>1</sup>	Registers <sup>1</sup>	Pin <sup>2</sup>	Block Memory bit <sup>3</sup>	Design Tools
Arria 10 SX	10AS066N3F40E2SGE2	156.25	2,411	3,414	454	1,179,648	QuartusII15.1

注意:

- 1) 実際のリソース消費カウントはユーザロジックやフィット条件等に依存します。
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります。
- 3) ブロックメモリの消費リソース数は送信データ・バッファ 64K バイト、送信パケットバッファ 16K バイト、受信データバッファ 64K バイト時の値となります。バッファ容量の最小設定はそれぞれ 4K バイト、4K バイト、16K バイト(ジャンボフレーム対応のため)です。

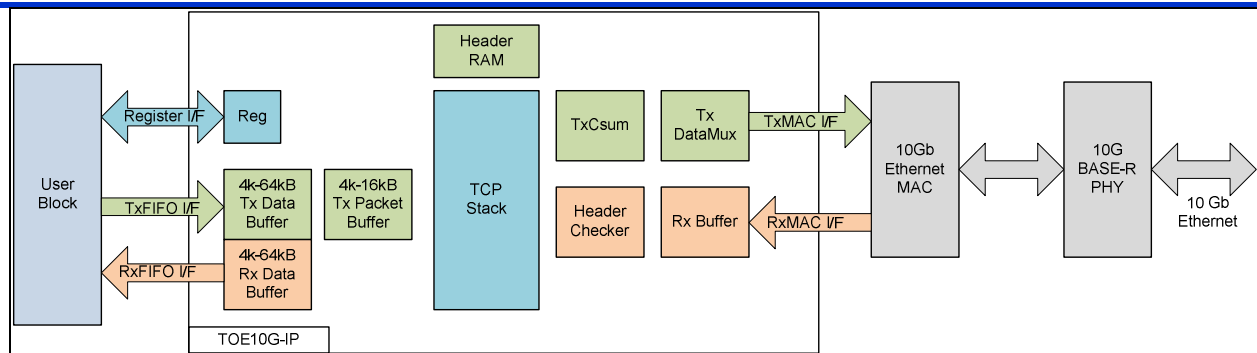


図 1: TOE10G-IP ブロック図

### アプリケーション情報

本 TOE10G-IP コアは 10Gbit イーサネットにて TCP/IP プロトコルによりデータ信頼性を維持しながら同時に高速転送が要求されるネットワーク・アプリケーション向けのコアです。本コアは CPU なしのハード・ロジックのみで TCP/IP による 10Gb イーサネット通信を可能とします。また、データ送信とデータ受信は独立して動作するため、同時送受信（フル・デュプレックス）に対応します。

### コア概要

本 TOE10G-IP コアは Altera 社から提供される 10GbE EMAC IP コアおよび 10Gb BASE-R PHY と合わせてすることで、TCP/IP スタック、トランスポート層、インターネット層、リンク層、ネットワーク・データ転送の物理層を構成し動作します。ユーザはこのシステム構成にて 10Gb イーサネット経由で接続したネットワーク・デバイスと TCP/IP プロトコルを用いてデータの送受信が可能となります。

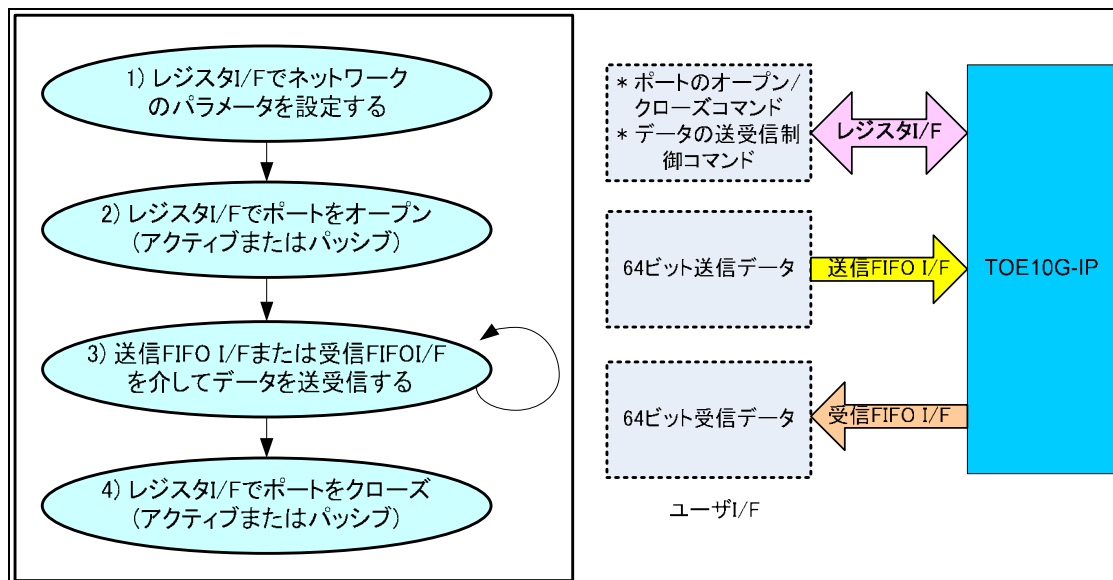


図 2: TOE10G-IP のユーザ I/F と動作シーケンス

コアとユーザ・ロジック間のユーザ I/F(インターフェイス)は3種類あります。1つはコアの制御/ステータス確認用のレジスタ I/F で、送信データと受信データは FIFO I/F となります。システムの初期化時にユーザはパケット・サイズ、ポート番号、IP アドレスなどのパラメータをレジスタ I/F 経由でセットする必要があります。その後データ転送前にユーザ・ロジック(アクティブ・モード)あるいは接続ターゲット・デバイス(パッシブ・モード)でポートをオープンします。データ送受信の実行において、データのユーザ・ロジック側のインターフェイスは汎用 FIFO 形式となるので、簡単なロジックで実装できます。全てのデータ転送が完了すると、ポートのオープン時と同様、ユーザ・ロジック(アクティブ・モード)あるいは接続ターゲット・デバイス(パッシブ・モード)でポートをクローズします。

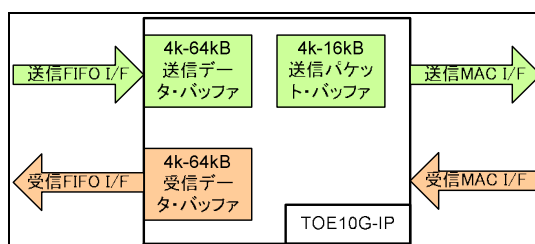


図 3: 送信/受信バッファ・サイズは調整可能

TOE10G-IP コアには、送信データ・バッファ、送信パケット・バッファ、受信データ・バッファの3種類のバッファがあり、IP コアで容量を設定できます。ユーザ・アプリケーションに合わせたサイズを選ぶことで消費リソースを最適化できます。バッファ・サイズを大きくするとメモリ消費リソースも増えますがパフォーマンスが向上します。送信データ・バッファと送信パケット・バッファのサイズは送信パフォーマンスに影響し受信データ・バッファは受信パフォーマンスに影響します。更に送信データ・バッファと送信パケット・バッファのサイズはレジスタ I/F を介してユーザが設定するパケット・サイズにも関係します。送信パケット・バッファは送信パケット・サイズより大きくなくてはなりません、また送信データ・バッファのサイズは送信パケット・サイズより少なくとも2倍以上に設定する必要があります。

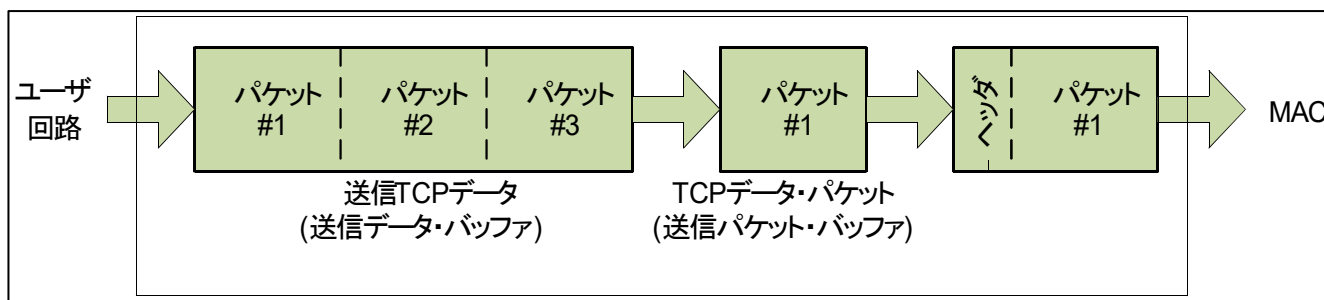


図 4: 送信データ・フロー

データ送信時、送信データ・バッファからの送信データはパケット・サイズに分割され送信パケット・バッファに転送されます。そして送信パケット・バッファからの TCP データ・パケットはヘッダ情報が付加されてから EMAC へ出力されます。TCP と IP チェックサムは IP コア内で自動計算されます。コアは受信した ACK パケットのアクノリッジ番号をモニタすることで、次のデータ・パケットを送信するかあるいはパケットがロストした場合にパケットを再送信するかを判断します。レジスタ内のビジー・フラグは転送データ・サイズがユーザ回路から指定されたサイズと一致し全データ転送が完了するとクリアされます。従ってユーザ回路はこのビジー・フラグをモニタすることで転送ステータスを確認できます。

また、ユーザ回路は IP コアがデータ転送を実行していないアイドル状態のとき、ポートをクローズせずに次の転送用としてパケット・サイズや総転送サイズを変更することができます。

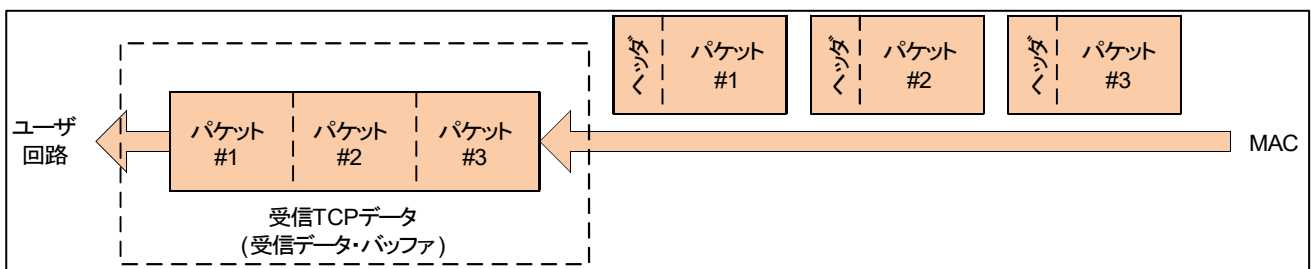


図 5: 受信データ・フロー

データ受信において受信したパケットはまずテンポラリ(一時)バッファに格納されます。そしてヘッダ情報とチェック・サム値をチェックします。ヘッダあるいはチェック・サム値にエラーがあった場合、そのパケットは破棄され受信データ・バッファには転送されません。正しいデータ・パケットを受信すると受信データ・バッファに転送され、また IP コアから ACK パケットが送信され、外部ネットワーク・デバイスに対して次のパケット送信を要求します。本 IP コアはそれ以上パケットが受信されず、かつ、受信したパケット・シーケンスが正しかった場合、アイドル状態に戻りビジー・フラグをクリアします。

## コアの機能ブロック

本 IP コアは、制御ブロック、送信ブロック、受信ブロックの3ブロックに分かれています。

### 制御ブロック

- レジスタ

ユーザ回路は TCP/IP オペレーションに関するパラメータをレジスタ・インタフェースにより設定できます。レジスタ・アドレスは全 4 ビットで 11 レジスタが実装されています。それぞれのレジスタのアドレス・マッピングを表 2 に示します。RST レジスタによるリセットが解除されると、各パラメータを設定したレジスタを初期値として動作が開始されます。

- TCP スタック

ユーザ回路からアクティブ・コマンドの操作が指示されると TCP スタックはユーザ・コマンドを解析し送信ブロックに対してポートのオープン・データ送信・ポートのクローズを実行するためパケットの出力を開始します。パケット送信中同時に TCP スタックは受信パケットをモニタしアクノリッジ・パケットの受信を検出します。

接続ターゲット・デバイスからのパッシブ・コマンドにおいては、TCP スタックは受信ブロックにて受信パケットをモニタし、ポートのオープン・データ受信・ポートのクローズを実行します。そして送信ブロックからアクノリッジ・パケットを出力します。

表 2: レジスタ・マップ定義

レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明
0000b	RST	Wr /Rd	[0]	IPリセット。'1'でリセットし'0'でリセットを解除する。初期状態は'1'(リセット状態)。 ユーザ回路が動作に必要な全パラメータをレジスタにセットしてから本レジスタに'0'を書き込むことでコアの動作が開始する。ユーザ回路が SML, SMH, DIP, SIP, DPN, SPN,SRV レジスタの値を変更する必要が生じた場合、本レジスタを一旦'1'としコアをリセット状態に移行させてから変更しなくてはならない。
0001b	CMD	Wr	[1:0]	アクティブ・モードでのユーザ・コマンド。“00”:データ送信、“10”:オープン・コネクション(アクティブ)、“11”:クローズ・コネクション(アクティブ)、“01”:未定義(指定しないこと)。本レジスタによってアクティブ・コマンドを開始する前に、ユーザ回路は本レジスタの bit[0]をチェックしてコアは動作中でないことを確認しなくてはならない。本レジスタをセットするとコアは指定されたアクティブ・コマンド動作を自動的に開始する。
		Rd	[0]	システム・ビジー・フラグ。'0':アイドル状態、'1':ビジー状態
			[3:1]	現在の動作状態。“000”:データ受信ありまたはなしで送信中、“001”:アイドル状態、“010”:アクティブ・オープン・コネクション、“011”:アクティブ・クローズ・コネクション、“100”:データ受信中、“101”:未定義、“110”:パッシブ・オープン、コネクション、“111”:パッシブ・クローズ・コネクション
0010b	SML	Wr /Rd	[31:0]	コアの MAC アドレスの下位 32bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0011b	SMH	Wr /Rd	[15:0]	コアの MAC アドレスの上位 16bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0100b	DIP	Wr /Rd	[31:0]	接続ターゲット・デバイス側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。 サーバー・モードの場合、ターゲットの IP アドレスは IP コアに対して設定された条件に合致する最初の SYN パケットを受信した際にそのパケットのヘッダより抽出され自動的に設定される。
0101b	SIP	Wr /Rd	[31:0]	コアの IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0110b	DPN	Wr /Rd	[15:0]	コネクションを行う接続ターゲット・デバイス側のポート番号を 16bit で指定する。アクティブ・オープンでコネクションを行う場合やサーバー・モードを設定していない場合は RST レジスタをクリアする前に本レジスタでターゲット側のポート番号を指定する必要がある。パッシブ・オープンにて受信したオープン・パケットから、またはサーバー・モードにおいて IP コアに設定された条件に合致する最初の SYN 受信パケットからターゲットのポート番号は自動的に決定される。
0111b	SPN	Wr /Rd	[15:0]	コアのポート番号を 16bit で指定する。RST レジスタをクリアする前に本レジスタで自身のポート番号を指定する必要がある。
1000b	TDL	Wr	[31:0]	送信データ数をバイト単位で指定する、有効な値は 1~0xFFFFFFFF。TDL の値が 8 バイトの倍数でない場合 (bit[2:0]がゼロでない場合)、ユーザ回路はオール・ゼロのダミー・バイト・データを TCPTxFWrData で使われない上位バイトに埋める必要がある。CMD レジスタに"00"をセットする前に本レジスタで送信データ数をセットする必要がある。この値はコア内部ロジックにて CMD レジスタがセットされた瞬間にサンプリングされるため、現在の送信が完了していない場合でも次の送信用の値をセットできる。また、再度前回と同じデータ数を送信する場合は本レジスタに再セットする必要はない。
		Rd	[31:0]	まだ送信されていない残りデータ数をバイト単位で表示する。

レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明
1001b	TMO	Wr	[31:0]	全てのコマンドにて、受信パケットの待ち時間タイムアウト値を設定する。本レジスタは156.25MHzのカウンタで動作するためタイム設定値は6.4nsの単位で指定する。本レジスタ値は0x6000以上の値としなくてはならない。
		Rd		各タイムアウト等のステータス、それぞれのビット定義は以下の通り [0] ARPで返信パケットをタイムアウト時間内に受信しなかった [1] アクティブ・オープン時にSYNとACKフラグをタイムアウト時間内に受信しなかった [2] パッシブ・オープン時にACKフラグをタイムアウト時間内に受信しなかった [3] アクティブ・クローズ時にFINとACKフラグをタイムアウト時間内に受信しなかった [4] パッシブ・クローズ時にACKフラグをタイムアウト時間内に受信しなかった [5] データ送信時にACKフラグをタイムアウト時間内に受信しなかった [6] 受信パケットをロストした、受信データFIFOが一杯になった、あるいは誤ったシーケンス番号などの要因により、データ受信中タイムアウトとなった [23] 受信データFIFOが一杯のため受信パケットを受け損ねた [27] 受信パケットのロストを検出した [30] 受信パケット中にRSTフラグが検出された
1010b	PKL	Wr /Rd	[15:0]	バイト単位で指定する送信パケットのデータ長、ただし値は8バイトの倍数でなくてはならない。有効な値は8~16,000(最下位2ビットは無視される)。デフォルト値は1456バイト(非ジャンボ・フレームにて8の倍数での最大サイズ)。本レジスタの値はデータ転送中(システム・ビジー・フラグ=1)は変更してはならない。次の転送でも同じパケット・サイズの場合、ユーザは本レジスタの値を再セットする必要はない。
1011b	PSH	Wr /Rd	[1:0]	送信モードの指定(デフォルト値は全ビット'0')、本レジスタはアイドル中(CMDレジスタのbit0='0')のみ変更可能。(注3参照) [0] '0': TDL ≤ PKLの場合(1送信指示が1パケット)に同一パケットを自動再送する '1': TDL ≤ PKLの場合の自動再送機能を禁止する(1パケットのみの送信とする) [1] PSHフラグをセット、送信時のパケット内PSHフラグに'1'をセットする
1100b	WIN	Wr /Rd	[5:0]	IPコアがウィンドウ・アップデート・パケットを自動送信するときの1Kバイト単位での設定閾値。デフォルト値は0(ウィンドウ・アップデート・パケットの自動送信を行わない) IPコアは受信データ・バッファの空き容量が、前回送信したパケットでターゲットへ報告したウィンドウ情報からこのレジスタで設定した閾値分増加した場合に、自動的にウィンドウ・アップデート・パケットを送信する。(この機能はターゲット側からIPコアへデータを送信する場合のフロー制御で必要となる) 例えばWIN='000001b'(=1Kバイト)で設定し、前回最後にIPコアがターゲットに向けて送信したパケット内で報告したその時点での受信バッファのウィンドウ・サイズ(空きバッファ容量)が2Kバイトであったと仮定する。この後ユーザ回路が受信データを読み出した結果IPコアの受信データ・バッファの空き容量が1Kバイト分増えた時点で、IPコアはターゲットに対してウィンドウ・アップデート・パケットを自動的に送り3Kバイトのウィンドウ・サイズとなったことを通知できる。
1101b	ETL	Wr	[31:0]	拡張した送信データ数(バイト単位で設定) ユーザ回路はCMD='00'で送信を実行中にて送信データ数をTDL以上に増やして送信したい場合に使う、この場合ユーザ回路はIPコアに次のデータ送信コマンドを発行することなく、連続してデータ送信を継続できる。ただし以下の注意点がある 1) ETLレジスタはTDLのリード値(残り送信バイト数)が128Kバイト以下でない状態でライトしなくてはならない 2) ETLレジスタにセットする値は0xFFFFFFFFからTDLのリード値を差し引いた数以下



レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明
1110b	SRV	Wr /Rd	[0]	サーバー・モードの設定、'0':クライアント・モード '1':サーバー・モード、デフォルト値='0' サーバー・モード: ターゲット IP アドレス、ターゲット MAC アドレス、ターゲット側ポート番号の値は受信パケットが有効なヘッダ(SML, SMH, SIP, SPN のセット値と合致)である最初の SYN パケットを受信するとそのパケット・ヘッダより抽出し以降のターゲットとして設定する。 クライアント・モード: ターゲット MAC アドレスは IP コアのリセット解除後に発行する ARP にてターゲットからの ARP 応答パケットより抽出する。 <b>RST レジスタをクリアする前に本レジスタでサーバー/クライアントのモードを指定する必要がある。</b>
1111b	FSH	Wr	[0]	最終受信データのフラッシュ、受信バイト数が 8 の倍数でない場合に受信データ・バッファ内に残ったデータを読み出すためのレジスタ。'1'をセットすると最終データの不足バイト部分にゼロのダミー・データが付加され TCPRxFfRdData からリードできるようになる。ユーザ回路が本レジスタで最終受信データをフラッシュすると IP コア内受信モジュールは受信機能を停止し TCPRxFfRdEmpty='1'となるまで全ての受信データを無視(破棄)する。本ビットはセルフ・クリーニングのため'1'の後に'0'をライトする必要はない。
		Rd	[0]	'1': フラッシュ動作により受信モジュールの受信機能は停止中である。 '0': 受信機能は動作可能状態である。

## 注意:

- ターゲットの MAC アドレスは ARP の返信パケットにてコアが自動検出・設定するためユーザ回路側でこのパラメータを設定する必要はありません。
- ターゲット側のポート番号はパッシブ・オープンの場合は受信パケットから自動設定されます。このためパッシブ・モードでコネクションをオープンする場合ユーザ回路側でこのパラメータを設定する必要はありません。
- PSH の bit0 における自動再送機能(デフォルトで機能 ON)は、1 パケットのみの送信の場合、受信側の PC の ACK 応答が非常に遅くなる現象を回避するための機能です。その機能が不要な場合このビットを'1'として自動再送機能を禁止してください。

表 3:送信データ/送信パケット/受信データの各バッファで設定できる FIFO サイズ(アドレス・サイズで指定)

有効なビット幅	バッファ・サイズ	送信データ・バッファ	送信パケット・バッファ	受信データ・バッファ
9	4kByte	有効	有効	有効
10	8kByte	有効	有効	有効
11	16kByte	有効	有効	有効
12	32kByte	有効	不可	有効
13	64kByte	有効	不可	有効

## 送信ブロック

### • 送信データ・バッファ

送信データ・バッファのサイズは IP コアの "TxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 9-13 で 64 ビット・バッファのアドレス・サイズを意味します。

本バッファのサイズは PKL レジスタで設定した送信パケット・サイズより 2 倍以上大きいサイズでなくてはなりません。ユーザ回路からの送信データは一旦本バッファに格納されますが、接続先ターゲット・デバイスからの正常 ACK パケットを受信し前パケットのデータ到達を確認すると送信パケット・バッファに転送されます。そして転送されたパケット・データにはヘッダ等が付加され TCP パケットとして生成されます。本バッファ・サイズは送信パフォーマンスに影響します。より大きなサイズに設定するとターゲットからの ACK パケット受信から次パケットの送信までのレイテンシを低減するので、より連続したデータ送信を維持できます。総転送数として設定したよりも多くのデータをユーザ回路から本バッファに送信した場合、そのデータは次の転送に使われます。ポートがクローズされるかあるいはリセットを検出すると、格納されていたデータはフラッシュ(クリア)されます。逆にユーザ回路から送信したデータ数が現在のトランザクションに不足していた場合、本 IP コアはパケットを送信せずユーザ回路から必要なデータが書き込まれるまで待機します。

### • 送信パケット・バッファ

送信パケット・バッファのサイズは IP コアの "TxPacBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 9-11 です。本バッファ・サイズは PKL レジスタで設定した送信パケット・サイズと同じかそれ以上の容量とし、送信データ・バッファから転送された 1 パケット分のデータを格納できるように設定する必要があります。送信パケット・バッファ内のデータは EMAC および接続ターゲットでデータ受信準備が整うまでバッファ内で待機してから出力されます。現在のパケットが送信されている間に次のパケット・データが送信データ・バッファから取り出されあらかじめ準備されるため、パケットは連続して送信可能です。

### • ヘッダ RAM

この RAM は送信パケットのヘッダ情報を格納するために使われます。ヘッダ RAM 内の主要なパラメータは RST レジスタによりリセット状態が解除された時に更新されます。一部のパラメータ例えばターゲット MAC アドレス、ターゲット IP アドレス、ターゲット側ポート番号などについてはサーバー・モードで動作する場合は最初の SYN パケット受信時に更新されます。

### • 送信チェックサム

送信パケットが送出される前に本モジュールによりチェックサムが計算されます。計算されたチェックサム出力はヘッダ RAM 内に格納されます。

### • 送信マルチプレクサ

本モジュールによりヘッダ RAM と送信データバッファ内のデータが結合されイーサネット MAC を介して外部に送出されます。



## 受信ブロック

- **受信バッファ**

このバッファはヘッダ・チェックで処理される前のイーサネット MAC からの全ての受信パケットを一時的に保持します。ヘッダ・チェックにより受信パケットが有効であるかを確認するまでの間本バッファ内に格納されます。有効な TCP データのみが受信データ・バッファへと転送されます。

- **ヘッダ・チェック**

受信パケット内のヘッダをチェックしユーザ回路からの設定値と比較します。ヘッダの内容が設定パラメータと適合しなかった場合やチェックサムがエラーであった場合は該当するパケットは破棄されます。さらに有効なパケットであっても受信済みデータと重複があった場合その部分は破棄されます。

- **受信データ・バッファ**

受信データ・バッファのサイズは IP コアの "RxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 9-13 です。バッファ・サイズは TCP コネクションのウィンドウ・サイズに割り当てられます。本バッファ・サイズを大きくすると接続先ターゲット・デバイスにて本 IP コアからの ACK を待たずに連続してデータを送信できるため、受信パフォーマンスが改善されます。ネットワークの経路等により受信パケットのシーケンスに狂いが生じた場合でも受信データを正しく並び替えることができます。

## ユーザ回路

ユーザ回路はレジスタ I/F を通してパラメータの設定やコア状態のモニタを行い、また、送信 FIFO I/F を介した送信データの書き込みや受信 FIFO I/F を介して受信データの読み出しを行います。ユーザ回路はシンプルなハードウェア・ロジックで実装できます。

## 10Gb イーサネット MAC および 10Gb BASE-R PHY

このブロックは Altera 社から提供される IP コアをそのまま使用します。お客様にて Altera 社より別途手配して頂く必要がありますのでご注意ください。

## コアの I/O 信号

コアに設定するパラメータおよび I/O 信号をそれぞれ表 4 と表 5 で説明します。MAC I/F グループの全信号は Altera 製 10Gb EMAC と直結します。

表 4: コアのパラメータ

パラメータ名	設定範囲	説明
TxBufBitWidth	9-13	送信データ・バッファのサイズをバッファのアドレス・バスのビット幅で指定します。
TxPacBitWidth	9-11	送信パケット・バッファのサイズをバッファのアドレス・バスのビット幅で指定します。
RxBufBitWidth	9-13	受信データ・バッファのサイズをバッファのアドレス・バスのビット幅で指定します。

表 5: コアの I/O 信号

信号名	方向	説明
<b>共通 I/F 信号</b>		
RstB	In	IP コアのリセット、ロウ・アクティブ信号である。
Clk	In	PHY レイヤから出力される 156.25 MHz 固定クロック
<b>ユーザ I/F</b>		
RegAddr[3:0]	In	レジスタの 4bit アドレスバス
RegWrData[31:0]	In	ライト・レジスタの 32bit 書き込みデータ・バス
RegWrEn	In	レジスタのライト・イネーブル、アドレスおよびデータに有効な値をセットし本信号にパルスを与えることで書き込みを実行する。
RegRdData[31:0]	Out	レジスタの 32bit 読み出しデータ・バス、レジスタアドレスをセットしてから 1 クロックのレイテンシ後に有効なリード・データが本バス上に現れる。
ConnOn	Out	コネクション状態('1': コネクションはオープン状態、'0': コネクションはクローズ状態)。
TimerInt	Out	タイマ割り込み、タイムアウト発生時に本信号が 1 クロック期間分 H アサートされる。ユーザ回路は TMO[6:0] レジスタを読むことで割り込み要因を確認することができる。
RegDataA1[31:0]	Out	32 ビットの CMD レジスタ(RegAddr=0001b)のリード値
RegDataA8[31:0]	Out	32 ビットの TDL レジスタ(RegAddr=1000b)のリード値
RegDataA9[31:0]	Out	32 ビットの TMO レジスタ(RegAddr=1001b)のリード値
<b>送信データ・バッファ I/F</b>		
TCPTxFfFlush	Out	送信データ・バッファをリセットする。コネクションのクローズ時やリセット実行時に、1 クロック期間 H アサートする。
TCPTxFfFull	Out	コアの送信データ・バッファの Full フラグ。ユーザ回路は本信号が H アサートされてから 4 クロック期間以内に送信データの書き込みを停止しなくてはならない。
TCPTxFfWrEn	In	送信データ・バッファのライト・イネーブル。送信データを書き込む際にアサートする。
TCPTxFfWrData[63:0]	In	送信データ・バッファの 64bit 書き込みデータ・バス、TOETxFfWrEn に同期する。ユーザ回路は総転送数が 8 バイトの倍数でない場合、最終データで使われない上位バイトは 0x00 をセットしなくてはならない。
<b>受信データ・バッファ I/F</b>		
TCPRxFfFlush	Out	受信データ・バッファをリセットする。コネクションのオープン時に、1 クロック期間 H アサートされる。
TCPRxFfRdCnt[12:0]	Out	受信データ・バッファ内の受信データ総量を 64bit 単位で示す FIFO データ・カウンタ
TCPRxFfLastRdCnt[2:0]	Out	受信データ・バッファ内の最終データにおける剰余バイト数を 0-7 の値で示す。本信号がゼロでない場合、ユーザ回路は FSH[0] を '1' とすることで最終データを読み出すことができる。
TCPRxFfRdEmpty	Out	受信データ・バッファの FIFOEmpty フラグ。ユーザ回路は本信号が H アサートされたら直ちにデータの読み出しを停止しなくてはならない。
TCPRxFfRdEn	In	受信データ・バッファの読み出しイネーブル。受信データを読み出す際にアサートする。
TCPRxFfRdData[63:0]	Out	受信データ・バッファの 64bit 読み出しデータ・バス、TCPRxFfRdEn をアサートしてから 1 クロック期間のレイテンシ後に有効なリードデータが出力される。

信号名	方向	説明
MAC I/F		
MacRxData[63:0]	In	受信データ・バス。
MacRxValid	In	受信データの有効信号、MacRxData に同期する。
MacRxEOP	In	フレームの最終ワードであることを示す信号。
MacRxError	In	受信フレームの最後にそのフレーム内で CRC エラーが検出されたことを示す信号。 '1': エラー・パケット、'0': 通常パケット、MAC 出力の avalon_st_rx_error[1]と接続する。
MacTxData[63:0]	Out	送信データ・バス。
MacTxEmpty[2:0]	Out	フレームの最終ワードで使われていないバイト数を示す。
MacTxValid	Out	EMAC への送信データ有効信号、MacTxData に同期する。
MacTxSOP	Out	フレームの先頭ワードであることを示す信号。
MacTxEOP	Out	フレームの最終ワードであることを示す信号。
MacTxReady	In	ハンドシェイク信号、MacTxData が正常に受信されたときにアサートする。

## タイミング・チャート

### レジスタ・インターフェイス

ユーザ回路からの IP コア内部レジスタへのリード・ライト・アクセスは図 6 に示すタイミングにより実行します。アクセス先レジスタのアドレスマップは表 2 で示されます。レジスタへの書込みは RegAddr と RegWrData にそれぞれ有効なライト先のアドレスとデータをセットし 1 クロック期間 RegWrEn='1' とします。レジスタからの読み出しの際は、有効な RegAddr がコアに与えられた次のクロック期間に RegRdData にリードデータが出力されます。

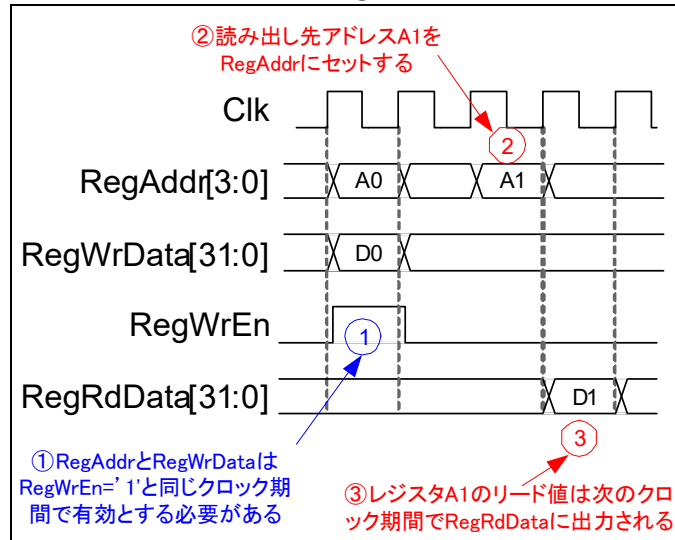


図 6: レジスタ I/F のタイミング・チャート

### 送信 FIFO インターフェイス

ユーザ回路から IP コアを介して送信するデータは図 7 のタイミングに示す FIFO インターフェイスで書き込みます。データを送信する前にユーザ回路は Full フラグ(TCPTxFfFull)が '1' にアサートされていないことを確認する必要があります。そして TCPTxFfWrEn='1' とし送信データを TCPTxFfWrData に出力します。TCPTxFfFull が '1' にアサートされた場合は 4 クロック以内にデータの送信を停止しなくてはなりません。また、コネクションがクローズされた場合、コアは TCPTxFfFlush を '1' にアサートし送信 FIFO 内全データがクリアされたことを示し、さらに TCPTxFfFull も '1' にアサートしてユーザ回路からの誤ったライト動作から保護します。

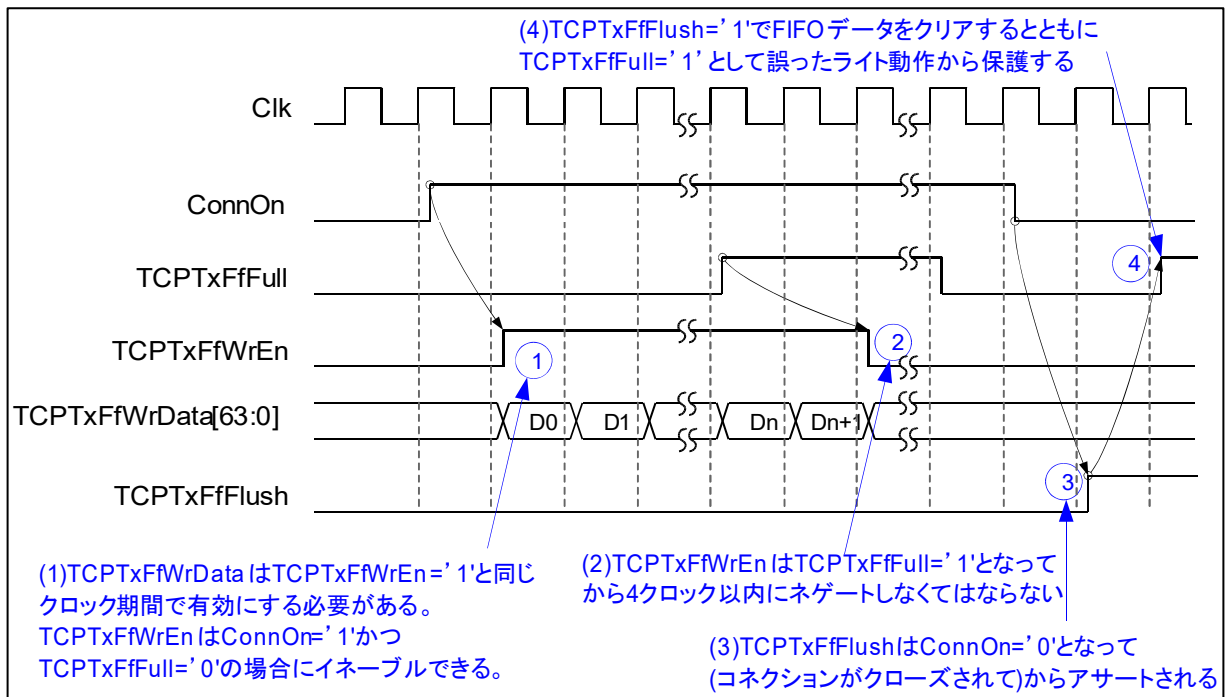
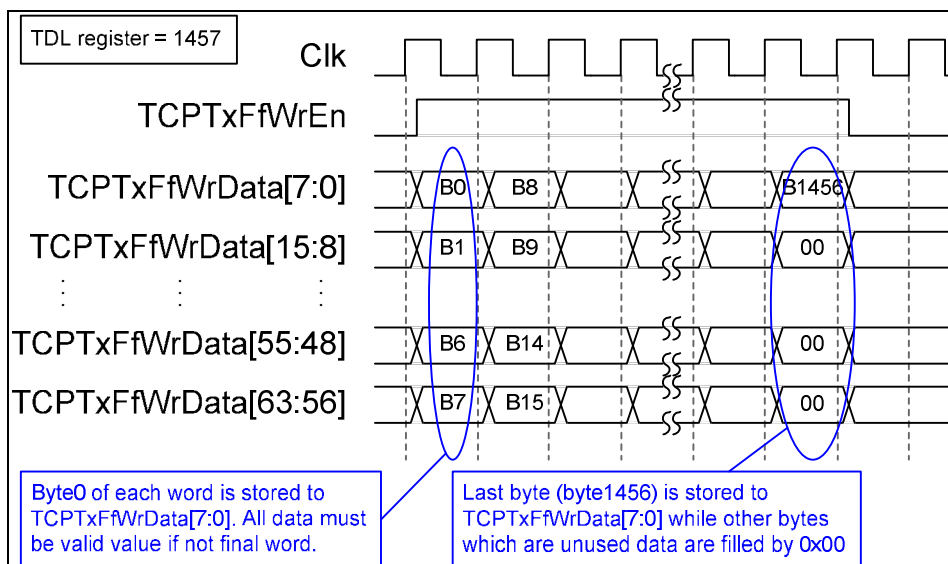


図 7: 送信 FIFO I/F のタイミング・チャート

TDLレジスタにセットされた送信データ数が8バイトの倍数でない場合(TDL[2:0]がゼロでない場合)、TCPTxFfWrDataの最終データで使われない上位バイトはユーザ回路側で0x00をセットしなくてはなりません。TDLの値を1457とした場合の例を図8に示します。最終ワードの有効データはbit[7:0]で転送されそれ以外の全バイトは0x00をセットします。



- 各ワードのバイト0はTCPTxFfWrData[7:0]が格納されます、最終ワードでない場合全バイトに有効なデータをセットする必要があります。
- 最終バイト(バイト番号1456)はTCPTxFfWrData[7:0]にセットされ、他の使われないバイトは必ず0x00とする必要があります。

図8: TDL[2:0]がゼロでない場合の送信データのタイミング・チャート

### 受信 FIFO インターフェイス

IP コアがターゲットからデータを受信すると受信データ・バッファに保存されます。ユーザ回路は FIFO インターフェイスを介してバッファ内の受信データを図 9 に示すタイミングで読み出すことができます。ユーザ回路は TCPRxFfEmpty をモニタしてデータの読み出しが可能かどうかを確認します。TCPRxFfEmpty が '0' にクリアされていればデータを読み出すことができます。FIFO 内受信データの読み出しは TCPRxFfRdEn を '1' にセットして行いますが、受信データは次のクロック期間に TCPRxFfRdData に出力されます。データの読み出し中に TCPRxFfEmpty が '1' にアサートされた場合、ユーザ回路は TCPRxFfRdEn を同じクロック期間内で '0' としなくてはなりません。コネクションのオープン時に受信データ・バッファ内の全データはクリアされ、それは TCPRxFfFlush が '1' にアサートされることで検出できます。

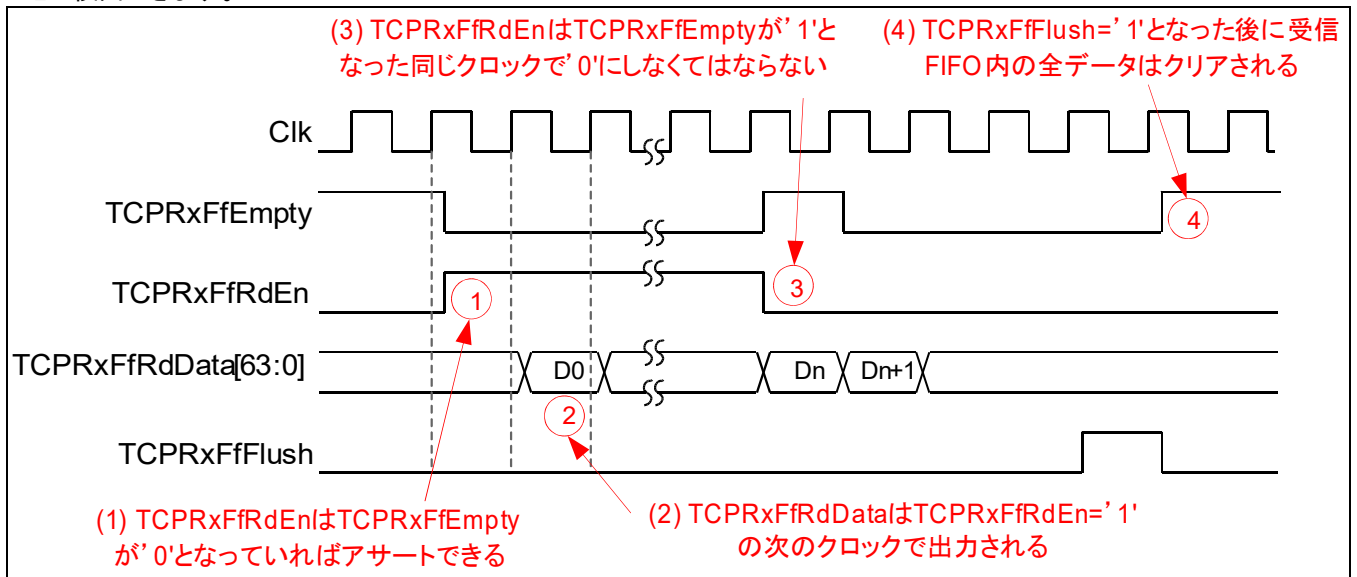


図 9: エンプティ・フラグによる受信データ・バッファのタイミング・チャート

更に受信 FIFO の状態は TCPRxFfRdCnt から確認することができます。この信号は受信 FIFO 内の残りデータ量を示します。このためユーザ回路は図 10 に示すように TCPRxFfRdEn='1' として読み出すデータ量をこの信号の残量情報で決めることができます。

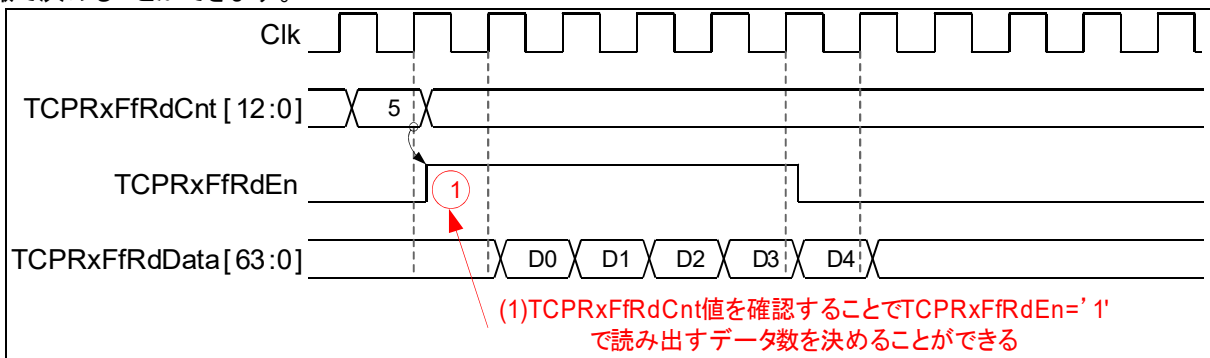
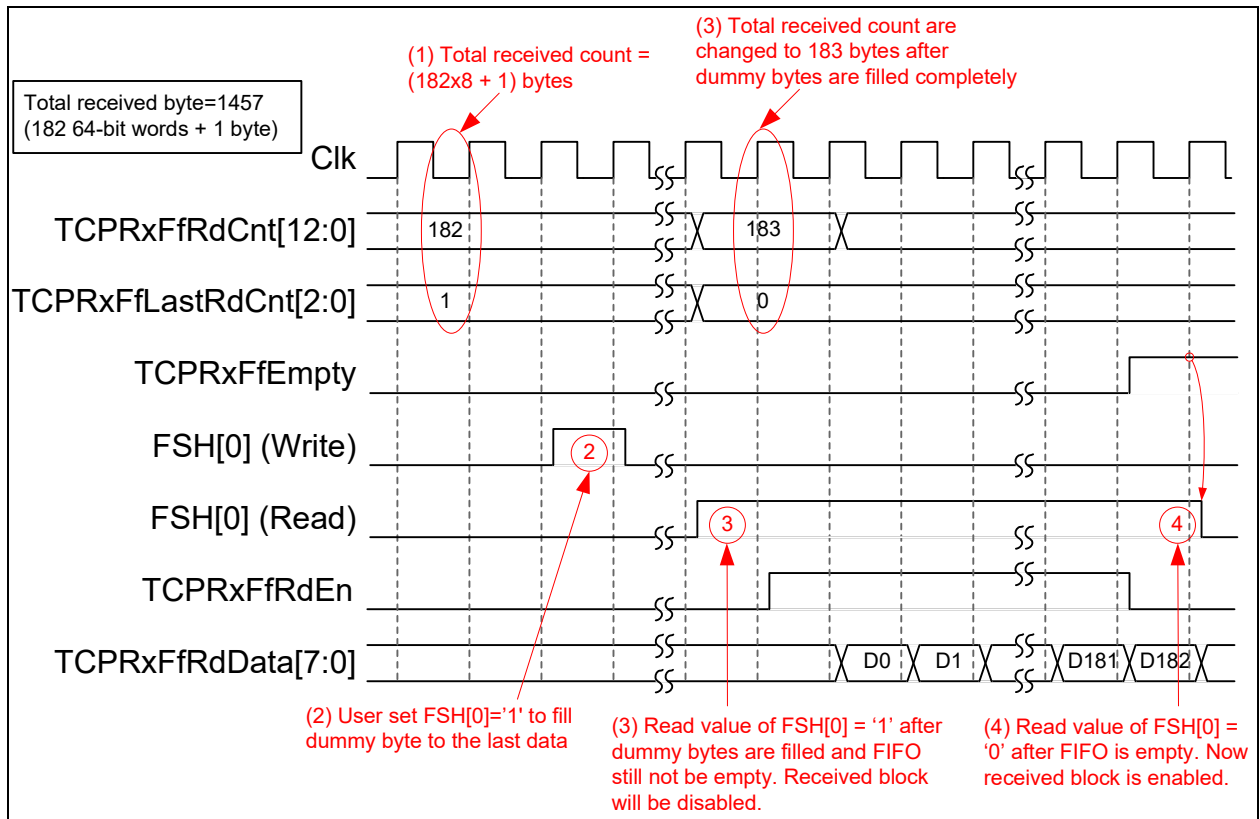


図 10: FIFO 残量カウンタ情報による受信データの読み出し



受信データのバイト数が8の倍数でない場合、剰余となる最終データはそのままではリードできません。このときユーザ回路は TCPRxFfLastRdCnt の値をチェックすることで、8の倍数でない場合に最終ワードでの剰余バイト数を確認することができます。最終データをリードするためには、ユーザ回路は FSH[0]に'1'をライトする必要があります。するとコア内部ロジックは残りの上位バイト側にゼロをセットすることで最終データを 64bit データとして読み出すことができます。この動作で上位バイトへゼロをセットすると TCPRxFfRdCnt と TCPRxFfLastRdCnt は 8 バイトの倍数となるよう調整されます。FSH[0]のリード値が'1'となった場合、上位バイトへのゼロのセットが完了し IP コア内の受信モジュールが動作休止状態となったことを示します。受信 FIFO が最終データのリードでエンプティ状態となると FSH[0]のリード値は'0'となり、IP コア内受信は再び機能を再開し新たなデータが受信できるようになります。



- (1) 総受信カウントが(182x8+1)バイトであった
- (2) ユーザ回路は FSH[0]='1'をセットするとコアは最終データの上位バイトにゼロをセットする
- (3) 上位バイトにゼロをセットし終わると FSH[0]のリード値が'1'となるが非エンプティで受信機能は休止同時に上位バイトのゼロ・セットが完了すると総受信カウントが 183 へと増加する
- (4) FIFO がエンプティとなると FSH[0]のリード値が 0'となり、受信機能が再開する

図 11: 受信データ・バイト数が 8 の倍数でない場合の受信データ・バッファのタイミング・チャート

## コアの使用例

### クライアント・モード

SRV[0]レジスタがデフォルトの'0'とした場合のデータ送信/受信における本コアのレジスタ設定シーケンス例を以下に示します。(より詳細についてはリファレンス・デザインのソースコードを参照してください。)

- 1) 自身の MAC アドレスを SML/SMH に、IP アドレスを DIP/SIP に、ポート番号を SPN/DPN (DPN はアクティブ・オープンの場合に設定する必要があります)にセットします。
- 2) RST レジスタをセットしリセット状態を解除します。IP コアは ARP 要求を自動送信しターゲットの MAC アドレス情報を取得します。ARP プロセスが完了するとビジー・フラグ(CMD[0])が 71'から'0'に遷移します。
- 3) a. アクティブ・オープンの場合: CMD レジスタをセットしてポートをオープンします。  
b. パッシブ・オープンの場合: "ConnOn" が '1'となるのを待ちます。
- 4) a. データ送信の場合: TDL/PKL レジスタに総転送長およびパケット・サイズをセットし CMD レジスタをセットしてデータ送信を開始します。ユーザ回路は全転送データを送信 FIFO に書き込み、CMD レジスタをモニタしてビジー・フラグが'0'にネゲートされるのを待ちます。  
b. データ受信の場合: 受信 FIFO のステータスをチェックし受信 FIFO が空になるまでデータを読み出します。  
本 IP コアがアイドル状態になる(すなわちこれ以上のデータ送信や受信がない状態となる)と、ポートをクローズしないままパケット・サイズや転送長(TDL/PKL レジスタ)を次の転送のためにユーザ回路から変更することが可能です。つまりこのステップ(4) はポートをクローズするまで何度でも繰り返すことができます。
- 5) a. アクティブ・クローズの場合: CMD レジスタをセットしてポートをクローズします。  
b. パッシブ・クローズの場合: "ConnOn" が '0'となるのを待ちます。

### サーバー・モード

サーバー・モードとクライアント・モードの違いはパラメータの初期化プロセスです。サーバー・モードにおいてはターゲットのパラメータがユーザ回路からのレジスタ設定ではなく受信パケットから行われます。サーバー・モードでの IP コア初期化でのレジスタ設定例を以下に示します。データ転送ではクライアント・モードと同じです。サーバー・モードは SRV[0]に'1'をセットすることで指定できます。

- 1) 自身の MAC アドレスを SML/SMH に、自身の IP アドレスを SIP に、自身のポート番号を SPN にセットします。
- 2) RST レジスタをセットしリセット状態を解除します。
- 3) ターゲットからのパッシブ・オープンを待ちます。そしてターゲットからの最初の SYN パケット(MAC アドレス、IP アドレス、ポート番号が自身に向けたもので SYN がセットされた最初の有効パケット)を受信するとそのパケット・ヘッダの送信元 MAC アドレス、送信元 IP アドレス、送信元ポート番号が抽出され本 IP コアのヘッダ検証ロジックにセットされます。このステップ以降は、ヘッダ内の転送元情報がセットされた値と一致しないパケットは無視されるようになります。また、ビジー・フラグは'1'から'0'にクリアし、IP コアはデータの送受信ができるようになります。
- 4) 本 IP コアが再度リセットおよびリセット解除となると、再び最初の SYN パケットの受信で新たなターゲットと通信できるようになります。

## コアの検証方法

本 TOE10G-IP コアのユーザ I/F 部については機能シミュレーションによる検証が可能であり、コア全体としては Arria10SoC ボードにより実機動作での検証が可能です。

## 必要とされる環境と設計スキルについて

本コアの実機動作確認やデザイン・ゲートウェイ社へのサポート依頼には Altera 純正の評価ボードが必要となるため、ユーザ側でコア購入時に手配してください。また、本コアを使ってユーザ・システムを設計・実装するためには、HDL 言語設計技術・TCP/IP プロトコル知識および QuartusII によるデザイン実装経験を必要とします。

## 注文情報

本製品は Altera 代理店から、あるいはデザイン・ゲートウェイ社から直接購入することが可能です。また、デバイス・ファミリに応じて以下のコアのラインナップが用意されています。

コア型番	対応ファミリ	ツール環境	検証用評価ボード	説明
TOE10G-IP-A10	Arria10	QuartusII 15.1	DK-SOC-10AS066S-A	Arria10 向け TOE10G-IP コア

IP コアの価格やライセンス条件あるいは上記以外のファミリ対応状況につきましては、デザイン・ゲートウェイ (sales@dgway.com) または国内 Altera 各代理店までお問い合わせください。また、コアご購入後のサポートは製品添付の実機動作リファレンス・デザインと同一の環境が前提となるため、対象ファミリの Altera 評価ボードの手配が必須となります。

## 更新履歴

リビジョン	日付	更新内容
1.0	May-16-2016	New release
1.0J	2016/09/26	日本語版の初版発行