



本社: 〒184-0012
 東京都小金井市中町 3-23-17
 電話/FAX: 050-3588-7915
 E-mail: sales@dgway.com
 URL: www.dgway.com

特長

- 純ハードワイヤードの TCP/IP プロトコル・スタック
- IPv4 に対応
- 単一セッション接続
- サーバおよびクライアントの両モード
(パッシブ/アクティブのオープン/クローズに対応)
- 送受信同時の高速データ転送(Full Duplex)対応
- ジャンボ・フレームに対応
- 送受信の各バッファ・サイズが設定可能
- 8 バイト(64 ビット)単位での送受信パケット・サイズ
- 送信/受信バッファ・サイズを消費リソースとパフォーマンスから最適点に調整可能
- データ・インターフェイスはシンプルかつ一般的な FIFO インターフェイス
- 制御インターフェイスは汎用的なレジスタ・インターフェイス
- 156.25MHz の単一クロック・ドメイン
- KC705/VC707/ZC706 による実機動作リファレンス・デザインを用意(Full Duplex の同時送受信デザインを含みます)

コア概要	
コア納品同梱物	
技術資料	データシート、リファレンスデザイン資料
コア納品形態	暗号化した VHDL
制約ファイル	リファレンス・デザインで提供
検証環境	ユーザ I/F 部のシミュレーション 実機動作リファレンス・デザイン
インスタンス化サンプル	VHDL で提供
リファレンス・デザイン	VIVADO プロジェクト コア以外は全てソースコード提供
その他	KC705,VC707,KC706 での実機デモ環境
シミュレーション・ツール	
ISim/Vivado シミュレータ/ModelSim	
技術サポート	
デザイン・ゲートウェイ・ジャパンによる日本語サポート	

表 1: コンパイル結果例

ファミリ	ターゲット・デバイス	Fmax (MHz)	Slice Regs	Slice LUTs	Slices ¹	IOB ²	RAMB36E1	Design Tools
Kintex-7	XC7K325T-2FFG900	156.25	3009	3287	1227	363	38	Vivado2014.1
Virtex-7	XC7VX485T-2FFG1761	156.25	3009	3287	1219	363	38	Vivado2014.1
Zynq-7000	(Kintex-7 と同等)	156.25	3009	3287	1227	363	38	Vivado2014.1

:備考:

1. 実際のリソース消費カウントはユーザロジックやフィット条件等に依存します。
2. このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります。
3. ブロックメモリの消費リソース数は送信データ・バッファ 64K バイト、送信パケットバッファ 16K バイト、受信データバッファ 64K バイト時の値となります。バッファ容量の最小設定はそれぞれ 4K バイト、4K バイト、16K バイト(ジャンボフレーム対応のため)です。
4. Zynq-7000 は最大 I/O 数がコアの IO 数より少ないためコア単体でのコンパイルができません、このため消費リソース情報については同一のデバイス構造となる Kintex-7 の値を参照してください。

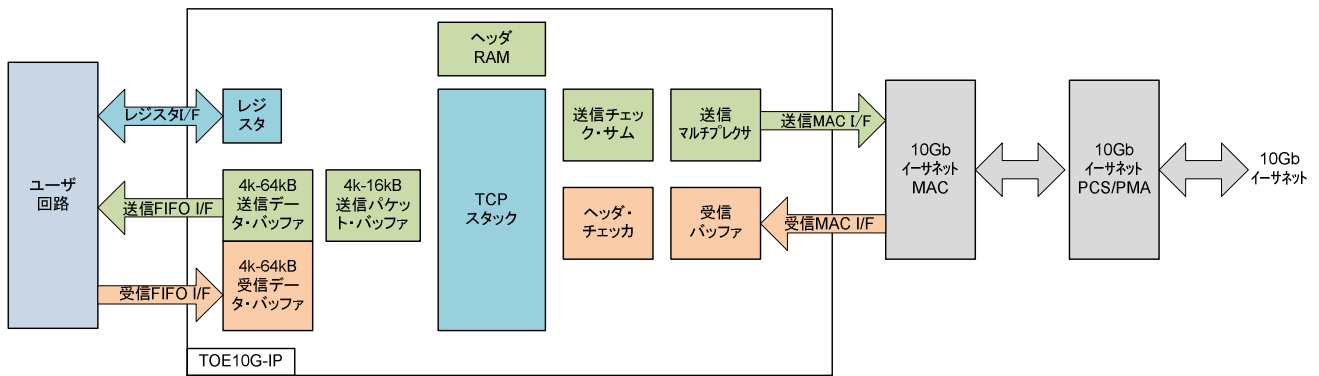


図 1: TOE10G-IP ブロック図

アプリケーション情報

本 TOE10G-IP コアは 10Gbit イーサネットにて TCP/IP プロトコルによりデータ信頼性を維持しながら同時に高速転送が要求されるネットワーク・アプリケーション向けのコアです。本コアは CPU なしのハード・ロジックのみで TCP/IP による 10Gb イーサネット通信を可能とします。また、データ送信とデータ受信は独立して動作するため、同時送受信(フル・デュプレックス)に対応します。

コア概要

本 TOE10G-IP コアは Xilinx 社から提供される 10GbE EMAC IP コアおよび 10GbE イーサネット PCS/PMA と合わせてすることで、TCP/IP スタック、トランスポート層、インターネット層、リンク層、ネットワーク・データ転送の物理層を構成し動作します。ユーザはこのシステム構成にて 10Gb イーサネット経由で接続したネットワーク・デバイスと TCP/IP プロトコルを用いてデータの送受信が可能となります。

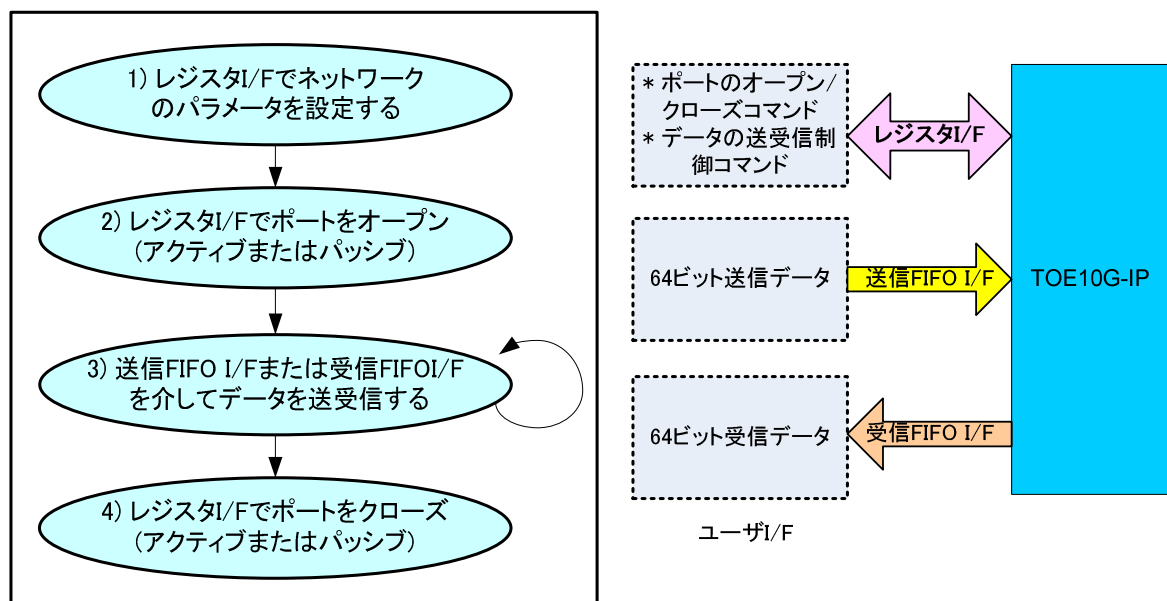


図 2: TOE10GB-IP のユーザ I/F と動作シーケンス

コアとユーザ・ロジック間のユーザ I/F(インターフェイス)は3種類あります。1つはコアの制御/ステータス確認用のレジスタ I/F で、送信データと受信データは FIFO I/F となります。システムの初期化時にユーザはパケット・サイズ、ポート番号、IP アドレスなどのパラメータをレジスタ I/F 経由でセットする必要があります。その後データ転送前にユーザ・ロジック(アクティブ・モード)あるいは接続ターゲット・デバイス(パッシブ・モード)でポートをオープンします。データ送受信の実行において、データのユーザ・ロジック側のインターフェイスは汎用 FIFO 形式となるので、簡単なロジックで実装できます。全てのデータ転送が完了すると、ポートのオープン時と同様、ユーザ・ロジック(アクティブ・モード)あるいは接続ターゲット・デバイス(パッシブ・モード)でポートをクローズします。

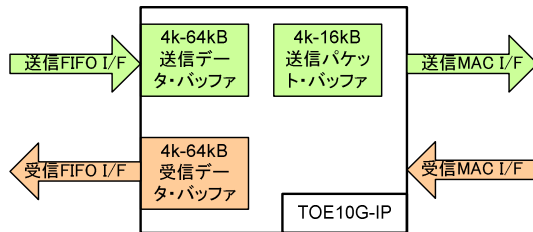


図 3: 送信/受信バッファ・サイズは調整可能

本コアの納品物には、それぞれ異なったサイズの送信データ・バッファ、送信パケット・バッファ、そして受信データ・バッファのネットリストが同梱されます。異なったサイズからユーザ・アプリケーションに合わせて消費リソースを最適化できます。バッファ・サイズを大きくするとメモリ消費リソースも増えますがパフォーマンスが向上します。送信データ・バッファと送信パケット・バッファのサイズは送信パフォーマンスに影響し受信データ・バッファは受信パフォーマンスに影響します。更に送信データ・バッファと送信パケット・バッファのサイズはレジスタ I/F を介してユーザが設定するパケット・サイズにも関係します。送信パケット・バッファは送信パケット・サイズより大きくなくてはなりません、また送信データ・バッファのサイズは送信パケット・サイズより少なくとも2倍以上に設定する必要があります。

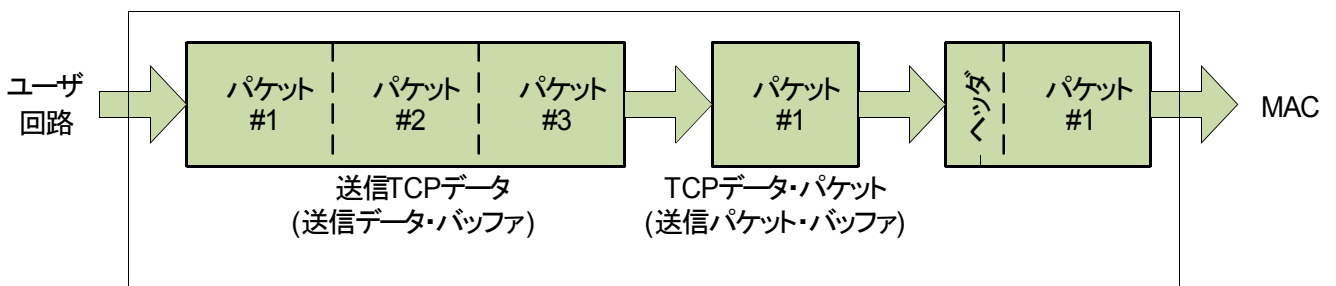


図 4: 送信データ・フロー

データ送信時、送信データ・バッファからの送信データはパケット・サイズに分割され送信パケット・バッファに転送されます。そして送信パケット・バッファからの TCP データ・パケットはヘッダ情報が付加されてから EMAC に出力されます。TCP と IP チェックサムは IP コア内で自動計算されます。コアは受信した ACK パケットのアクノリッジ番号をモニターすることで、次のデータ・パケットを送信するかあるいはパケットがロストした場合にパケットを再送信するかを判断します。レジスタ内のビジー・フラグは転送データ・サイズがユーザ回路から指定されたサイズと一致し全データ転送が完了するとクリアされます。従ってユーザ回路はこのビジー・フラグをモニターすることで転送ステータスを確認できます。

また、ユーザ回路は IP コアがデータ転送を実行していないアイドル状態のとき、ポートをクローズせずに次の転送用としてパケット・サイズや総転送サイズを変更することができます。

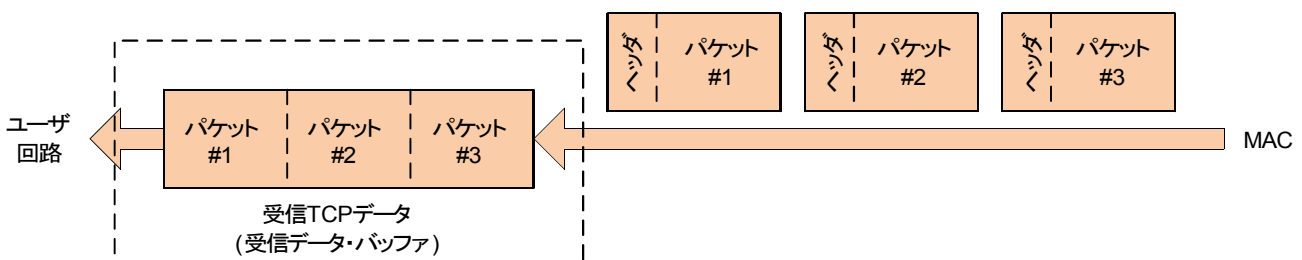


図 5: 受信データ・フロー

データ受信において受信したパケットはまずテンポラリ(一時)バッファに格納されます。そしてヘッダ情報とチェック・サム値をチェックします。ヘッダあるいはチェック・サム値にエラーがあった場合、そのパケットは破棄され受信データ・バッファには転送されません。正しいデータ・パケットを受信すると受信データ・バッファに転送され、また IP コアから ACK パケットが送信され、外部ネットワーク・デバイスに対して次のパケット送信を要求します。本 IP コアはそれ以上パケットが受信されず、かつ、受信したパケット・シーケンスが正しかった場合、アイドル状態に戻りビジー・フラグをクリアします。

コアの機能ブロック

本 IP コアは、制御ブロック、送信ブロック、受信ブロックの3ブロックに分かれています。

制御ブロック

• レジスタ

ユーザ回路は TCP/IP オペレーションに関するパラメータをレジスタ・インタフェースにより設定できます。レジスタ・アドレスは全 4 ビットで 11 レジスタが実装されています。それぞれのレジスタのアドレス・マッピングを表2に示します。RST レジスタによるリセットが解除されると、各パラメータを設定したレジスタを初期値として動作が開始されます。

• TCP スタック

ユーザ回路からアクティブ・コマンドの操作が指示されると TCP スタックはユーザ・コマンドを解析し送信ブロックに対してパケットの出力を開始させます。さらに TCP スタックは受信パケットをモニタしアクノリッジ・パケットの受信を検出します。

接続ターゲット・デバイスからのパッシブ・コマンドにおいては、TCP スタックは受信ブロックにて受信パケットをモニタし、続いて送信ブロックからアクノリッジ・パケットを出力します。

表 2: レジスタ・マップ定義

レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明	
0000b	RST	Wr	[0]	IP リセット。'1' でリセットし '0' でリセットを解除する。初期状態は '1' (リセット状態)。 ユーザ回路が動作に必要な全パラメータをレジスタにセットしてから本レジスタに '0' を書き込むことでコアの動作が開始する。ユーザ回路が SML, SMH, DIP, SIP, DPN, SPN レジスタの値を変更する必要がある場合、本レジスタを一旦 '1' としコアをリセット状態に移行させてから変更しなくてはならない。	
0001b	CMD	Wr	[1:0]	アクティブ・モードでのユーザ・コマンド。"00": データ送信、"10": オープン・コネクション (アクティブ)、"11": クローズ・コネクション (アクティブ)、"01": 未定義 (指定しないこと)。 本レジスタによってアクティブ・コマンドを開始する前に、ユーザ回路は本レジスタの bit[0] をチェックしてコアは動作中でないことを確認しなくてはならない。本レジスタをセットするとコアは指定されたアクティブ・コマンド動作を自動的に開始する。	
			Rd	[0]	システム・ビジー・フラグ。'0': アイドル状態、'1': ビジー状態
				[3:1]	現在の動作状態、"000": データ受信ありまたはなしで送信中、"001": アイドル状態、"010": アクティブ・オープン・コネクション、"011": アクティブ・クローズ・コネクション、"100": データ受信中、"101": 未定義、"110": パッシブ・オープン・コネクション、"111": パッシブ・クローズ・コネクション
0010b	SML	Wr	[31:0]	コアの MAC アドレスの下位 32bit 定義レジスタ。 RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。	
0011b	SMH	Wr	[15:0]	コアの MAC アドレスの上位 16bit 定義レジスタ。 RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。	
0100b	DIP	Wr	[31:0]	接続ターゲット・デバイス側の IP アドレス 32bit を指定する。 RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。	
0101b	SIP	Wr	[31:0]	本システム側の IP アドレス 32bit を指定する。 RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。	
0110b	DPN	Wr	[15:0]	コネクションを行う接続ターゲット・デバイス側のポート番号を 16bit で指定する。 アクティブ・オープンでコネクションを行う場合は RST レジスタをクリアする前に本レジスタでターゲット側のポート番号を指定する必要がある。パッシブ・オープンの場合、受信したオープン・パケットでターゲットのポート番号は自動的に決定される。	

レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明
0111b	SPN	Wr	[15:0]	本システム側のポート番号を 16bit で指定する。RST レジスタをクリアする前に本レジスタで自身のポート番号を指定する必要がある。
1000b	TDL	Wr	[31:0]	送信データ数をバイト単位で指定する、ただし値は 8 バイトの倍数でなくてはならない。有効な値は 8~0xFFFFFFFF8 (最下位 2 ビットは無視される)。CMD レジスタに"00"をセットする前に本レジスタで送信データ数をセットする必要がある。この値はコア内部ロジックにて CMD レジスタがセットされた瞬間にサンプリングされるため、現在の送信が完了していない場合でも次の送信用の値をセットできる。また、再度前回と同じデータ数を送信する場合は本レジスタに再セットする必要はない。
		Rd	[31:0]	まだ送信されていない残りデータ数をバイト単位で表示する。
1001b	TMO	Wr	[31:0]	全てのコマンドにて、受信パケットの待ち時間タイムアウト値を設定する。本レジスタは 156.25MHz のカウンタで動作するためタイム設定値は 6.4ns の単位で指定する。本レジスタ値は 0x6000 以上の値としなくてはならない。
		Rd		各タイムアウト等のステータス、それぞれのビット定義は以下の通り [0] ARP で返信パケットをタイムアウト時間内に受信しなかった [1] アクティブ・オープン時に SYN と ACK フラグをタイムアウト時間内に受信しなかった [2] パッシブ・オープン時に ACK フラグをタイムアウト時間内に受信しなかった [3] アクティブ・クローズ時に FIN と ACK フラグをタイムアウト時間内に受信しなかった [4] パッシブ・クローズ時に ACK フラグをタイムアウト時間内に受信しなかった [5] データ送信時に ACK フラグをタイムアウト時間内に受信しなかった [6] 受信パケットをロストした、受信データ FIFO が一杯になった、あるいは誤ったシーケンス番号などの要因により、データ受信中タイムアウトとなった [23] 受信データ FIFO が一杯のため受信パケットを受け損ねた [27] 受信パケットのロストを検出した [30] 受信パケット中に RST フラグが検出された
1010b	PKL	Wr	[15:0]	バイト単位で指定する送信パケットのデータ長、ただし値は 8 バイトの倍数でなくてはならない。有効な値は 8~16,000 (最下位 2 ビットは無視される)。デフォルト値は 1456 バイト(非ジャンボ・フレームにて 8 の倍数での最大サイズ)。本レジスタの値はデータ転送中(システム・ビジー・フラグ=1)は変更してはならない。次の転送でも同じパケット・サイズの場合、ユーザは本レジスタの値を再セットする必要はない。

注意:

1. ターゲットの MAC アドレスは ARP の返信パケットにてコアが自動検出・設定するためユーザ回路側でこのパラメータを設定する必要はありません。
2. ターゲットのポート番号はパッシブ・モードでのオープン時に受信パケットから抽出されるため、パッシブ・オープンではポート番号をセットする必要はありません。

表 3:送信データ/送信パケット/受信データの各バッファで設定できる FIFO サイズ(アドレス・サイズで指定)

有効なビット幅	バッファ・サイズ	送信データ・バッファ	送信パケット・バッファ	受信データ・バッファ
9	4kByte	有効	有効	有効
10	8kByte	有効	有効	有効
11	16kByte	有効	有効	有効
12	32kByte	有効	不可	有効
13	64kByte	有効	不可	有効

送信ブロック

- **送信データ・バッファ**

送信データ・バッファのサイズは IP コアの "TxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 9-13 で 64 ビット・バッファのアドレス・サイズを意味します。

本バッファのサイズは PKL レジスタで設定した送信パケット・サイズより2倍以上大きいサイズでなくてはなりません。ユーザ回路からの送信データは一旦本バッファに格納されますが、接続先ターゲット・デバイスからの正常 ACK パケットを受信し前パケットのデータ到達を確認すると送信パケット・バッファに転送されます。そして転送されたパケット・データにはヘッダ等が付加され TCP パケットとして生成されます。本バッファ・サイズは送信パフォーマンスに影響します。より大きなサイズに設定するとターゲットからの ACK パケット受信から次パケットの送信までのレイテンシを低減するので、より連続したデータ送信を維持できます。総転送数として設定したよりも多くのデータをユーザ回路から本バッファに送信した場合、そのデータは次の転送に使われます。ポートがクローズされるかあるいはリセットを検出すると、格納されていたデータはフラッシュ(クリア)されます。逆にユーザ回路から送信したデータ数が現在のトランザクションに不足していた場合、本 IP コアはパケットを送信せずユーザ回路から必要なデータが書き込まれるまで待機します。

- **送信パケット・バッファ**

送信パケット・バッファのサイズは IP コアの "TxPacBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 9-11 です。本バッファ・サイズは PKL レジスタで設定した送信パケット・サイズと同じかそれ以上の容量とし、送信データ・バッファから転送された1パケット分のデータを格納できるように設定する必要があります。送信パケット・バッファ内のデータは EMAC および接続ターゲットでデータ受信準備が整うまでバッファ内で待機してから出力されます。

- **ヘッダ RAM**

この RAM は送信パケットのヘッダ情報を格納するために使われます。ヘッダ RAM 内のパラメータは RST レジスタによりリセット状態が解除された時に更新されます。また、ARP 応答やパッシブ・オープンなどのパケットによっても RAM 内データの一部分が更新されます。

- **送信チェックサム**

送信パケットが送出される前に本モジュールによりチェックサムが計算されます

- **送信マルチプレクサ**

本モジュールによりヘッダ RAM と送信データバッファ内のデータが結合されイーサネット MAC を介して外部に送出されます。

受信ブロック

- 受信バッファ

このバッファはヘッダ・チェックで処理される前のイーサネット MAC からの全ての受信パケットを一時的に保持します。

- ヘッダ・チェック

受信パケット内のヘッダをチェックしユーザ回路からの設定値と比較します。ヘッダの内容が設定パラメータと適合しなかった場合やチェックサムがエラーであった場合は該当するパケットは破棄されます。適合した場合、TCP データのみが分離され受信データ・バッファに転送されます。

- 受信データ・バッファ

受信データ・バッファのサイズは IP コアの "RxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 9-13 です。バッファ・サイズは TCP コネクションのウィンドウ・サイズに割り当てられます。本バッファ・サイズを大きくすると接続先ターゲット・デバイスにて本 IP コアからの ACK を待たずに連続してデータを送信できるため、受信パフォーマンスが改善されます。ネットワークの経路等により受信パケットのシーケンスに狂いが生じた場合でも受信データを正しく並び替えることができます。

ユーザ回路

ユーザ回路はレジスタ I/F を通してパラメータの設定やコア状態のモニタを行い、また、送信 FIFO I/F を介した送信データの書き込みや受信 FIFO I/F を介して受信データの読み出しを行います。ユーザ回路はシンプルなハードウェア・ロジックで実装できます。

10 Gb イーサネット MAC および 10 Gb イーサネット PCS/PMA

このブロックは Xilinx から提供される 10GEMAC および 10GBASE-R のソフトウェア IP コアを使います。
(お客様にて以下の Xilinx 製 IP コアを手配して頂く必要があります)

品名: 10Gb イーサネット MAC (10GEMAC)
型番: EF-DI-10GEMAC-PROJ(または-SITE)
備考: 別途購入が必要な有償 LogiCORE

品名: 10Gb イーサネット PCS/PMA (10GBASE-R)
備考: Vivado/ISE ツール組み込みの無償 LogiCORE

コアの I/O 信号

コアに設定するパラメータおよび I/O 信号をそれぞれ表 4 と表 5 で説明します。MAC I/F グループの全信号は Xilinx 製 EMAC と直結します。

表 4: コアのパラメータ

パラメータ名	設定範囲	説明
TxBufBitWidth	9-13	送信データ・バッファのサイズをバッファのアドレス・バスのビット幅で指定します。
TxPacBitWidth	9-11	送信パケット・バッファのサイズをバッファのアドレス・バスのビット幅で指定します。
RxBufBitWidth	9-13	受信データ・バッファのサイズをバッファのアドレス・バスのビット幅で指定します。

表 5: コアの I/O 信号

信号名	方向	説明
共通 I/F 信号		
RstB	In	IP コアのリセット: ロウ・アクティブ信号である。
Clk	In	Xilinx ブロックの PHY 層からの 156.25 MHz 固定クロック
ユーザ I/F		
RegAddr[3:0]	In	レジスタの 4bit アドレスバス
RegWrData[31:0]	In	ライト・レジスタの 32bit 書き込みデータ・バス
RegWrEn	In	レジスタのライト・イネーブル、アドレスおよびデータに有効な値をセットし本信号にパルスを与えることで書き込みを実行する。
RegRdData[31:0]	Out	レジスタの 32bit 読み出しデータ・バス、レジスタアドレスをセットしてから1クロックのレイテンシ後に有効なリード・データが本バス上に現れる。
ConnOn	Out	コネクション状態('1': コネクションはオープン状態、'0': コネクションはクローズ状態)。
TimerInt	Out	タイマ割り込み、タイムアウト発生時に本信号が 1 クロック期間分 H アサートされる。ユーザ回路は TMO[6:0]レジスタを読むことで割り込み要因を確認することができる。
送信 FIFO I/F		
TCPTxFfFlush	Out	コアの送信データ・バッファがクリアされたことを示す。コネクションのクローズ時やリセット実行時に、1 クロック期間 H アサートされる。
TCPTxFfFull	Out	コアの送信データ・バッファの Full フラグ。ユーザ回路は本信号が H アサートされてから 4 クロック期間以内に送信データの書き込みを停止しなくてはならない。
TCPTxFfWrEn	In	送信データ・バッファのライト・イネーブル。送信データを書き込む際にアサートする。
TCPTxFfWrData[63:0]	In	送信データ・バッファの 64bit 書き込みデータ・バス、TOETxFfWrEn に同期する。
受信 FIFO I/F		
TCPRxFfFlush	Out	コアの受信データ・バッファがクリアされたことを示す。コネクションのオープン時に、1 クロック期間 H アサートされる。
TCPRxFfRdCnt[12:0]	Out	受信データ・バッファ内の受信データ総量を 64bit 単位で示す FIFO データ・カウンタ
TCPRxFfRdEmpty	Out	受信データ・バッファの FIFOEmpty フラグ。ユーザ回路は本信号が H アサートされたら直ちにデータの読み出しを停止しなくてはならない。
TCPRxFfRdEn	In	受信データ・バッファの読み出しイネーブル。受信データを読み出す際にアサートする。
TCPRxFfRdData[63:0]	Out	受信データ・バッファの 64bit 読み出しデータ・バス、TCPRxFfRdEn をアサートしてから1クロック期間のレイテンシ後に有効なリードデータが出力される。

信号名	方向	説明
MAC I/F		
rx_axis_tdata[63:0]	In	MAC からの 64bit 受信データ・バス
rx_axis_tvalid	In	受信データの有効信号、rx_axis_tdata に同期
rx_axis_tlast	In	フレームの最終データであることを示す信号
rx_axis_tuser	In	受信フレームの最後にそのフレームがエラーを含むかどうかを示す信号、'1'は正常パケットで'0'はエラー・パケットを意味する
tx_axis_tdata[63:0]	Out	MAC への 64bit 送信データ・バス
tx_axis_tkeep[7:0]	Out	送信データのバイト・イネーブル信号、tx_axis_tdata に同期
tx_axis_tvalid	Out	送信データが EMAC に対して有効であることを示す、tx_axis_tdata に同期
tx_axis_tlast	Out	フレームの最終バイトであることを示す信号
tx_axis_tuser	Out	エラーが発生していることを示す信号。本コアにおいてはこの信号は常に'0'を出力する
tx_axis_tready	In	ハンドシェイク信号。tx_axis_tdata が正常に受信したときにアサートする

タイミング・チャート

ユーザ回路からの IP コア内部レジスタへのリードライト・アクセスは図 6 に示すタイミングにより実行します。アクセス先レジスタのアドレスマップは表 2 で示されます。レジスタへの書込みは RegAddr と RegWrData にそれぞれ有効なライト先のアドレスとデータをセットし 1 クロック期間 RegWrEn='1' とします。レジスタからの読み出しの際は、有効な RegAddr がコアに与えられた次のクロック期間に RegRdData にリードデータが出力されます。

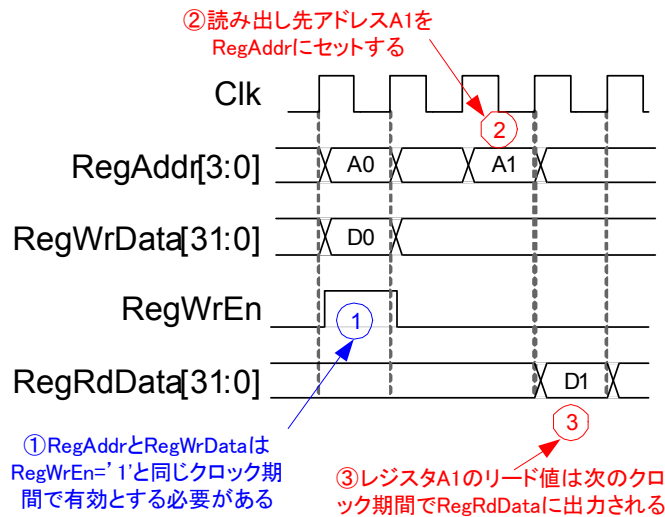


図 6: レジスタ I/F のタイミング・チャート

ユーザ回路から IP コアを介して送信するデータは図 7 のタイミングに示す FIFO インターフェイスで書き込みます。データを送信する前にユーザ回路は Full フラグ(TCPTxFfFull)が '1' にアサートされていないことを確認する必要があります。そして TCPTxFfWrEn='1' とし送信データを TCPTxFfWrData に出力します。TCPTxFfFull が '1' にアサートされた場合は 4 クロック以内にデータの送信を停止しなくてはなりません。また、コネクションがクローズされた場合、コアは TCPTxFfFlush を '1' にアサートし送信 FIFO 内全データがクリアされたことを示し、さらに TCPTxFfFull も '1' にアサートしてユーザ回路からの誤ったライト動作から保護します。

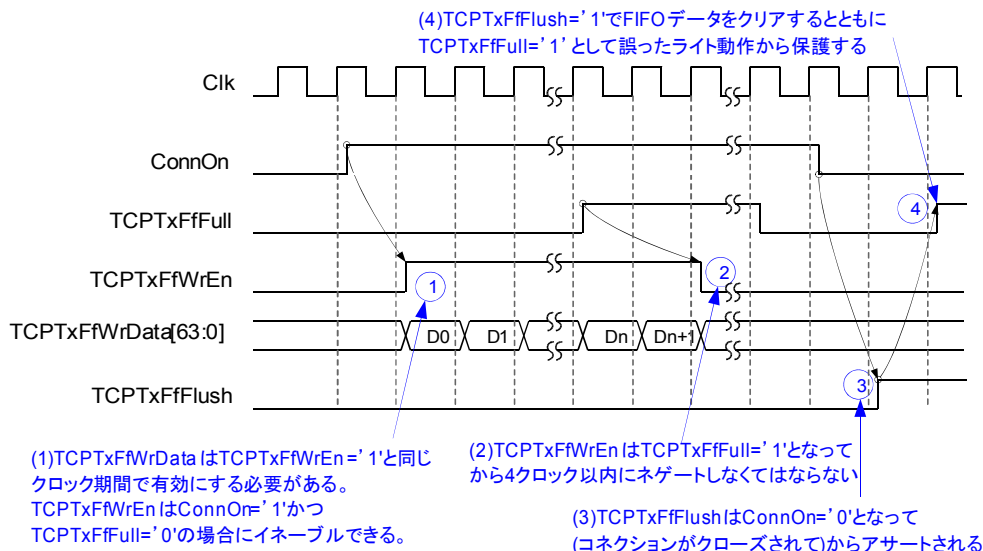


図 7: 送信 FIFO I/F のタイミング・チャート

IP コアがターゲットからデータを受信すると受信データ・バッファに保存されます。ユーザ回路は FIFO インターフェイスを介してバッファ内の受信データを図 8 に示すタイミングで読み出すことができます。ユーザ回路は TCPRxFfEmpty をモニタしてデータの読み出しが可能かどうかを確認します。TCPRxFfEmpty が '0' にクリアされていればデータを読み出すことができます。FIFO 内受信データの読み出しは TCPRxFfRdEn を '1' にセットして行いますが、受信データは次のクロック期間に TCPRxFfRdData に出力されます。データの読み出し中に TCPRxFfEmpty が '1' にアサートされた場合、ユーザ

回路は TCPRxFfRdEn を同じクロック期間内で '0' としなくてはなりません。送信 FIFO の動作に似ていますが、接続のオープン時に受信データ・バッファ内の全データはクリアされ、それは TCPRxFfFlush が '1' にアサートされることで検出できます。

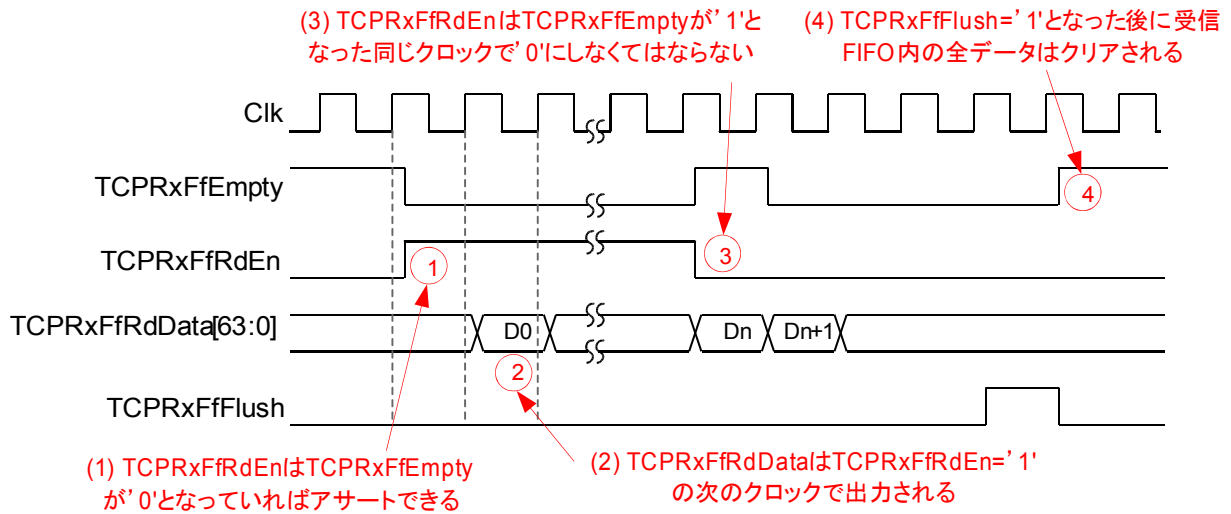


図 8: 受信 FIFO I/F のタイミング・チャート

更に受信 FIFO の状態は TCPRxFfRdCnt から確認することができます。この信号は受信 FIFO 内の残りデータ量を示します。このためユーザ回路は図 9 に示すように TCPRxFfRdEn='1' として読み出すデータ量をこの信号の残量情報で決めることができます。

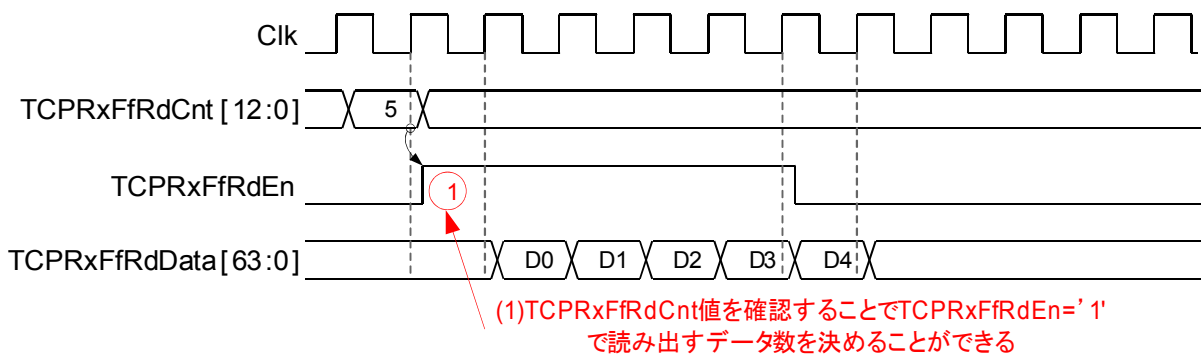


図 9: FIFO 残量カウンタ情報による受信データの読み出し

コアの使用例

データ送信/受信における本コアのレジスタ設定シーケンス例を以下に示します。(より詳細についてはリファレンス・デザインのソースコードを参照してください。)

- 1 MAC アドレスを SML/SMH に、IP アドレスを DIP/SIP に、ポート番号を SPN/DPN(D はアクティブ・オープンの場合に設定する必要があります)にセットします。
- 2 RST レジスタをセットしリセット状態を解除します。
- 3
 - a. アクティブ・オープンの場合: CMD レジスタをセットしてポートをオープンします。
 - b. パッシブ・オープンの場合: "ConnOn" が '1' となるのを待ちます。
- 4
 - a. データ送信の場合: TDL/PKL レジスタに総転送長およびパケット・サイズをセットし CMD レジスタをセットしてデータ送信を開始します。ユーザ回路は全転送データを送信 FIFO に書き込み、CMD レジスタをモニタしてビジー・フラグが '0' にネゲートされるのを待ちます。
 - b. データ受信の場合: 受信 FIFO のステータスをチェックし受信 FIFO が空になるまでデータを読み出します。

本 IP コアがアイドル状態になる(すなわちこれ以上のデータ送信や受信がない状態となる)と、ポートをクローズしないままパケット・サイズや転送長(TDL/PKL レジスタ)を次の転送のためにユーザ回路から変更することが可能です。つまりこのステップ(4) はポートをクローズするまで何度でも繰り返すことができます。
- 5
 - a. アクティブ・クローズの場合: CMD レジスタをセットしてポートをクローズします。
 - b. パッシブ・クローズの場合: "ConnOn" が '0' となるのを待ちます。

コアの検証方法

本 IP コアのユーザ I/F 部についてはシミュレーションによる検証が可能であり、コア全体としては KC705/VC707/ZC706 ボードにより実機動作での検証が可能です。

必要とされる環境と設計スキルについて

本コアの実機動作確認やデザイン・ゲートウェイ社へのサポート依頼には Xilinx 純正の評価ボード (KC705/VC707/ZC706)が必要となるため、ユーザ側でコア購入時に手配してください。

また、本コアを使ってユーザ・システムを設計・実装するためには、HDL 言語設計技術・TCP/IP プロトコル知識および Vivado/ISE/EDK/SDK によるデザイン実装経験を必要とします。

注文情報

本製品は Xilinx 代理店から、あるいはデザイン・ゲートウェイ社から直接購入することが可能です。また、デバイス・ファミリに応じて以下のコアのラインナップが用意されています。

コア型番	対応ファミリ	ツール環境	検証用評価ボード	説明
TOE10G-IP-KT7	Kintex-7	ISE14.6/Vivado2014.1	KC-705	Kintex-7 対応 TOE10G-IP コア
TOE10G-IP-VT7	Virtex-7	ISE14.6/Vivado2014.1	VC-707	Virtex-7 対応 TOE10G-IP コア
TOE10G-IP-ZQ7	Zynq-7000	ISE14.6/Vivado2014.1	ZC-706	Zynq-7000 対応 TOE10G-IP コア

更新履歴

リビジョン	日付	説明
1.0J	2014/06/05	日本語初期版の作成
1.1J	2014/06/26	10GEMAC の情報を追加
1.2J	2014/09/24	Full Duplex に対応
1.3J	2014/11/14	Zynq-7000 に対応