

TOE1G-IP 同時送受信リファレンス・デザイン説明書

(Xilinx 版)

Rev1.2J 2016/9/1

このドキュメントは Xilinx 製 FPGA 評価ボードで動作する TOE1G-IP コア(旧製品名: TOE2-IP コア)の全二重通信(同時送受信通信)リファレンス・デザインに関して説明したものです。

1. デザイン概要

本デザインは全二重通信機能を検証する TOE1G-IP 同時送受信デモにおいて、FPGA デザインおよび PC 側テスト・アプリケーションについて解説したドキュメントです。本デザイン実機デモの手順については以下のドキュメントに記載されているため、本説明書と合わせて参照してください。

ドキュメント名: TOE1G-IP 同時送受信デモ手順書(Xilinx 版)
 ファイル名: dg_toe1gip_fulldup_instruction_xilinx_jp.odf

同時送受信デモにおいてユーザ回路は、送信または受信の片方向のみ行う標準デモから両方向の高速転送を同時に実行するよう編集されています。標準デモの手順およびデザインの説明については以下のドキュメントに記載されています。

- 標準デモの手順書

ドキュメント名: TOE1G-IP 標準デモ手順書(Xilinx 版)
 ファイル名: dg_toe1gip_instruction_xilinx.jp.pdf

- 標準デモのリファレンス・デザイン説明書

ドキュメント名: TOE1G-IP 標準リファレンス・デザイン説明書(Xilinx 版)
 ファイル名: dg_toe1gip_refdesign_xilinx_jp.pdf

本ドキュメントにおいては、標準デモのリファレンス・デザイン説明書と異なる箇所のみ説明しますので、標準デモの説明書も参照してください。

2. ハードウェアの説明

同時送受信デモは標準デモからは、PC からの受信と PC への送信を同時に実行するよう編集されています。本デザインにおいては、PC 側のテスト・アプリケーションが送信データとしてテスト・パターンを生成しイーサネット経由で FPGA ボードに転送されます。TOE1G-IP コアは受信データをコアの TCPRxFf ポートからユーザ回路に出力します。ユーザ回路でのテスト・ロジックはそのデータをそのままコアの TCPTxFf ポートに接続しループバックを形成します。従って PC から受信した全データはそのまま PC へ送信され、PC 側のテスト・アプリケーションで受信データをベリファイしデータの信頼性を確認することになります。

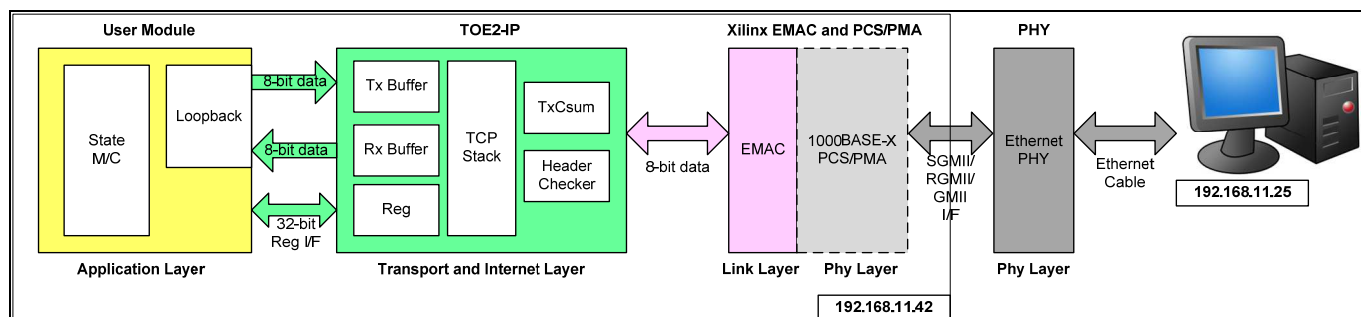


図 1: 同時送受信リファレンス・デザインのハードウェア構成

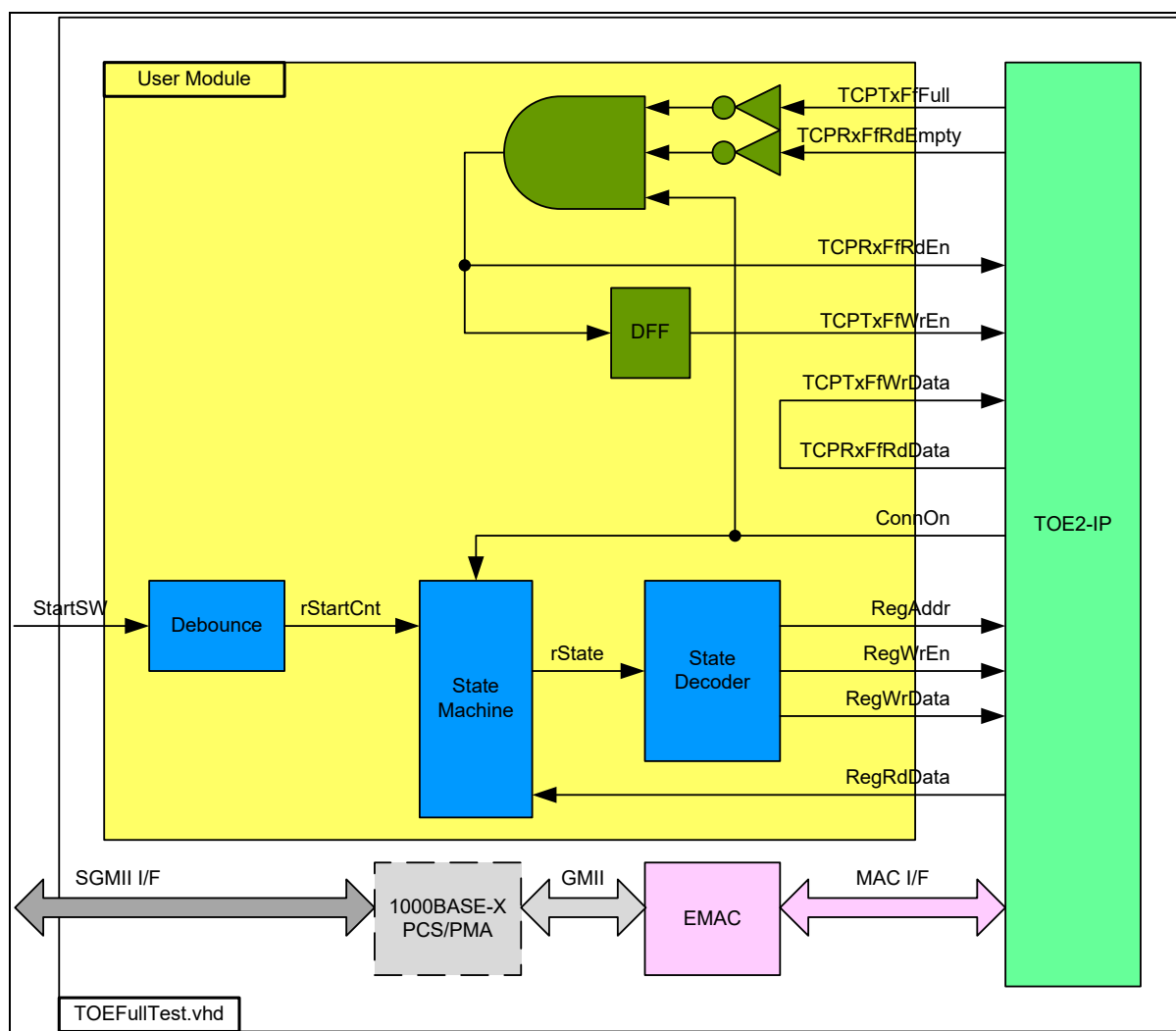


図 2: 同時送受信リファレンス・デザインのユーザ回路ブロック図

標準デモ・デザインと同様、同時送受信デザインでは純ハード・ロジックによるステートマシンでレジスタ制御インターフェイスを実装しています。

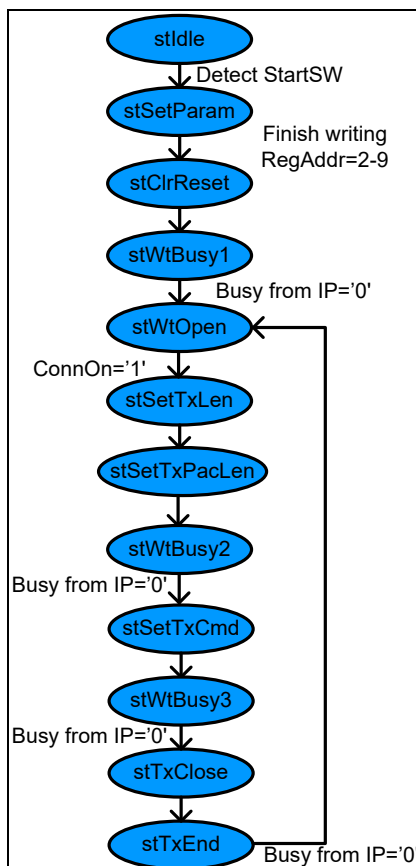


図 3: ユーザ回路で実装したステートマシンの状態遷移図

FPGA ボード上の StartSW ボタン押下によりユーザから動作開始が指示されると、システムは初期化を実行し stWtOpen ステートに移行します。ここまでは標準デモの動作と同一です。その後システムはユーザが PC にてテストアプリケーション(tcp_client_txrx.exe)を実行し TCP コネクションが FPGA と PC 間で確立されるのを待ちます。PC によりコネクションがオープンされると、ConnOn がアサートされるのでステートマシンはレジスタに対して送信パラメータをセットします。総送信データ数は 4GByte(TDL レジスタ値 = 0xFFFFC000)固定で、stSetTxLen ステートでセットします。送信パケット・サイズは 1460 バイト(PKL レジスタ値 = 0x5B4)固定で、stSetTxLen ステートでセットします。そしてデータ送信を指示する前に、stWtBusy2 ステートにて Busy ステータスをチェックしますが、これは PC からの受信データを IP コア内で処理中の可能性があるためです。IP コアが Busy でなくコマンドを発行できる状態となれば stSetTxCmd ステートにて送信コマンドを発行し stWtBusy3 ステートに遷移します。そして IP コアからの Busy フラグがネゲートされ全 4Gbyte のデータ転送が完了するのを待ちます。そして stTxClose ステートにて、IP コアに対してアクティブ・クローズを実行するよう指示します。PC 側では、ポートがクローズされたことにより一連のデータ送受信が完了したことを検出します。

3. PC 側テスト・アプリケーション

本リファレンス・デザインの実機動作を検証するため、接続相手の PC 側にて“tcp_client_txx”アプリケーションを実行します。このアプリケーションにて 4Gbyte データが生成されイーサネットを通して送信されます。またそれと同時に、受信ファンクションが呼び出されベリファイありまたはなしにてデータを受信します。このアプリケーションは起動時に以下3つの引数を必要とします。

1. FPGA 側 IP アドレス:

本デモ・デザインでは“192.168.11.42”に固定されています。この IP アドレスを変更するためにはユーザ回路デザインにて HDL ソース・コードを編集する必要があります。

2. FPGA 側ポート番号:

本デモ・デザインでは“4000”に固定されています。このポート番号を変更するためにはユーザ回路デザインにて HDL ソース・コードを編集する必要があります。

3. モード(ベリファイ ON/OFF):

‘0’の場合、送信ファンクションではオール・ゼロのダミー・データが生成され、また受信ファンクションでベリファイ処理は行われません。これはパフォーマンスを評価するためのモードです。

‘1’の場合、送信ファンクションでは 32bit インクリメンタル・データが生成され、また受信ファンクションではベリファイ処理が行われます。これはデータの信頼性を評価するためのモードです。

このテスト・アプリケーションの動作シーケンスは以下となります。

- 1 コマンドラインから3つのパラメータを取得します。
- 2 ソケットを生成し送信バッファと受信バッファのプロパティをセットします。
- 3 引数から IP アドレスとポート番号をセットしてポートをオープンします。
- 4 送信バッファ内のデータ・パターンをオール・ゼロまたはインクリメンタルでセットし、データを送信します。各送信ファンクションを呼び出すごとに 16Kbyte データが送信されます。
- 5 16Kbyte データ送信後に受信ファンクションを呼び出し、受信バッファにデータを取得します。ベリファイが指定されていた場合、受信データは 32bit インクリメンタル値と比較されます。受信データが送信データに合致していない場合、エラー・メッセージが表示されます。
- 6 送信および受信ファンクションは交互に呼び出され全 4Gbyte の送受信を実行します。現在の送信/受信情報は 1 秒ごとにコンソールに表示されます。
- 7 FPGA 側からソケットがクローズされるので、テスト結果として総転送データ数とパフォーマンス実測値が表示されます。もし総受信データ量が総送信データ量と合致していない場合、エラー・メッセージが表示されます。
- 8 ステップ②に戻りユーザからキャンセル指示があるまでこのループを繰り返します。

4. 改版履歴

リビジョン	日付	履歴
1.0	13-Aug-2014	English version initial release
1.0J	2014/12/1	日本語訳の初期バージョン作成
1.1J	2015/01/13	ZC706 の記述を追加
1.2J	2016/9/1	製品名の変更(TOE2-IP → TOE1G-IP)

Copyright: 2014 Design Gateway Co.,Ltd.