

# TOE1G-IP 標準リファレンス・デザイン説明書

## (Altera 版)

Rev1.3J 2016/08/30

このドキュメントは Altera 製 FPGA 評価ボードで動作する TOE1G-IP コア(旧製品名: TOE2-IP コア)の標準リファレンス・デザインに関して説明したものです。本標準デモの具体的な手順につきましては以下の手順書を参照してください。

[文書名] TOE1G-IP 標準デモ手順書 (Altera 版)  
 [ファイル名] dg\_toe1gip\_instruction\_altera\_jp.pdf  
 [入手先 URL] [http://www.dgway.com/TOE1G-IP\\_A.html](http://www.dgway.com/TOE1G-IP_A.html)

### 1. TCP/IP プロトコル概要

TOE1G-IP コアを使って実装するネットワーク・システムにおいて、TCP/IP は4つの層 (レイヤ) から成るネットワーク・アプリケーションのインターネット・プロトコル群において中核となるプロトコルです。4つの層とはすなわちアプリケーション層、トランスポート層、インターネット層、ネットワーク・アクセス層です。ただし各層を説明する図1においては、TOE1G-IP コアによる FPGA でのハードウェア実装と 1 対 1 に合致させるために5層で示しています。ネットワーク・アクセス層はリンク層と物理層に分割して示しています。

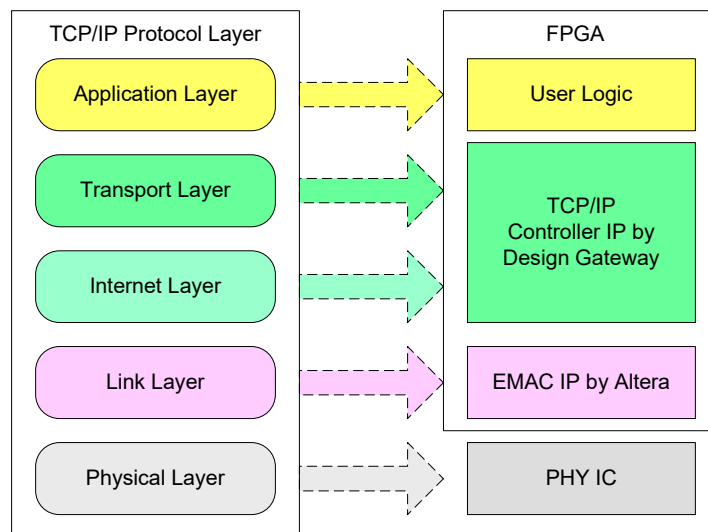


図 1: TCP/IP プロトコルのレイヤ図

TOE1G-IP コアは TCP/IP プロトコルにてトランスポート層とインターネット層を実装します。送信機能において TOE1G-IP コアは、ユーザ回路からの TCP データをパケットのフォーマットに変換し IP ヘッダを生成して EMAC から外部に送信します。TOE1G-IP コアは受信相手からのアクノリッジが正しく返送されていなかったりあるいは一定時間内に届かなかった場合にデータを再送信します。受信機能において TOE1G-IP コアは、IP パケットから TCP データとヘッダを抽出しユーザ回路からリードするために TCP データだけを正しく抜き出してバッファに格納します。受信パケットが順番どおりでなかった場合、TOE1G-IP コアは順番の入れ替えで復元できる場合は自動的にデータの入れ替えを行い、復元できない場合はロスト・パケットとして再送信を要求するアクノリッジを出力します。

プロトコルの下位層は Altera 社の EMAC-IP コアおよび外部の PHY チップにより実装されます。

本リファレンス・デザインは TOE1G-IP コアによるデータの送受信をシンプルなユーザ回路と合わせて実装し実機評価を可能とするデザインです。このシステムは Altera 製 FPGA 評価キットおよびテスト用のアプリケーションを走らせたパソコンで動作し、高速データ転送を実行するものです。より詳細は以下で説明します。

## 2. 動作環境

このリファレンス・デザインを動作するためには以下の環境を用意する必要があります。

- Altera 製 FPGA 評価キット
- QuartusII プログラマ
- イーサネット・ケーブル (Cat5e または Cat6)
- ギガビット・イーサネットを持つ PC
- 評価キット付属の USB ケーブル
- 評価用のテスト・アプリケーション ("send\_tcp\_client.exe" および "recv\_tcp\_client.exe")  
(DesignGateway 社 TOE1G-IP 紹介 Web ページからダウンロード)

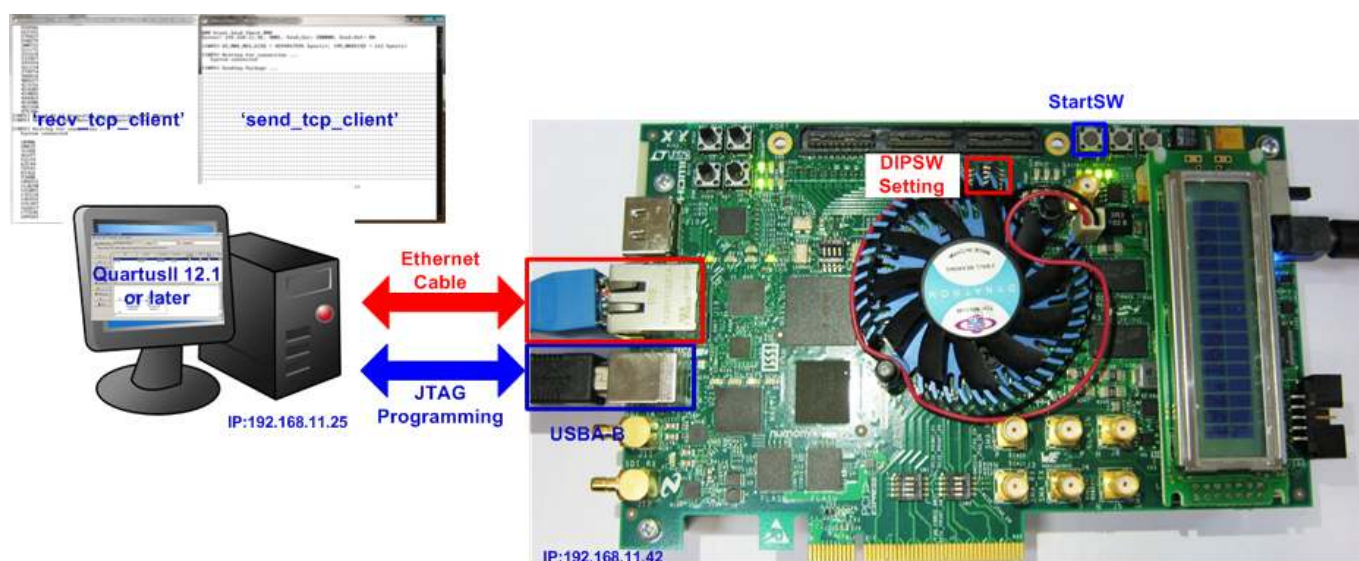


図 2: ArriaV GX スタータ開発キットの TOE1G-IP デモ環境

### 3. ハードウェアの説明

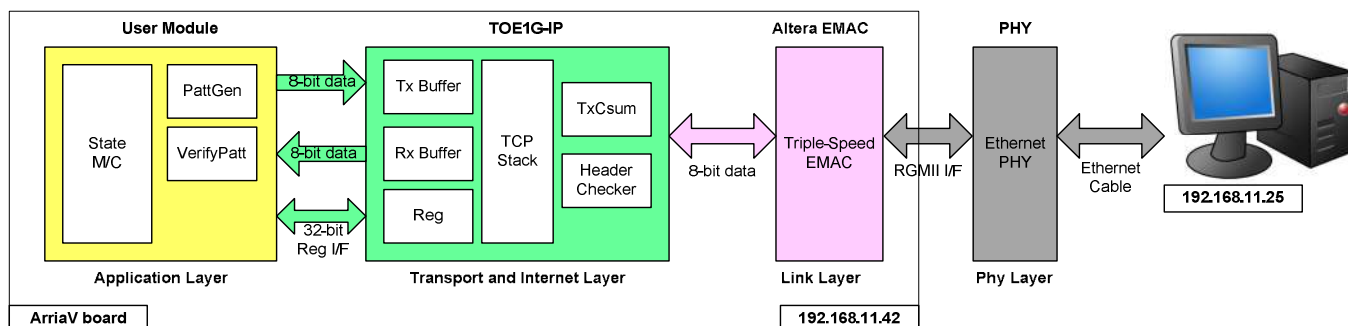


図 3: ArriaV GX リファレンス・デザイン(RGMII)のハードウェア構成

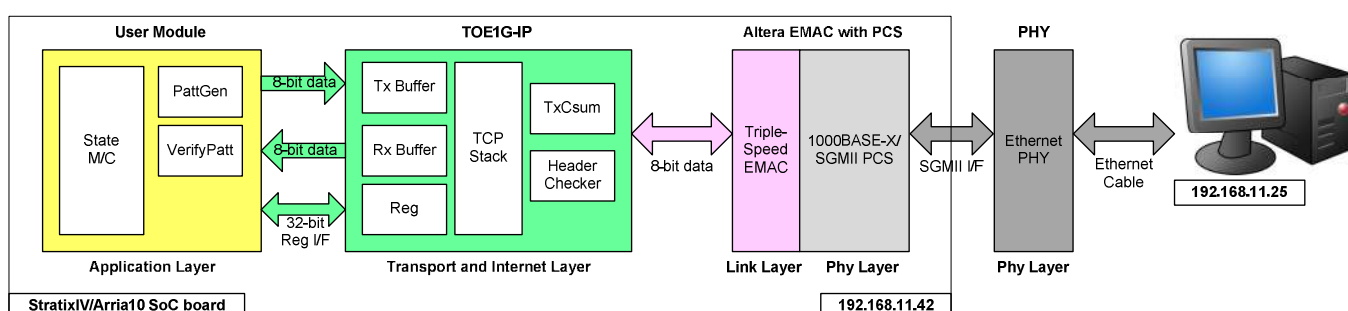


図 4: StratixIV GX/Arria10 リファレンス・デザイン(SGMII)のハードウェア構成

図 4 に示すように、ハードウェア全体は TCP/IP の各層をサポートする 4 モジュールに分割されます。TCP/IP プロトコルの下位 4 層のレイヤを実装するため、TOE1G-IP コアは EMAC および外部 PHY チップと組み合わせて動作します。ユーザ回路は FIFO インターフェイスを介して TCP データを送信し、レジスタ・インターフェイスを介して TOE1G-IP コアの制御信号をライト/リードします。TCP データはテスト・データを発生/ベリファイするテスト・アプリケーションが走る PC に対して送信されます。

このリファレンス・デザインは ArriaV GX/StratixIV GX/Arria10 SoC 開発キットで動作し、送信モードではテスト・パターンを発生し受信モードではテスト・パターンとベリファイするユーザ・モジュールのサンプルを含んでおります。

- 外部 PHY チップ

物理層は外部 PHY チップで実装されます。PHY チップのインターフェイスは SGMII(StratixIV GX 開発キット/Arria10 SoC 開発キット)、RGMII(ArriaV GX スタータ開発キット)、GMII の 3 種類があります。

- EMAC

リンク層は Altera 社から提供される EMAC-IP (10/100/1000Mb イーサネット MAC)で実装します。消費リソースを節約するため、EMAC の内部 FIFO や全てのオプションは使いません。TOE1G-IP コアは EMAC のユーザ・インターフェイスと直結します。

このデモ・システムにおいて EMAC の Avalon インタ@-フェイスは EMAC ステート・マシンにより制御されます。ステート・マシンは EMAC と外部 PHY に対する基本的なパラメータを初期化するため 1 度だけ動作します。EMAC 内のレジスタ詳細については Altera 社発行の”Triple-Speed Ethernet MegaCore Function User Guide”ドキュメント内の”Configuration Register Space”の章を参照してください。また、SGMII と RGMII では EMAC ステート・マシンのデザインは異なります。

SGMII モードの場合、EMAC ステート・マシンは Basic Configuration エリアのみをプログラムし送信/受信パスのイネーブル/ディスエーブル、フレーム長、送信 IPG 長、ソフトウェア・リセットなどの MAC 機能を設定します。

RGMII モードの場合、EMAC ステート・マシンは Basic Configuration と MDIO 空間 1 エリアの両方をプログラムします。MDIO 空間 1 は RGMII 受信/送信タイミング制御機能をイネーブルするため、MDIO 空間を通して外部 PHY レジスタにアクセスします。タイミング制御ビットをイネーブルすると送信/受信クロックはクロックの位相をシフトする遅延を含めることで送信/受信データに同期することができます。

● TOE1G-IP

TOE1G-IP コアの詳細や I/O 信号、タイミング波形、レジスタマップについては、TOE1G-IP コア データシートを参照してください。

● ユーザ回路

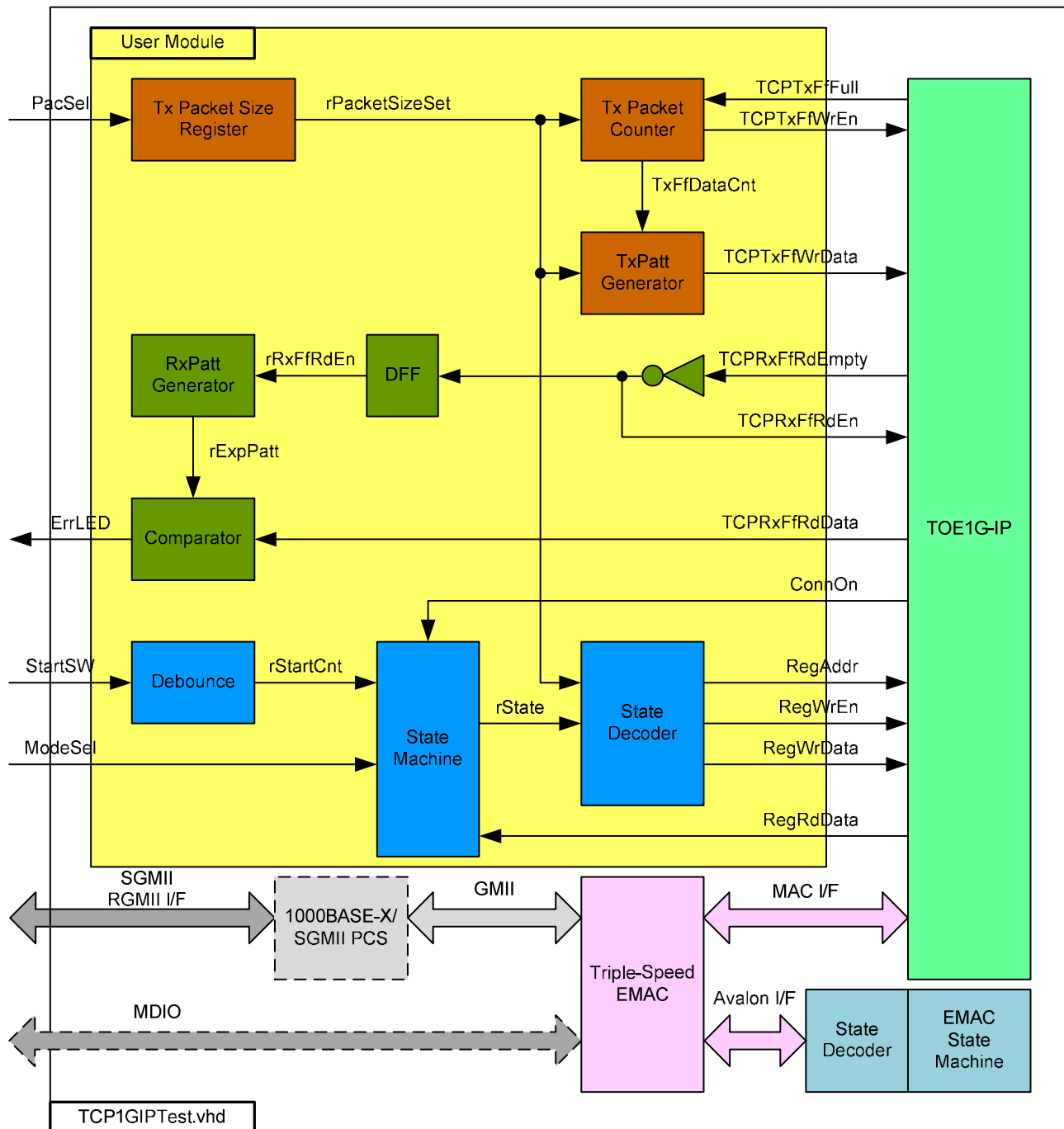


図 5: リファレンス・デザインのユーザ回路ブロック図

ユーザ回路は大きく3つのブロックに分かれており、それらは送信 FIFO インターフェイス、受信 FIFO インターフェイス、およびレジスタ制御インターフェイスです。送信パターン発生器 (TxPattGenerator) においては、32ビットのインクリメンタル・テスト・パターンが送信パケットごとにインクリメントされ送信テスト・データとして出力されます。送信パケットカウンタ (TxPacketCounter) は外部 DIP スイッチで設定した PacSel で選択された送信パケットのデータ数ごとにカウント・アップします。本リファレンス・デザインでは2種類のパケット・サイズが選択できますが、それは 1460 バイトの非ジャンボ・フレームと 8960 バイトのジャンボ・フレームです。

32 ビットのインクリメンタル・データは受信パターン発生器 (RxPattGenerator) でも生成され、TOE1G-IP コアの受信 FIFO インターフェイスからの受信データと比較します。また、受信 FIFO からのエンpty・フラグをモニタしデータを FIFO からリードするロジックも実装されています。そしてリード・データが比較元のインクリメンタル・データと不一致を検出するとエラーLEDを点灯します。

レジスタ制御インターフェイスは、テストシーケンスを実行するステートマシンを内蔵し、ステート状態によりライトするレジスタ・アドレスとデータを生成します。データの転送方向は DIP スイッチによる ModeSel で選択され、ユーザによりスタートスイッチが押下されると転送を開始します。ステートマシンの状態遷移図を図 6 に示します。

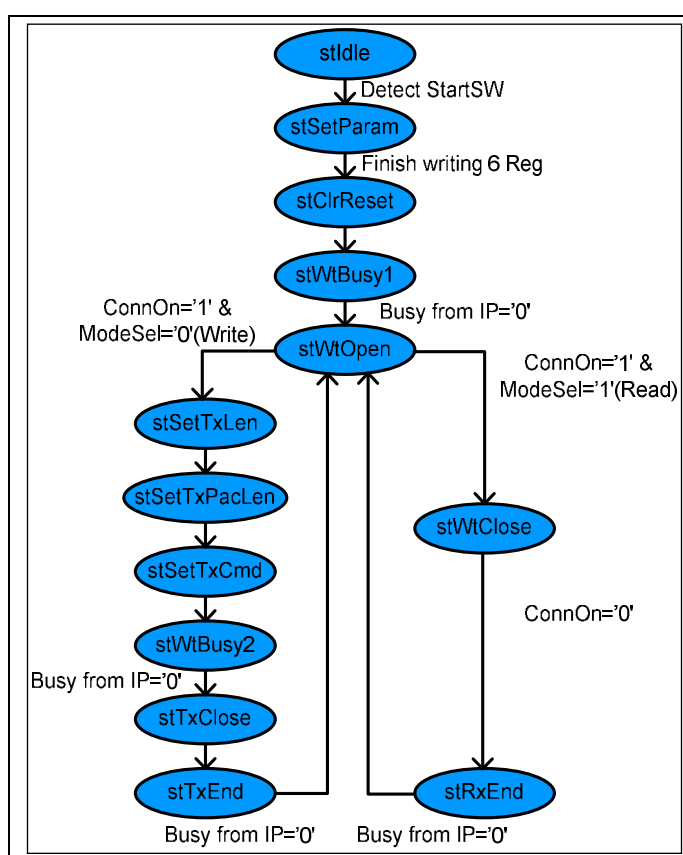


図 6: ユーザ回路内ステートマシンの状態遷移図

ステートマシンはユーザにより StartSW ボタンが押下されると stSetParam ステートに遷移します。そのステートにて TOE1G-IP コアに対してレジスタを介して以下のパラメータをセットします。

- Source MAC address = 00:01:02:03:04:05
- Source IP address = 192.168.11.42
- Source Port number = 4000
- Destination IP address = 192.168.11.25

その後次のステートとなる stClrReset に遷移し TOE1G-IP コアへのリセット信号を解除します、すると TOE1G-IP コア内部でパラメータの初期化が実行されます。ステートマシンはコアのレジスタ・インターフェイスを解して Busy フラグをモニタしコア内部の初期化完了を待ちます。その後 stWtOpen ステートにて接続相手の PC でテスト・アプリケーションの動作開始を待ちます。

本リファレンス・デザインにおいて FPGA はサーバー・モードで動作し PC 側のテスト・アプリケーションはクライアント・モードで動作します。従ってコネクションは PC 側テスト・アプリケーションがオープンします。コネクションが PC 側からオープンしたことを検出すると TOE1G-IP コアの ConnOn 出力は'1'となり、ステートマシンは ModeSel で送信モードが指定されていた場合は stSetTxLen に遷移し受信モードが指定されていた場合は stWtClose に遷移します。

送信モードの場合さらに3つのステートが追加されます。stSetTxLen で総転送サイズをセットし、stSetTxPacLen でパケットサイズをセットし、stSetTxCmd で TOE1G-IP コア内レジスタに対して転送開始コマンドを発行します。その後 stWtBusy2 ステートで Busy 信号をモニタし転送完了を待ちます。全データ転送が完了すると stTxClose ステートに遷移し TOE1G-IP コアに対してクローズ・コネクションを指示するコマンドを発行します。コネクションをクローズし Busy が'0'となると次の転送に備えて stWtOpen ステートに戻ります。

受信モードの場合、stWtClose ステートに留まり PC からのデータ転送が完了しコネクションのクローズが PC から実行されるまで待ち続けます。つまり TOE1G-IP コアからの ConnOn 値は、コネクションがすでにクローズしてから'1'から'0'に変化します。そして送信モードと同様に次の転送に備えて stWtOpen ステートに戻ります。

本デモは送信モード・受信モードのどちらもパッシブ・オープンにてコネクションを確立します。しかしポートのクローズ時は送信モードではアクティブ・クローズですが受信モードではパッシブ・クローズとなりますのでご注意ください。

## 4. PC 側テスト・アプリケーション

本リファレンス・デザインの実機動作を検証するため、接続相手の PC 側にて“recv\_tcp\_client”および“send\_tcp\_client”の2種類のテスト・アプリケーションが提供されています。どちらのアプリケーションも DOS ベースのプログラムでクライアント・モードで動作します。

### ● recv\_tcp\_client

このテスト・アプリケーションは TOE1G-IP コアの送信機能を検証するためのソフトウェアであり、PC へ送信するデータをベリファイします。本アプリケーションはコマンド入力時に以下の3パラメータの引数入力を必要とします。

- FPGA 側の IP アドレス: 本リファレンス・デザインでは FPGA 側の IP アドレスは “192.168.11.42” で固定されています。デザイン内のユーザ回路部にて HDL ソースコードを編集することでこの値を変更することができます。
- FPGA 側のポート番号: 本リファレンス・デザインでは FPGA 側のポート番号は “4000” で固定されています。デザイン内のユーザ回路部にて HDL ソースコードを編集することでこの値を変更することができます。
- パケット・サイズ: 本リファレンス・デザインでは2種類の値のどちらかを設定できます。非ジャンボ・フレーム検証時は 1460 を、ジャンボ・フレーム検証時は 8960 をセットしてください。これ以外の誤った値をセットするとベリファイ・エラーが発生し動作が停止します。

本アプリケーションの動作シーケンスは以下となります。

- (1) ユーザからコマンドラインの3つの引数でパラメータを取得します。
- (2) ソケットを作成し受信バッファのプロパティをセットします。
- (3) ユーザ指定パラメータより IP アドレスとポート番号をセットし FPGA とコネクションを確立します。
- (4) データの受信とベリファイ比較を繰り返します。データのフォーマットは各パケット終了時にインクリメントする 32ビットの値です。よって同一のパケット内の全データは同一値となります。このベリファイ時に2種類のエラーを検出すると画面に表示します。一つはパケットの先頭データが期待値でなかった場合で “Drop Expect” と表示し、もう一つは各パケット内のデータが期待値でなかったことを検出した場合で “Error Expect” と表示されます。毎秒ごとにパケット数を表示します。
- (5) これ以上受信するデータがなくなるとソケットはクローズします。そして転送した総データ数がパフォーマンスのテスト結果として表示されます。
- (6) 一連の受信が終わったら(3)のステップに戻り再度コネクションをオープンします。ユーザの [Ctrl+C] キーで操作がキャンセルされるまで繰り返します。

### ● Send\_tcp\_client

このテスト・アプリケーションは TOE1G-IP コアの受信機能を検証するためのソフトウェアです。本アプリケーションはコマンド入力時に以下の4パラメータの引数入力を必要とします。

- FPGA 側の IP アドレス: 本リファレンス・デザインでは FPGA 側の IP アドレスは “192.168.11.42” で固定されています。デザイン内のユーザ回路部にて HDL ソースコードを編集することでこの値を変更することができます。
- FPGA 側のポート番号: 本リファレンス・デザインでは FPGA 側のポート番号は “4000” で固定されています。デザイン内のユーザ回路部にて HDL ソースコードを編集することでこの値を変更することができます。
- パケット・カウント: 本リファレンス・デザインでは 16K バイトを単位として転送サイズを設定します。つまり総転送バイト数はこの値に 16Kbyte を掛けたものとなります。
- ベリファイ機能の On/Off: ‘0’ を指定するとダミー・データが、‘1’ を指定すると 32ビットのインクリメンタル・データが送信されます。ここの設定値は PC のデータ送信パフォーマンスに影響します。PC の種類によってはダミー・データを指定した方がインクリメンタル・データを指定するよりパフォーマンスが向上することがあります。ただし ‘0’ のダミー・データを指定すると FPGA 回路側でのベリファイ機能がデータのミスマッチを検出するのでエラー LED が点灯します。

本アプリケーションの動作シーケンスは以下となります。

- (1) ユーザからコマンドラインの4つの引数でパラメータを取得します。
- (2) ソケットを作成し送信バッファのプロパティをセットします。
- (3) ユーザ指定パラメータより IP アドレスとポート番号をセットし FPGA とコネクションを確立します。
- (4) 送信バッファにダミーデータ(オール ‘0’)またはインクリメンタル・データを用意しデータを送信します。転送サイズはユーザにより設定されています。
- (5) ソケットをクローズし転送した総データ数がパフォーマンスのテスト結果として表示されます。

## 5. 改版履歴

リビジョン	日付	履歴
1.0J	2013/2/14	日本語第 1 版作成
1.1J	2014/8/7	ArriaV GX および StratixIV GX の2ボードに対応
1.2J	2014/11/07	説明文中の FPGA 側 IP アドレスの誤記を修正
1.3J	2016/8/30	製品名の変更(TOE2-IP → TOE1G-IP)、Arria10 サポート開始

Copyright: 2013 Design Gateway Co.,Ltd.