



Design Gateway Co.,Ltd

- 本社: 〒184-0012
東京都小金井市中町 3-23-17
- 電話/FAX: 050-3588-7915
- E-mail: sales@dgway.com
- URL: www.dgway.com

特長

- UDP/IP プロトコル・スタックを実装
- IPv4 に対応
- 単一ポート接続
(コアを複数インスタンスすることでマルチセッションに対応可)
- 送受信バッファはリソースとパフォーマンスに合わせて最適化調整が可能
- データは標準的な FIFO 接続
- 制御は一般的なレジスタ・インターフェイス接続
- クロック周波数 125MHz の単一クロック・ドメイン
- Intel 標準 MAC(IP-TRIETHERNET)と接続する 8ビット Avalon ストリーム・インターフェイス
- CycloneV E/ArriaV GX/Arria 10 SoC 各 Intel 評価ボードで実機動作するリファレンス・デザインを提供
- 安心の国内サポート

Core Facts	
コアの提供情報	
提供ドキュメント	● データ・シート ● リファレンス・デザイン説明書 ● 実機デモ手順書
コア形態	● 暗号化されたネットリスト
検証方法	● 参照デザインによる実機評価
制約ファイル	● 参照デザインで SCF ファイル
デザイン例使用言語	● VHDL
その他	● CycloneV E/ArriaV GX/Arria10 SoC ボード用参照デザイン
シミュレーション環境	
ModelSim-Altera 10.1e	
技術サポート	
デザイン・ゲートウェイによる日本語サポート	

表 1: コンパイル結果例

Family	Example Device	Fmax (MHz)	ALMs	Registers ¹	Pin	Block Memory bit ²	Design Tools
StratixIV GX	EP4SGX230KF40C2	125	1,125	1,553	-	1,181,696	QuartusII 14.0
CycloneV E	5CEFA7F3117	125	1,048	1,698	-	1,181,696	QuartusII 15.1
ArriaV GX	5AGXFB3H4F35C5	125	1,047	1,686	-	1,181,696	QuartusII 14.0
Arria10 SX	10AS066N3F40E2SGE2	125	996	1,635	-	1,181,696	QuartusII 16.0

備考:

- 1) 実際のリソース消費カウントはユーザロジックやフィット条件等に依存します。
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります。
- 3) ブロックメモリの消費リソース数は送信データ・バッファ 64K バイト、送信パケットバッファ 16K バイト、受信データバッファ 64K バイト時の値となります。バッファ容量の最小設定はそれぞれ 4K バイト、2K バイト、2K バイトです。

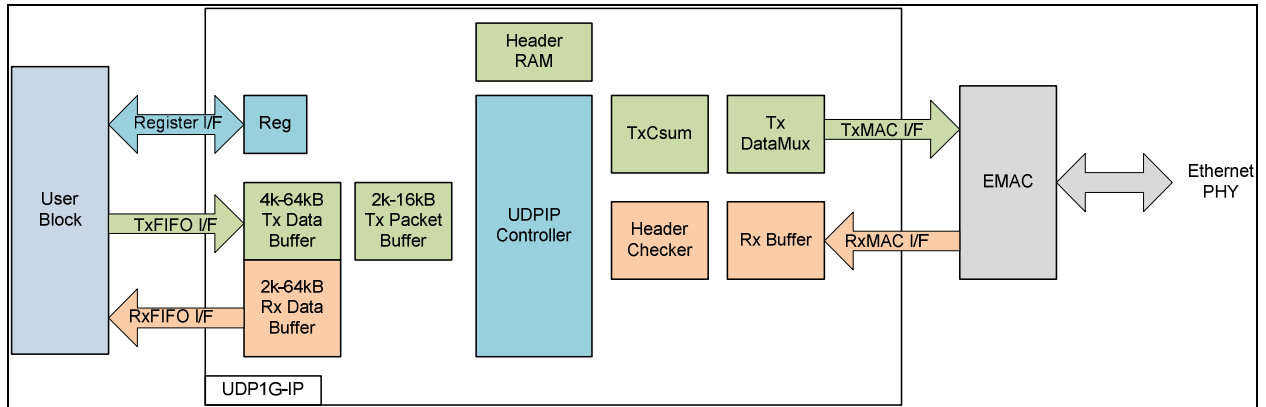


図1：UDP-IPコア内部ブロック図

コア概要

本 UDP1G-IP コアは UDP/IP プロトコルを使った GbE ネットワーク・アプリケーションにおいて高速でのデータ転送を可能とする機能を提供します。本コアを使うことで、ユーザは CPU や外部メモリを使わずにハードワイヤード・ロジックのみで UDP/IP プロトコルによるデータ転送を可能とします。

本コアは Intel 製 MAC コア (IP-TRIETHERNET) と組み合わせることで UDP/IP スタック、トランスポート層、インターネット層、リンク層として機能します。本コアを使ったシステムと外部 PHY チップにより、UDP/IP プロトコルにてネットワークのどのようなデバイスともデータ転送を実行できます。

コアは3種類のユーザ・インターフェイスがあり、一つは制御用レジスタ・アクセスのインターフェイスで、他の二つは送信と受信の FIFO インターフェイスです。システムの初期化時に、ユーザはパケット・サイズ、ポート番号、IP 番号等をレジスタ・インターフェイスを介して設定する必要があります。そしてコマンド指示により送信データ・バッファから外部ネットワーク・デバイスへのデータ送信を実行します。また、外部デバイスからの受信データは UDP-IP コアの受信データ・バッファに格納されます。

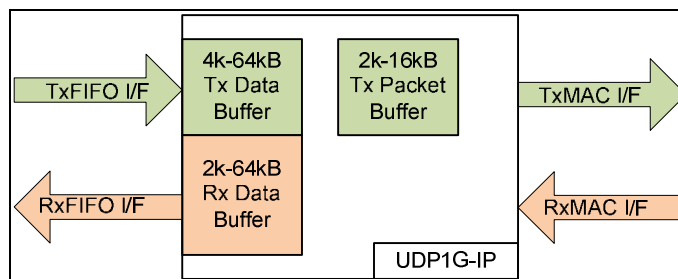


図2：バッファ・サイズ可変の送信データ/送信パケット/受信データ各バッファ

UDP1G-IP コアの3種類のバッファ (送信データ・バッファ、送信パケット・バッファ、受信データ・バッファ) は IP コアのパラメタライズで設定が可能です。ブロック RAM 消費リソースとパフォーマンスをユーザ・アプリケーションに対して最適化できます。送信パケット・バッファは必ず送信パケット・サイズよりも大きく設定する必要があり、送信データ・バッファは送信パケット・バッファより少なくとも2倍のサイズとする必要があります。また、受信データ・バッファは受信パケット・サイズの2倍以上に設定する必要があります。

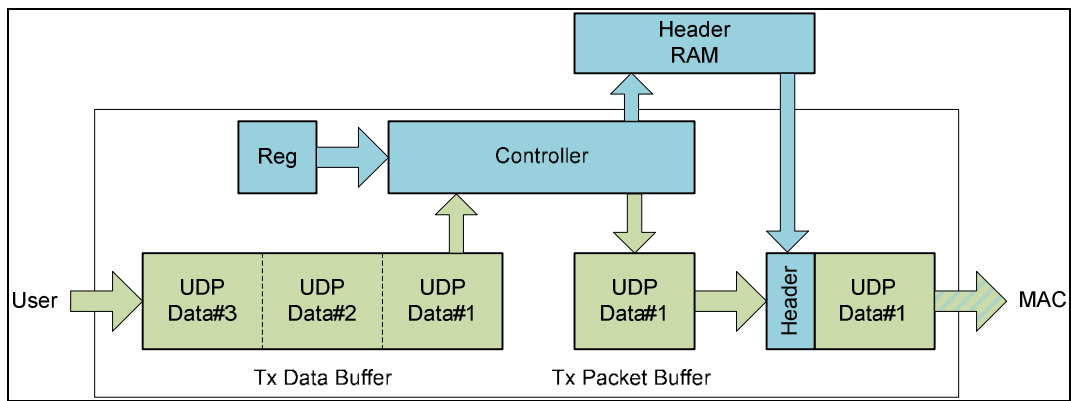


図 3: 送信のデータ・フロー

データの送信時は、送信データ・バッファからのデータはパケット・サイズに分割され送信パケット・バッファに転送されます。レジスタで設定されたパラメータはパケットのヘッダ作成に使われヘッダ RAM 内に格納されます。送信パケット・バッファからの送信データは MAC へ出力される前にコア内部にてヘッダ RAM のヘッダ・データと結合し UDP パケットが生成されます。UDP および IP チェックサムはコア内で自動計算されます。レジスタ内のビジイー・フラグはユーザによって予め設定された転送サイズ分のデータ転送が完了するとクリアされます。ユーザ回路はこのビジイー・フラグをモニタすることで転送状態が把握できます。IP コアがアイドル状態で送信を実行中でない場合、ユーザ回路は次の送信用として送信パケット・サイズや転送サイズをレジスタ・インターフェイス経由で変更することができます。

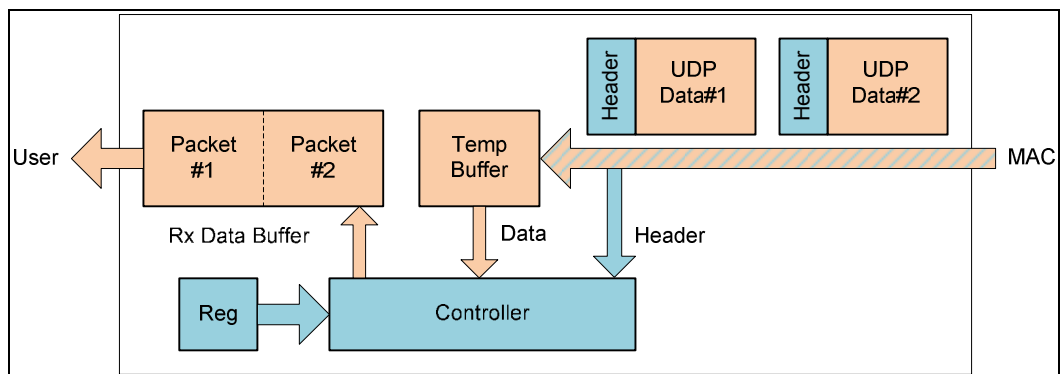


図 4: 受信のデータ・フロー

データの受信時には受信パケットはまずテンポラリ・バッファに一旦格納されます。そして受信パケット内のヘッダとチェックサムが精査され、ヘッダ内容やチェックサムにエラーがあった場合はそのパケットは破棄されるので受信データ・バッファには格納されません。従って有効なデータのみが選別され受信データ・バッファに格納されることになります。

コアの機能ブロック

本 UDP1G-IP コアは、制御ブロック、送信ブロック、受信ブロックの3ブロックに分かれています。

制御ブロック

- レジスタ

ユーザ回路は UDP/IP オペレーションに関するパラメータをレジスタ・インタフェースにより設定できます。レジスタ・アドレスは全 4 ビットです。それぞれのレジスタのアドレス・マッピングを表 2 に示します。RST レジスタによるリセットが解除されると、各パラメータを設定したレジスタを初期値として動作が開始されます。

- UDPIP コントローラ

リセットが解除されると IP コアは ARP 要求を送信し ARP 応答情報から通信ターゲットの MAC アドレスを取得します、その後コアはユーザからの外部デバイスへのデータ転送開始指示を待ちます。

表 2: レジスタ・マップ

アドレス [3:0]	レジスタ名	方向	ビット	説明
0000b	RST	Wr /Rd	[0]	IP リセット。'1'でリセットし'0'でリセットを解除する。初期状態は'1'(リセット状態)で、ユーザ回路が動作に必要な全パラメータをレジスタにセットしてから本レジスタに'0'を書き込むことでコアの動作が開始する。ユーザ回路が SML, SMH, DIP, SIP, DPN, SPN レジスタの値を変更する必要が生じた場合、本レジスタを一旦'1'としコアをリセット状態に移行させてから変更しなくてはならない。
0001b	CMD	Wr	[0]	'1'でデータ送信開始 本レジスタによってデータ送信を指示する前に、ユーザ回路は Busy 信号または本レジスタの bit[0] をリードしチェックしてコアが動作中でないことを確認しなくてはならない。
		Rd	[0]	システム・ビジー・フラグ。'0': アイドル状態、'1': ビジー状態、Busy 出力信号と同一
0010b	SML	Wr /Rd	[31:0]	コアの MAC アドレスの下位 32bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0011b	SMH	Wr /Rd	[15:0]	コアの MAC アドレスの上位 16bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0100b	DIP	Wr /Rd	[31:0]	ターゲット側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0101b	SIP	Wr /Rd	[31:0]	本システム側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0110b	DPN	Wr /Rd	[31:0]	[15:0] IP コアからの送信にて送信先ターゲット側のポート番号を 16bit で指定する。 [31:16] IP コアへの受信にて受信元ターゲット側のポート番号を 16bit で指定する。 RST レジスタをクリアする前に本レジスタでポート番号を指定する必要がある。
0111b	SPN	Wr /Rd	[15:0]	本システム側のポート番号を 16bit で指定する。RST レジスタをクリアする前に本レジスタで自身のポート番号を指定する必要がある。
1000b	TDL	Wr	[31:0]	送信データ数をバイト単位で指定する。有効な値は 1~0xFFFFFFFF。CMD レジスタで送信開始を指示する前に本レジスタで送信データ数をセットする必要がある。ユーザが本レジスタでセットした送信データ数はコア内部ロジックでラッチされるため、現在送信中であっても、次の送信のデータ数をセットしておくことが可能である。また、次の送信でも再度同じ送信データ数である場合は本レジスタに再セットする必要はない。
		Rd	[31:0]	まだ送信されていない残りデータ数をバイト単位で表示する。

表 2: レジスタ・マップ(続き)

アドレス [3:0]	レジスタ名	方向	ビット	説明
1001b	TMO	Wr	[31:0]	全てのコマンドにて、受信パケットの待ち時間タイムアウト値を設定する。本レジスタは 125MHz のカウンタで動作するためタイマ設定値は 8ns の単位で指定する。本レジスタ値は 0x6000 以上の値としなくてはならない。
		Rd		各タイムアウト等のステータス、それぞれのビット定義は以下の通り [0] ARP で返信パケットをタイムアウト時間内に受信しなかった [8] 受信データ・バッファが一杯のため受信パケットを受け損ねた [9] 受信パケットのチェックサムが間違えていたため受信パケットを破棄した [10] MacRxUser エラーが検出されたため受信パケットを破棄した
1010b	PKL	Wr /Rd	[15:0]	バイト単位で指定する送信パケットのデータ長。1~16000 の範囲で指定する必要がある。デフォルト値は 1472 バイト(非ジャンボ・フレームの最大サイズ) この値はデータ転送(Busy フラグ=1)中に変更してはならない。次の転送でも同じパケット・サイズの場合、コア内部で前の値は保持されているのでユーザ回路は本レジスタを再度セットする必要はない。

注意:

1. ターゲットの MAC アドレスは ARP の返信パケットにてコアが自動検出・設定するためユーザ回路側でこのパラメータを設定する必要はありません。

表 3: 各バッファ(TxBuf/TxPac/RxBufBitWidth)の容量パラメータ

有効なビット幅	バッファ容量	送信データ・バッファ有効ビット幅	送信パケット・バッファ有効ビット幅	受信データ・バッファ有効ビット幅
11	2kByte	No	Valid	Valid
12	4kByte	Valid	Valid	Valid
13	8kByte	Valid	Valid	Valid
14	16kByte	Valid	Valid	Valid
15	32kByte	Valid	No	Valid
16	64kByte	Valid	No	Valid

送信ブロック

- **送信データ・バッファ (Tx Data Buffer)**

このデータ・バッファの容量は IP コアの "TxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 12(4K バイト)~16(64K バイト)です。このバッファ・サイズは PKL レジスタで設定する送信パケット・サイズの少なくとも 2 倍かそれ以上のサイズとする必要があります。送信時は本送信データ・バッファから送信パケット・バッファへ 1 パケット分のデータを転送すると同時にユーザ回路から次のパケット用のデータを受信します。MAC へパケットが出力されると本バッファ内のデータはフラッシュされます。このため現在パケットの送信と次パケットの準備を同時に行うためにパケット・サイズの 2 倍の容量が必要です。このバッファ・サイズを 2 倍より大きくすることによりコア内でのユーザ回路からのデータ・フロー制御に貢献します。バッファ内に多数のデータを貯めることで IP コアからのデータ送信中にユーザ回路は他の処理を実行できます。

- **送信パケット・バッファ (Tx Packet Buffer)**

このバッファの容量は IP コアの "TxPacBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 11(2K バイト)~14(16K バイト)です。このバッファ・サイズは PKL レジスタで設定する送信パケット・サイズと同じかそれ以上とする必要があります。送信データ・バッファからの 1 パケット分のデータを格納します。送信パケット・バッファ内のデータは MAC のデータ受信準備が完了するまで保持されます。MAC が長時間データ受信レディとならない場合本バッファは最大 2 データ・パケット分のデータを保持します。このため本バッファにて 2 パケット分以上の残リスペースは使われません。

- **ヘッダ RAM (Header RAM)**

この RAM には送信パケットのヘッダ部を格納します。ユーザ回路から RST レジスタによるリセット解除でヘッダ RAM 内のパラメータは更新されます。いくつかのパラメータは ARP 応答によって更新されます。

- **送信チェックサム (TxCsum)**

送信パケットが送出される前に本モジュールによりチェックサムが計算されます

- **送信データ・マルチプレクサ (TxDataMux)**

本モジュールによりヘッダ RAM と送信データ・バッファ内のデータが結合されイーサネット MAC を介して外部に送出されます。

受信ブロック

- **受信バッファ (Rx Buffer)**

このバッファはヘッダ・チェックで処理される前のイーサネット MAC からの全ての受信パケットを一時的に保持します。

- **ヘッダ・チェッカ (Header Checker)**

受信パケット内のヘッダをチェックしユーザ回路からの設定値と比較します。ヘッダの内容が設定パラメータと適合しなかった場合やチェックサムがエラーであった場合は該当するパケットは破棄されます。適合した場合、UDP データのみが分離され受信データ・バッファに転送されます。

- **受信データ・バッファ (Rx Data Buffer)**

このバッファの容量は IP コアの "RxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 11(2K バイト)~16(64K バイト)です。このバッファはユーザ・ロジックと UDP1G-IP コア間に配置されます。このバッファが一杯の場合、新たに受信したパケットは無視(ロス)します。このため、新たなパケット受信と前パケットのユーザ回路への転送を同時に実行する場合、少なくとも受信パケット・サイズの 2 倍の容量が必要です。

ユーザ回路

ユーザ回路はレジスタ I/F を通してパラメータの設定やコア状態のモニタを行い、また、送信 FIFO I/F を介した送信データの書き込みや受信 FIFO I/F を介して受信データの読み出しを行います。ユーザ回路はシンプルなハードウェア・ロジックで実装できるので、NiosII などのプロセッサを使わずにシステムを構築することが可能です。

トリプル・スピード・イーサネット MAC コア

このモジュールは Intel 社から提供されるソフト IP コアです。詳細については以下の Intel 社サイトを参照してください。

<https://www.altera.co.jp/products/intellectual-property/ip/interface-protocols/m-alt-ethernet-mac.html>

コアの I/O 信号

コアのパラメータを表 4 に、全 I/O 信号を表 5 で説明します。MAC インターフェイスは Intel 製 MAC コアの Avalon ストリーム・インターフェイスと直結できます。

表 4: コアのパラメータ

ジェネリック名	設定範囲	説明
TxBufBitWidth	12-16	送信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 12 の場合 4K バイト、16 の場合 64K バイトとなります。
TxPacBitWidth	11-14	送信パケット・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、14 の場合 16K バイトとなります。
RxBufBitWidth	11-16	受信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、16 の場合 64K バイトとなります。

表 5: コアの I/O 信号

信号名	方向	クロック	説明
共通 I/F 信号			
RstB	In		IP コアのリセット: ロウ・アクティブ信号である。
Clk	In		125 MHz 固定のユーザ I/F および 1Gbps モードでの MAC 通信 I/F 用クロック
ユーザ I/F			
RegAddr[3:0]	In	Clk	レジスタの 4bit アドレスバス
RegWrData[31:0]	In	Clk	ライト・レジスタの 32bit 書込みデータ・バス
RegWrEn	In	Clk	レジスタのライト・イネーブル、アドレスおよびデータに有効な値をセットし本信号にパルスを与えることで書込みを実行する。
RegRdData[31:0]	Out	Clk	レジスタの 32bit 読み出しデータ・バス、レジスタアドレスをセットしてから 1クロックのレイテンシ後に有効なリード・データが本バス上に現れる。
Busy	Out	Clk	コアのビジー状態('0':アイドル状態、'1'コアは初期化中またはビジー状態)。
IntOut	Out	Clk	タイムアウト発生または受信パケットの破棄時に本信号が 1 クロック期間分 H アサートされる。ユーザ回路は TMO[6:0]レジスタで割り込み要因を確認することができる。
送信データ・バッファ I/F			
UDPTxFfFull	Out	Clk	コアの送信データ・バッファの Full フラグ。ユーザ回路は本信号が H アサートされてから 4 クロック期間以内に送信データの書込みを停止しなくてはならない。
UDPTxFfWrEn	In	Clk	送信データ・バッファのライト・イネーブル。送信データを書き込む際にアサートする。
UDPTxFfWrData[7:0]	In	Clk	送信データ・バッファの 32bit 書込みデータ・バス、UDPTxFfWrEn に同期する。
受信データ・バッファ I/F			
UDPRxFfRdCnt[15:0]	Out	Clk	受信データ・バッファ内の受信データ総量を示す FIFO データ・カウンタ
UDPRxFfRdEmpty	Out	Clk	受信データ・バッファの FIFOEmpty フラグ。ユーザ回路は本信号が H アサートされたら直ちにデータの読み出しを停止しなくてはならない。
UDPRxFfRdEn	In	Clk	受信データ・バッファの読み出しイネーブル。受信データを読み出す際にアサートする。
UDPRxFfRdData[7:0]	Out	Clk	受信データ・バッファの 32bit 読み出しデータ・バス、UDPRxFfRdEn をアサートしてから 1クロック期間のレイテンシ後に有効なリードデータが出力される。

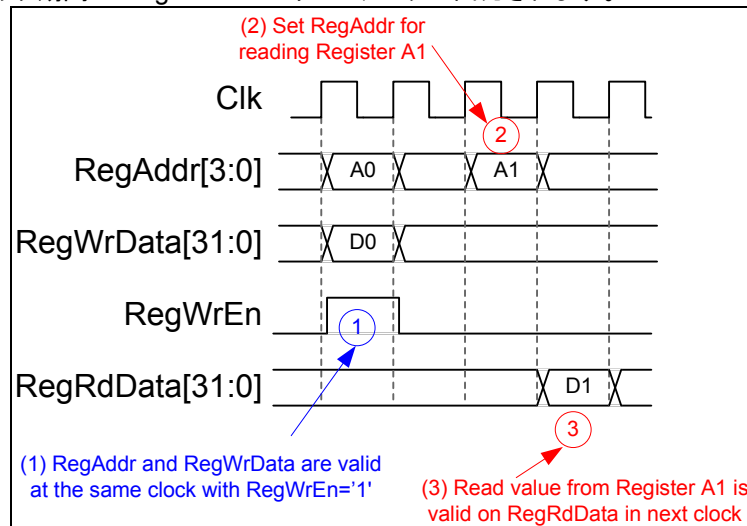
表 5: コアの I/O 信号(続き)

信号名	方向	クロック	説明
MAC I/F 信号			
MacTxSOP	Out	Clk	MAC へのパケット送信開始信号
MacTxData[7:0]	Out	Clk	MAC への送信データ・バス
MacTxEOP	Out	Clk	MAC へのパケット送信終了信号
MacTxValid	Out	Clk	MAC への送信データ有効信号
MacTxReady	In	Clk	MAC からのデータ送信レディ信号
MacRxCIk	In		MAC からの受信同期クロック
MacRxSOP	In	MacRxCIk	MAC からのパケット受信開始信号
MacRxData[7:0]	In	MacRxCIk	MAC からの受信データ・バス
MacRxEOP	In	MacRxCIk	MAC からのパケット受信終了信号
MacRxValid	In	MacRxCIk	MAC からの受信データ有効信号
MacRxError	In	MacRxCIk	MAC からの受信エラー信号

タイミング・チャート

レジスタ・インターフェイス

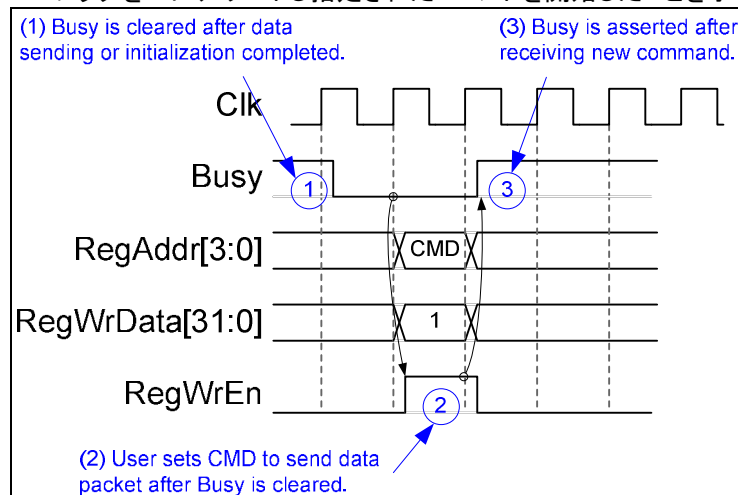
ユーザ回路からの UDP1G-IP コア内部コアへのリードライト・アクセスは図 5 に示すタイミングにより実行します。アクセス先レジスタのアドレスマップは表 2 で示されます。レジスタへの書込みは RegAddr と RegWrData にそれぞれ有効なライト先のアドレスとデータをセットし 1 クロック期間 RegWrEn='1' とします。レジスタからの読み出しの際は、有効な RegAddr がコアに与えられた次のクロック期間に RegRdData にリードデータが出力されます。



- (1) RegAddr と RegWrData は RegWrEn='1' と同じクロック期間で有効とする必要がある
- (2) 読み出し先アドレス A1 を RegAddr にセットする
- (3) レジスタ A1 のリード値は次のクロック期間で RegRdData に出力される

図 5: レジスタ I/F のタイミング・チャート

ユーザ回路は CMD レジスタをセットする前にコアの Busy ピンをモニタするかあるいは CMD レジスタの bit0 をリードすることでビジー・フラグがアサートされていないことを確認する必要があります。CMD レジスタをセットしコマンドを発行すると、図 6 に示すようにコアはビジー・フラグを '1' にアサートし指定されたコマンドを開始したことを示します。

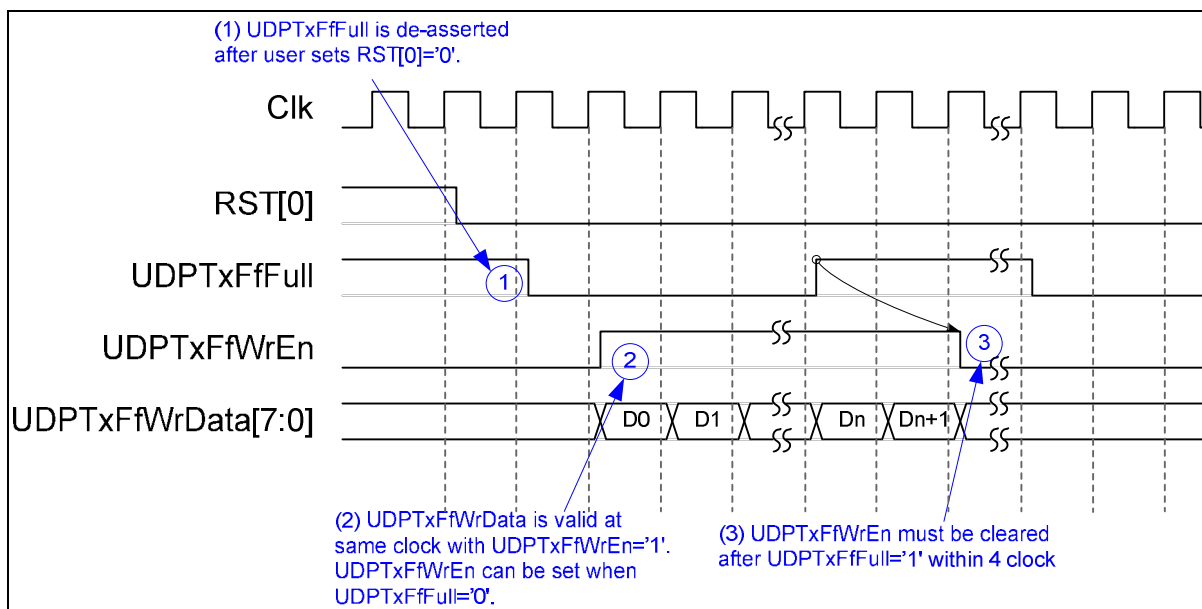


- (1) Busy はコアの初期化完了または前コマンドの完了後にクリアされる
- (2) ユーザ回路は Busy が '0' であることを確認してから CMD レジスタを書き込む
- (3) IP コアがコマンド指示を認識すると Busy をアサートする

図 6: ビジーがネゲート状態で CMD レジスタをセットする

送信 FIFO インターフェイス

ユーザ回路は IP コアに対して図 7 に示すように FIFO インターフェイスでデータを送信できます。データを送る前にユーザ回路は FIFO のフル・フラグ (UDPTxFfFull) をチェックしそれが '1' にアサートされていないことを確認する必要があります。そして書き込みデータの UDPTxFfWrData に同期して書き込みイネーブル信号の UDPTxFfWrEn='1' とします。UDPTxFfFull が '1' となった場合、4 クロック以内に UDPTxFfWrEn による書き込み動作を停止しなくてはなりません。また IP コアがリセット状態の場合も UDPTxFfFull はアサートされ、FIFO 内の全データはフラッシュされます。

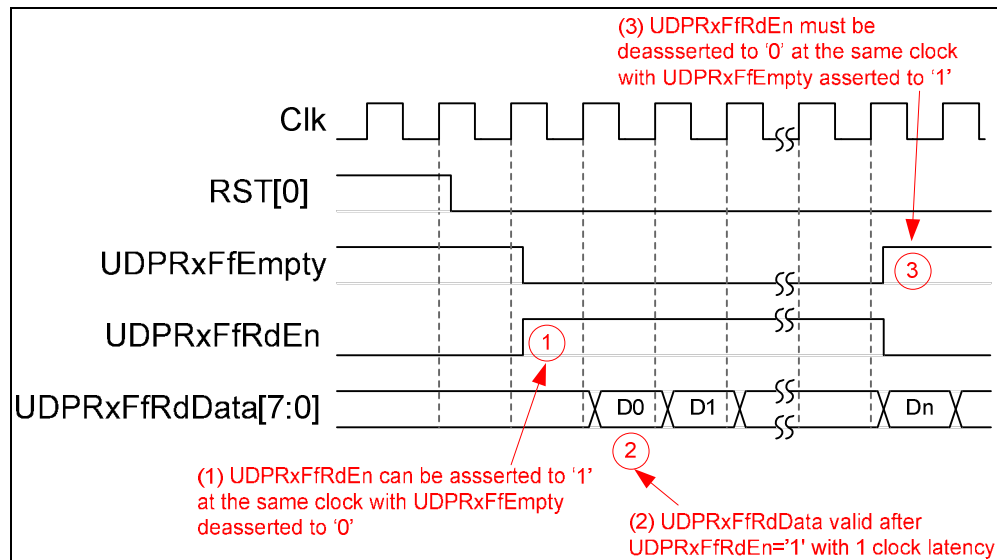


- (1) UDPTxFfFull はユーザ回路から RST[0]='0' とクリアされた後にネゲートされ FIFO データ書き込みが可能となる
- (2) UDPTxFfFull='0' である場合 UDPTxFfWrEn='1' とすることで UDPTxFfWrData を書き込むことができる
- (3) UDPTxFfFull='1' となった場合 4 クロック以内に UDPTxFfWrEn による書き込み動作を停止しなくてはならない

図 7: 送信データ・バッファ I/F のタイミング・チャート

受信 FIFO インターフェイス

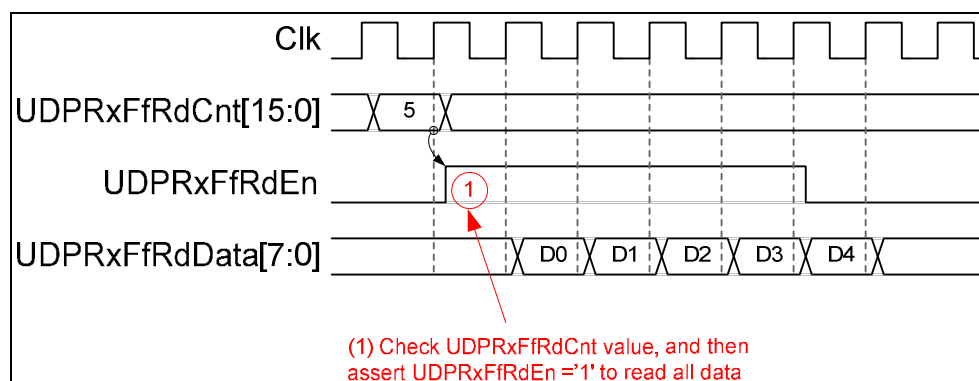
UDP-IP コアが外部からデータを受信した場合、受信データ・バッファに格納されます。ユーザ回路は図 8 に示すように FIFO インターフェイスでデータを読み出すことができます。ユーザ回路は UDPRxFfEmpty 信号をチェックすることで受信データの格納状態が把握でき、また UDPRxFfEmpty が '0' でない場合に UDPRxFfRdEn をアサートしてその次クロック期間に UDPRxFfRdData で受信データを読み出します。UDPRxFfEmpty が '1' となった場合その同一クロック期間内で UDPRxFfRdEn を '0' にネゲートしデータの読み出しを停止しなくてはなりません。送信データ・バッファと同じように受信データ・バッファも IP コアがリセットされると FIFO 内部データをフラッシュします。またコアがリセット中は UDPRxFfEmpty は '1' にアサートされます。



- (1) UDPRxFfRdEn は UDPRxFfEmpty が '0' ネゲートしている同一クロック期間中 '1' にアサートできる
- (2) UDPRxFfRdData は UDPRxFfRdEn が '1' アサートされた次のクロック期間に出力される
- (3) UDPRxFfEmpty が '1' にアサートされた場合その同一クロック期間に UDPRxFfRdEn をネゲートする必要がある

図 8: 受信データ・バッファ I/F のエンプティ・フラグについてのタイミング・チャート

受信データ・バッファの状態は UDPRxFfRdCnt をモニタすることでも確認できます。この信号は受信データ・バッファに格納されている全データ数を示します。従って図 9 に示すように総受信データ数と同じ期間 UDPRxFfRdEn を '1' にアサートすることで、全受信データを読み出すことができます。

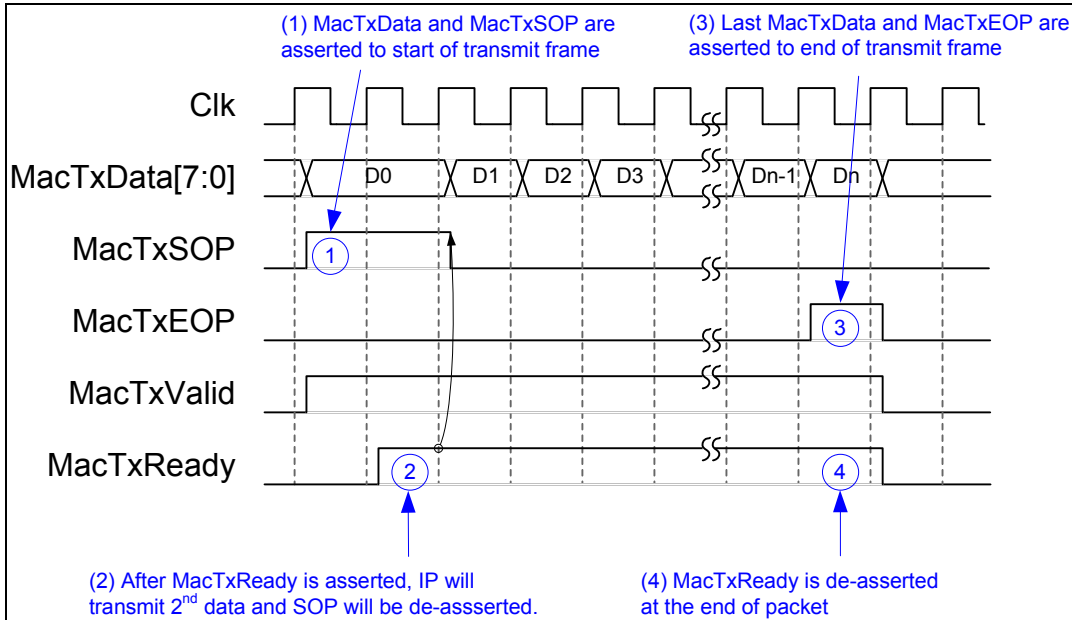


- (1) UDPRxFfRdCnt の値を確認し UDPRxFfRdEn をリード・カウンタ分 '1' アサートする

図 9: 受信データ・バッファ I/F のリード・カウンタについてのタイミング・チャート

EMAC インターフェイス

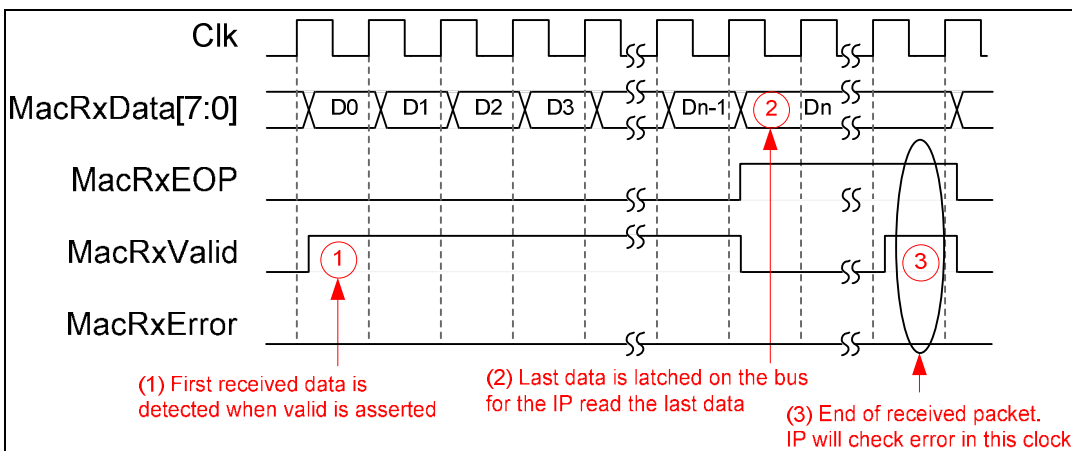
パケットを送信するときに IP コアは MacTxSOP と MacTxValid をアサートし同時に MacTxData 上にパケットの先頭データを出力します。その出力信号はデータ転送要求の応答を示す EMAC からの MacTxReady が'1'アサートされるまで保持します。MacTxReady はパケット転送が完了するまで'1'アサートを継続する必要があります。つまり MacTxValid はパケット最終データまで連続して MacTxData が出力されるよう'1'アサートを維持します。パケットの末尾を示すため MacTxEOP と MacTxValid が最終データで'1'アサートされます。



- (1) MacTxData と MacTxSOP がアサートされフレームの転送が開始する
- (2) MacTxReady がアサートされると IP コアは 2 番目のデータを出力し MacTxSOP はネゲートする
- (3) 送信フレームの最後で MacTxData と MacTxEOP がアサートする
- (4) MacTxReady はパケットの末尾でネゲートする

図 10: MAC I/F 送信側のタイミング・チャート

図 11 は受信側のタイミング・チャートです。UDP1G-IP コアは MacRxValid が'0'から'1'アサートする受信フレームの開始をモニタします。MacRxData は MacRxEOP がアサートするパケット末尾まで連続して受信します。MacRxData の最終受信データ(Dn)は Dn-1 の後でリードできますがそれは IP コアが D0-Dn まで連続してリードするためです。MacRxEOP は受信パケットの有効性をチェックする MacRxError 信号を確認するタイミングとして使われます。



- (1) MacRxValid がアサートされ受信パケットの先頭データを検出する
- (2) バス上の最終データが IP コアからリードするためラッチされる
- (3) 受信パケットの最後に IP コアはエラーをチェックする

図 11: MAC I/F 受信側のタイミング・チャート

コアの使用例

本 UDP1G-IP コアを使ったデータの送信・受信でのレジスタ設定手順例を以下に示します。

- 1) RST レジスタに'1'をセットし IP コアをリセット状態とします。
- 2) リセットしたまま SML/SMH に MAC アドレス、DIP/SIP に IP アドレス、DPN/SPN にポート番号をセットします。
- 3) RST レジスタを'0'クリアし IP コアの初期化を開始します、コアは ARP 要求を自動発行し接続ターゲットの MAC アドレスを ARP 応答から抽出しコア内部にセットします。この初期化が完了すると Busy 信号/フラグは'0'クリアされません。
- 4) a. データを送信する場合、TDL に総転送長、PKL にパケット・サイズをセットしその後 CMD レジスタをセットしてデータ送信を開始します。ユーザ回路は送信データを送信 FIFO へ転送し Busy 信号/フラグがゼロクリアされるのを検出します。各コマンドが完了するとユーザ回路は次の転送用として TDL/PKL レジスタ値をリセットせずに変更できません。
b. データの受信においては、ユーザ回路は受信 FIFO ステータスをモニタし受信 FIFO ステータスが非エンptyであれば有効受信データが格納されているので FIFO からリードします。

コアの検証方法

本 UDP1G-IP コア製品には Intel 純正の評価ボードで実機動作する QuartusII リファレンス・デザイン・プロジェクトが同梱されているため、実ボードでの動作確認が可能です。また、ドキュメントで示されていない細かい信号タイミング等については、リファレンス・デザインに SignalTAP を追加して実機動作させることで、実波形を観測・確認することが可能です。

必要とされる環境と設計スキルについて

本 UDP1G-IP コアの実機動作確認やデザイン・ゲートウェイ社へのサポート依頼には Intel 純正の対応評価ボードが必要となるため、ユーザ側でコア購入時に手配してください。また、Intel 社の MAC-IP コア(IP-TRIETHERNET)も別途必要となりますのでご注意ください。

本コアを使ってユーザ・システムを設計・実装するためには、HDL 言語設計技術・UDP プロトコル知識および Quartus ツールによるデザイン実装経験を必要とします。

注文情報

本製品は Intel 代理店から、あるいはデザイン・ゲートウェイ社から直接購入することが可能です。また、デバイス・ファミリに応じて現在以下のコアのラインナップが用意されています。それ以外のファミリに対応した UDP1G-IP コアにつきましては DesignGateway 社までお問い合わせください。

表 6: コアのラインナップ

コア型番	対応ファミリ	対応評価ボード名	対応評価ボード型番
UDP1G-IP-C5	Cyclone V	CycloneV E FPGA 開発キット	DK-DEV-5CEA7N
UDP1G-IP-A5	Arria V	ArriaV GX スタータ開発キット	DK-START-5AGXB3N
UDP1G-IP-A10	Arria10	Arria10SoC 開発キット	DK-SOC-10AS066-A

改版履歴

リビジョン	日付	履歴
1.0	Feb-27-2017	New release
1.1	Mar-1-2017	Update Figure11
1.1J	2017/03/09	Rev1.1 に対応した日本語翻訳版を発行