



## Design Gateway Co.,Ltd

- 本社: 〒184-0012  
東京都小金井市中町 3-23-17
- 電話/FAX: 050-3588-7915
- E-mail: [sales@dgway.com](mailto:sales@dgway.com)
- URL: [www.dgway.com](http://www.dgway.com)

## 特長

- UDP/IP プロトコル・スタックを実装
- IPv4 に対応
- 単一ポート接続  
(コアを複数インスタンスすることでマルチ・セッションに対応可)
- 送受信バッファはリソースとパフォーマンスに合わせて最適化調整が可能
- データは標準的な FIFO 接続
- 制御は一般的なレジスタ・インターフェイス接続
- クロック周波数 125MHz の単一クロック・ドメイン
- Xilinx 標準 MAC(EF-DI-TEMAC)と 1 対 1 で直結
- AC701/KC705/ZC706/VC707 等各種 Xilinx 評価ボードによるリファレンス・デザインが提供可能
- 安心の国内サポート

Core Facts	
コアの提供情報	
提供ドキュメント	<ul style="list-style-type: none"> <li>● データ・シート</li> <li>● リファレンス・デザイン説明書</li> <li>● 実機デモ手順書</li> </ul>
コア形態	● 暗号化されたネットリスト
検証方法	● 参照デザインによる実機評価
制約ファイル	● 参照デザインで SCF ファイル
デザイン例使用言語	● VHDL
その他	● Xilinx 各種評価ボード用参照デザイン
技術サポート	
デザイン・ゲートウェイ・ジャパンによる日本語の国内サポート	

表 1: コンパイル結果例

Family	Example Device	Fmax (MHz)	Slice Regs	Slice LUTs	Slices <sup>1</sup>	IOB <sup>2</sup>	RAMB36E1	RAMB18E1	Design Tools
Artix-7	XC7A200FBG676-2	125	1561	1266	539	133	36	2	Vivado2015.4
Kintex-7	XC7K325TFFG900-2	125	1561	1266	553	133	36	2	Vivado2015.4
Virtex-7	XC7VX485TFFG1761-2	125	1561	1267	553	133	36	2	Vivado2015.4
Zynq-7000	XC7Z045FFG900-2	125	1561	1266	531	133	36	2	Vivado2015.4

備考:

- 1) 実際のリソース消費カウントはユーザロジックやフィット条件等に依存します。
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります。
- 3) ブロックメモリの消費リソース数は送信データ・バッファ 64K バイト、送信パケットバッファ 16K バイト、受信データバッファ 64K バイト時の値となります。バッファ容量の最小設定はそれぞれ 4K バイト、2K バイト、2K バイトです。

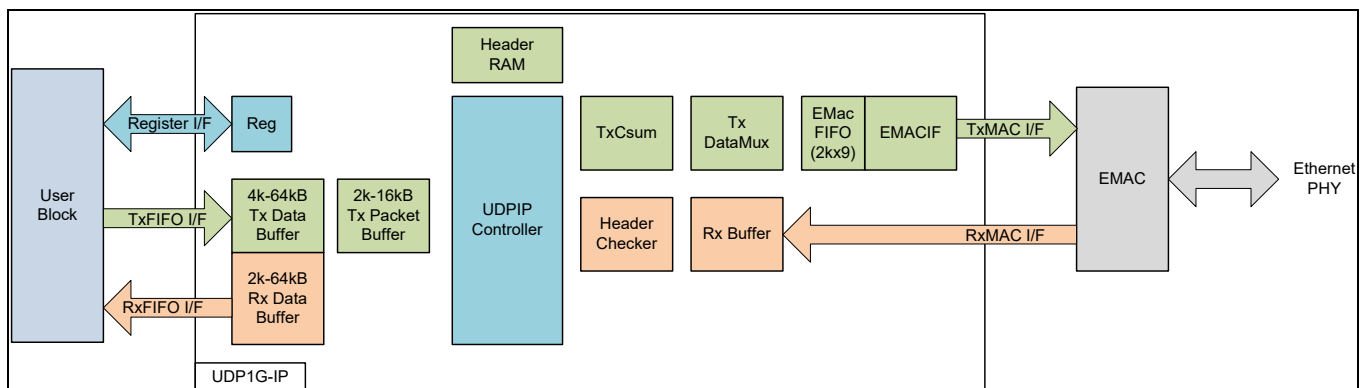


図1：UDP1G-IP コア内部ブロック図

## アプリケーション情報

UDP1G-IP コアは UDP/IP プロトコルを使ったネットワーク・アプリケーションにおいて高速でのデータ転送を可能とする機能を提供します。本コアを使うことで、ユーザは CPU を使わずにハードワイヤード・ロジックのみで UDP/IP プロトコルによるデータ転送を可能とします。

## コア概要

本コアは Xilinx 製 EMAC IP コア (EF-DI-TEMAC) と組み合わせることで UDP/IP スタック、トランスポート層、インターネット層、リンク層として機能します。本コアを使ったシステムと外部 PHY チップにより、UDP/IP プロトコルにてネットワークのどのようなデバイスともデータ転送を実行できます。

コアは 3 種類のユーザ・インターフェイスがあり、一つは制御用レジスタ・アクセスのインターフェイスで、他の二つは送信と受信の FIFO インターフェイスです。システムの初期化時に、ユーザはパケット・サイズ、ポート番号、IP 番号等をレジスタ・インターフェイスを介して設定する必要があります。そしてコマンド指示により送信データ・バッファから外部ネットワーク・デバイスへのデータ送信を実行します。また、外部デバイスからの受信データは UDP1G-IP コアの受信データ・バッファに格納されます。

UDP1G-IP コアの 3 種類のバッファ (送信データ・バッファ、送信パケット・バッファ、受信データ・バッファ) は IP コアのパラメタライズで設定が可能です。ブロック RAM 消費リソースとパフォーマンスをユーザ・アプリケーションに対して最適化できます。送信パケット・バッファは必ず送信パケット・サイズよりも大きく設定する必要があり、送信データ・バッファは送信パケット・バッファより少なくとも 2 倍のサイズとする必要があります。また、受信データ・バッファは受信パケット・サイズの 2 倍以上に設定する必要があります。

データの送信時は、送信データ・バッファからのデータはパケット・サイズに分割され送信パケット・バッファに転送されます。レジスタで設定されたパラメータはパケットのヘッダ作成に使われヘッダ RAM 内に格納されます。送信パケット・バッファからの送信データは MAC へ出力される前にコア内部にてヘッダ RAM のヘッダ・データと結合し UDP パケットが生成されます。UDP および IP チェックサムはコア内で自動計算されます。レジスタ内のビジー・フラグはユーザによって予め設定された転送サイズ分のデータ転送が完了するとクリアされます。ユーザ回路はこのビジー・フラグをモニタすることで転送状態が把握できます。

データの受信時には受信パケットはまずテンポラリ・バッファに一旦格納されます。そして受信パケット内のヘッダとチェックサムが精査され、ヘッダ内容やチェックサムにエラーがあった場合はそのパケットは破棄されるので受信データ・バッファには格納されません。従って有効なデータのみが選別され受信データ・バッファに格納されることとなります。

## コアの機能ブロック

本 UDP-1GIP コアは、制御ブロック、送信ブロック、受信ブロックの 3 ブロックに分かれています。

### 制御ブロック

- レジスタ

ユーザ回路は UDP/IP オペレーションに関するパラメータをレジスタ・インタフェースにより設定できます。レジスタ・アドレスは全 4 ビットです。それぞれのレジスタのアドレス・マッピングを表 2 に示します。RST レジスタによるリセットが解除されると、各パラメータを設定したレジスタを初期値として動作が開始されます。

- UDPIP コントローラ

リセットが解除されると IP コアは ARP 要求を送信し ARP 応答情報から通信ターゲットの MAC アドレスを取得します、その後コアはユーザからの外部デバイスへのデータ転送開始指示を待ちます。

表 2: レジスタ・マップ定義

アドレス [3:0]	レジスタ名	方向	ビット	説明
0000b	RST	Wr /Rd	[0]	IP リセット。'1'でリセットし'0'でリセットを解除する。初期状態は'1'(リセット状態)で、ユーザ回路が動作に必要な全パラメータをレジスタにセットしてから本レジスタに'0'を書き込むことでコアの動作が開始する。ユーザ回路が SML, SMH, DIP, SIP, DPN, SPN レジスタの値を変更する必要がある場合、本レジスタを一旦'1'としコアをリセット状態に移行させてから変更しなくてはならない。
0001b	CMD	Wr	[0]	'1'でデータ送信開始 本レジスタによってデータ送信を指示する前に、ユーザ回路は Busy 信号または本レジスタの bit[0]をリードしチェックしてコアが動作中でないことを確認しなくてはならない。
		Rd	[0]	システム・ビジー・フラグ。'0': アイドル状態、'1': ビジー状態、Busy 出力信号と同一
0010b	SML	Wr /Rd	[31:0]	コアの MAC アドレスの下位 32bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0011b	SMH	Wr /Rd	[15:0]	コアの MAC アドレスの上位 16bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0100b	DIP	Wr /Rd	[31:0]	ターゲット側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0101b	SIP	Wr /Rd	[31:0]	本システム側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0110b	DPN	Wr /Rd	[31:0]	[15:0] IP コアからの送信にて送信先ターゲット側のポート番号を 16bit で指定する。 [31:16] IP コアへの受信にて受信元ターゲット側のポート番号を 16bit で指定する。 RST レジスタをクリアする前に本レジスタでポート番号を指定する必要がある。
0111b	SPN	Wr /Rd	[15:0]	本システム側のポート番号を 16bit で指定する。RST レジスタをクリアする前に本レジスタで自身のポート番号を指定する必要がある。
1000b	TDL	Wr	[31:0]	送信データ数をバイト単位で指定する。有効な値は 1~0xFFFFFFFF。CMD レジスタで送信開始を指示する前に本レジスタで送信データ数をセットする必要がある。ユーザが本レジスタでセットした送信データ数はコア内部ロジックでラッチされるため、現在送信中であっても、次の送信のデータ数をセットしておくことが可能である。また、次の送信でも再度同じ送信データ数である場合は本レジスタに再セットする必要はない。
		Rd	[31:0]	まだ送信されていない残りデータ数をバイト単位で表示する。

表 2: レジスタ・マップ(続き)

アドレス [3:0]	レジスタ名	方向	ビット	説明
1001b	TMO	Wr	[31:0]	全てのコマンドにて、受信パケットの待ち時間タイムアウト値を設定する。本レジスタは125MHzのカウンタで動作するためタイマ設定値は8nsの単位で指定する。本レジスタ値は0x6000以上の値としなくてはならない。
		Rd		各タイムアウト等のステータス、それぞれのビット定義は以下の通り [0] ARPで返信パケットをタイムアウト時間内に受信しなかった [8] 受信データ・バッファが一杯のため受信パケットを受け損ねた [9] 受信パケットのチェックサムが間違えていたため受信パケットを破棄した [10] MacRxUserエラーが検出されたため受信パケットを破棄した
1010b	PKL	Wr /Rd	[15:0]	バイト単位で指定する送信パケットのデータ長。1~16000の範囲で指定する必要がある。デフォルト値は1472バイト(非ジャンボ・フレームの最大サイズ)この値はデータ転送(Busyフラグ=1)中に変更してはならない。次の転送でも同じパケット・サイズの場合、コア内部で前の値は保持されているのでユーザ回路は本レジスタを再度セットする必要はない。

## 注意:

1. ターゲットのMACアドレスはARPの返信パケットにてコアが自動検出・設定するためユーザ回路側でのパラメータを設定する必要はありません。

表 3: 各バッファ(TxBuf/TxPac/RxBufBitWidth)の容量パラメータ

有効なビット幅	バッファ容量	送信データ・バッファ有効ビット幅	送信パケット・バッファ有効ビット幅	受信データ・バッファ有効ビット幅
11	2kByte	No	Valid	Valid
12	4kByte	Valid	Valid	Valid
13	8kByte	Valid	Valid	Valid
14	16kByte	Valid	Valid	Valid
15	32kByte	Valid	No	Valid
16	64kByte	Valid	No	Valid

## 送信ブロック

### • 送信データ・バッファ (Tx Data Buffer)

このデータ・バッファの容量は IP コアの "TxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 12(4K バイト)~16(64K バイト)です。このバッファ・サイズは PKL レジスタで設定する送信パケット・サイズの少なくとも 2 倍かそれ以上のサイズとする必要があります。送信時は本送信データ・バッファから送信パケット・バッファへ 1 パケット分のデータを転送すると同時にユーザ回路から次のパケット用のデータを受信します。MAC へパケットが出力されると本バッファ内のデータはフラッシュされます。このため現在パケットの送信と次パケットの準備を同時に行うためにパケット・サイズの 2 倍の容量が必要です。このバッファ・サイズを 2 倍より大きくすることによりコア内でのユーザ回路からのデータ・フロー制御に貢献します。バッファ内に多数のデータを貯めることで IP コアからのデータ送信中にユーザ回路は他の処理を実行できます。

### • 送信パケット・バッファ (Tx Packet Buffer)

このバッファの容量は IP コアの "TxPacBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 11(2K バイト)~14(16K バイト)です。このバッファ・サイズは PKL レジスタで設定する送信パケット・サイズと同じかそれ以上とする必要があり、送信データ・バッファからの 1 パケット分のデータを格納します。送信パケット・バッファ内のデータは MAC のデータ受信準備が完了するまで保持されます。MAC が長時間データ受信レディとならない場合本バッファは最大 2 データ・パケット分のデータを保持します。このため本バッファにて 2 パケット分以上の残リスペースは使われません。

### • ヘッダ RAM (Header RAM)

この RAM には送信パケットのヘッダ部を格納します。ユーザ回路から RST レジスタによるリセット解除でヘッダ RAM 内のパラメータは更新されます。いくつかのパラメータは ARP 応答によって更新されます。

### • 送信チェックサム (TxCsum)

送信パケットが送出される前に本モジュールによりチェックサムが計算されます

### • 送信データ・マルチプレクサ (TxDataMux)

本モジュールによりヘッダ RAM と送信データ・バッファ内のデータが結合されイーサネット MAC を介して外部に送出されます。

### • EMACIF および EMacFIFO

EMAC への送信データのフロー制御用として 2Kx9bit の FIFO が EMacFIFO として使われます。

## 受信ブロック

- **受信バッファ (Rx Buffer)**

このバッファはヘッダ・チェックで処理される前のイーサネット MAC からの全ての受信パケットを一時的に保持します。

- **ヘッダ・チェッカ (Header Checker)**

受信パケット内のヘッダをチェックしユーザ回路からの設定値と比較します。ヘッダの内容が設定パラメータと適合しなかった場合やチェックサムがエラーであった場合は該当するパケットは破棄されます。適合した場合、UDP データのみが分離され受信データ・バッファに転送されます。

- **受信データ・バッファ (Rx Data Buffer)**

このバッファの容量は IP コアの "RxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 11(2K バイト)~16(64K バイト)です。このバッファはユーザ・ロジックと UDP1G-IP コア間に配置されます。このバッファが一杯の場合、新たに受信したパケットは無視(ロス)します。このため、新たなパケット受信と前パケットのユーザ回路への転送を同時に実行する場合、少なくとも受信パケット・サイズの 2 倍の容量が必要です。

## ユーザ回路

ユーザ回路はレジスタ I/F を通してパラメータの設定やコア状態のモニタを行い、また、送信 FIFO I/F を介した送信データの書き込みや受信 FIFO I/F を介して受信データの読み出しを行います。ユーザ回路はシンプルなハードウェア・ロジックで実装できるので、MicroBlaze などのプロセッサを使わずにシステムを構築することが可能です。

## EMAC

EMAC は Xilinx 社の標準 MAC-IP コア(EF-DI-TEMAC)と直結できるよう設計されています。より詳細については以下の Xilinx 社サイトを参照してください

URL: <https://japan.xilinx.com/products/intellectual-property/temac.html>

## コアの I/O 信号

コアのパラメータを表 4 に、全 I/O 信号を表 5 で説明します。MAC インターフェイスは Xilinx 製 TEMAC ポートと直結できます。

表 4: コアのパラメータ

ジェネリック名	設定範囲	説明
TxBufBitWidth	12-16	送信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 12 の場合 4K バイト、16 の場合 64K バイトとなります。
TxPacBitWidth	11-14	送信パケット・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、14 の場合 16K バイトとなります。
RxBufBitWidth	11-16	受信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、16 の場合 64K バイトとなります。

表 5: コアの I/O 信号

信号名	方向	クロック	説明
<b>共通 I/F 信号</b>			
RstB	In		IP コアのリセット: ロウ・アクティブ信号である。
Clk	In		125MHz 固定のユーザ I/F および MAC 通信 I/F 用クロック。
<b>ユーザ I/F</b>			
RegAddr[3:0]	In	Clk	レジスタの 4bit アドレスバス
RegWrData[31:0]	In	Clk	ライト・レジスタの 32bit 書き込みデータ・バス
RegWrEn	In	Clk	レジスタのライト・イネーブル、アドレスおよびデータに有効な値をセットし本信号にパルスを与えることで書き込みを実行する。
RegRdData[31:0]	Out	Clk	レジスタの 32bit 読み出しデータ・バス、レジスタアドレスをセットしてから1クロックのレイテンシ後に有効なリード・データが本バス上に現れる。
Busy	Out	Clk	コアのビジー状態('0':アイドル状態、'1'コアは初期化中またはビジー状態)。
IntOut	Out	Clk	タイムアウト発生または受信パケットの破棄時に本信号が 1 クロック期間分 H アサートされる。ユーザ回路は TMO[6:0]レジスタで割り込み要因を確認することができる。
<b>送信 FIFO I/F</b>			
UDPTxFfFull	Out	Clk	コアの送信データ・バッファの Full フラグ。ユーザ回路は本信号が H アサートされてから 4 クロック期間以内に送信データの書き込みを停止しなくてはならない。
UDPTxFfWrEn	In	Clk	送信データ・バッファのライト・イネーブル。送信データを書き込む際にアサートする。
UDPTxFfWrData[7:0]	In	Clk	送信データ・バッファの 32bit 書き込みデータ・バス、UDPTxFfWrEn に同期する。
<b>受信 FIFO I/F</b>			
UDPRxFfRdCnt[15:0]	Out	Clk	受信データ・バッファ内の受信データ総量を示す FIFO データ・カウンタ
UDPRxFfRdEmpty	Out	Clk	受信データ・バッファの FIFOEmpty フラグ。ユーザ回路は本信号が H アサートされたら直ちにデータの読み出しを停止しなくてはならない。
UDPRxFfRdEn	In	Clk	受信データ・バッファの読み出しイネーブル。受信データを読み出す際にアサートする。
UDPRxFfRdData[7:0]	Out	Clk	受信データ・バッファの 32bit 読み出しデータ・バス、UDPRxFfRdEn をアサートしてから1クロック期間のレイテンシ後に有効なリードデータが出力される。



※ MAC I/F は Xilinx 社の標準 MAC-IP コア(EF-DI-TEMAC)と直結する I/F となります。

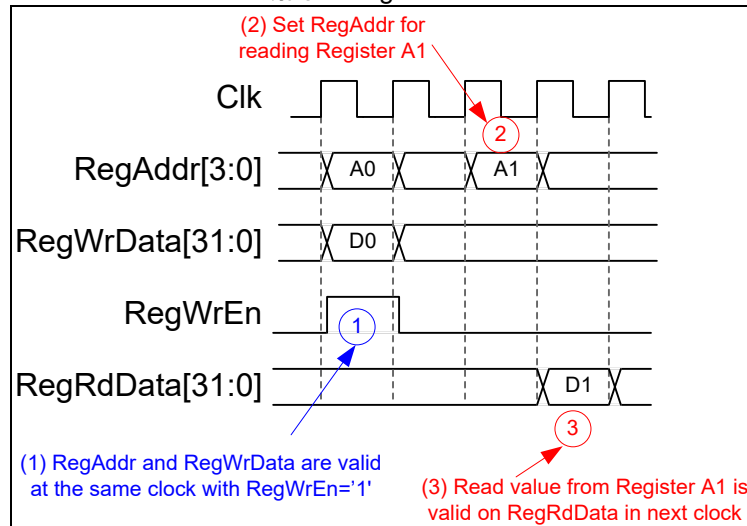
信号名	方向	クロック/メイン	説明
<b>MAC I/F 信号</b>			
MacRxClk	In		受信クロック
MacRxReset	In		ハイ・アクティブの受信ソフトウェア・リセット、この信号は使われない。
MacRxData[7:0]	In	MacRxClk	受信データ・バス
MacRxValid	In	MacRxClk	受信データ有効信号、MacRxData 信号に同期する
MacRxLast	In	MacRxClk	受信フレーム最終バイトであることを示す信号
MacRxUser	In	MacRxClk	受信フレームの最後にてそのフレームにエラーが含まれているかを示す信号 '0':正常フレーム、'1':エラー・パケット
MacTxReset	In		ハイ・アクティブの送信ソフトウェア・リセット、この信号は使われない。
MacTxData[7:0]	Out	Clk	送信データ・バス
MacTxValid	Out	Clk	送信データ有効信号、MacTxData 信号に同期する
MacTxLast	Out	Clk	送信フレーム最終バイトであることを示す信号
MacTxUser	Out	Clk	エラー状態を示す制御信号、この信号は'0'固定で出力される
MacTxReady	In	Clk	ハンドシェーク信号 MacTxData が MAC に受け入れられたことを示す



## タイミング・チャート

### レジスタ・インターフェイス

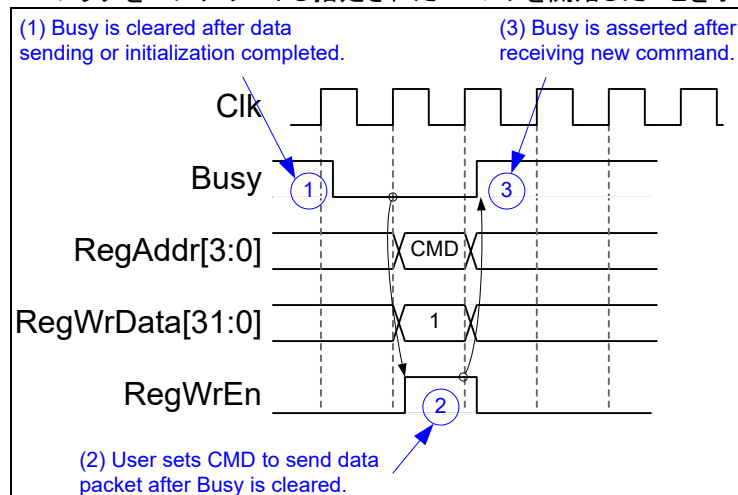
ユーザ回路からの UDP1G-IP コア内部コアへのリード・ライト・アクセスは図 2 に示すタイミングにより実行します。アクセス先レジスタのアドレスマップは表 2 で示されます。レジスタへの書込みは RegAddr と RegWrData にそれぞれ有効なライト先のアドレスとデータをセットし 1 クロック期間 RegWrEn='1' とします。レジスタからの読み出しの際は、有効な RegAddr がコアに与えられた次のクロック期間に RegRdData にリードデータが出力されます。



- (1) RegAddr と RegWrData は RegWrEn='1' と同じクロック期間で有効とする必要がある
- (2) 読み出し先アドレス A1 を RegAddr にセットする
- (3) レジスタ A1 のリード値は次のクロック期間で RegRdData に出力される

図 2: レジスタ I/F のタイミング・チャート

ユーザ回路は CMD レジスタをセットする前にコアの Busy ピンをモニタするかあるいは CMD レジスタの bit0 をリードすることでビジー・フラグがアサートされていないことを確認する必要があります。CMD レジスタをセットしコマンドを発行すると、図 3 に示すようにコアはビジー・フラグを '1' にアサートし指定されたコマンドを開始したことを示します。

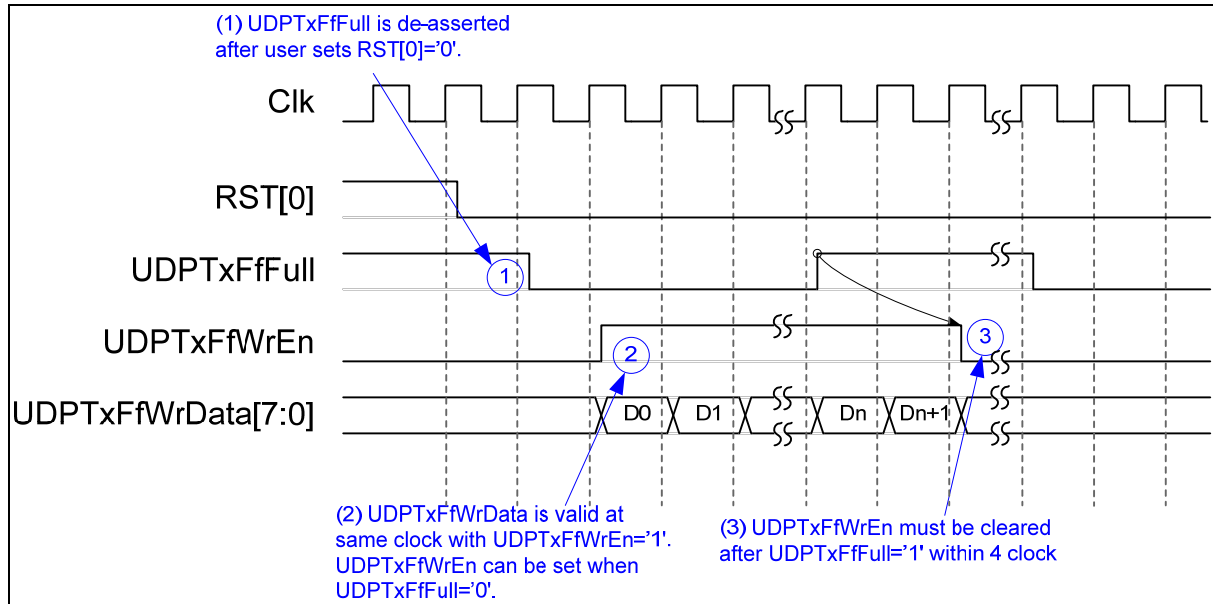


- (1) Busy はコアの初期化完了または前コマンドの完了後にクリアされる
- (2) ユーザ回路は Busy が '0' であることを確認してから CMD レジスタを書き込む
- (3) IP コアがコマンド指示を認識すると Busy をアサートする

図 3: Busy がクリアされた状態からのコマンド発行

**送信 FIFO インターフェイス**

ユーザ回路は IP コアに対して図 4 に示すように FIFO インターフェイスでデータを送信できます。データを送る前にユーザ回路は FIFO のフル・フラグ (UDPTxFfFull) をチェックしそれが '1' にアサートされていないことを確認する必要があります。そして書き込みデータの UDPTxFfWrData に同期して書き込みイネーブル信号の UDPTxFfWrEn='1' とします。UDPTxFfFull が '1' となった場合、4 クロック以内に UDPTxFfWrEn による書き込み動作を停止しなくてはなりません。また IP コアがリセット状態の場合も UDPTxFfFull はアサートされ、FIFO 内の全データはフラッシュされます。

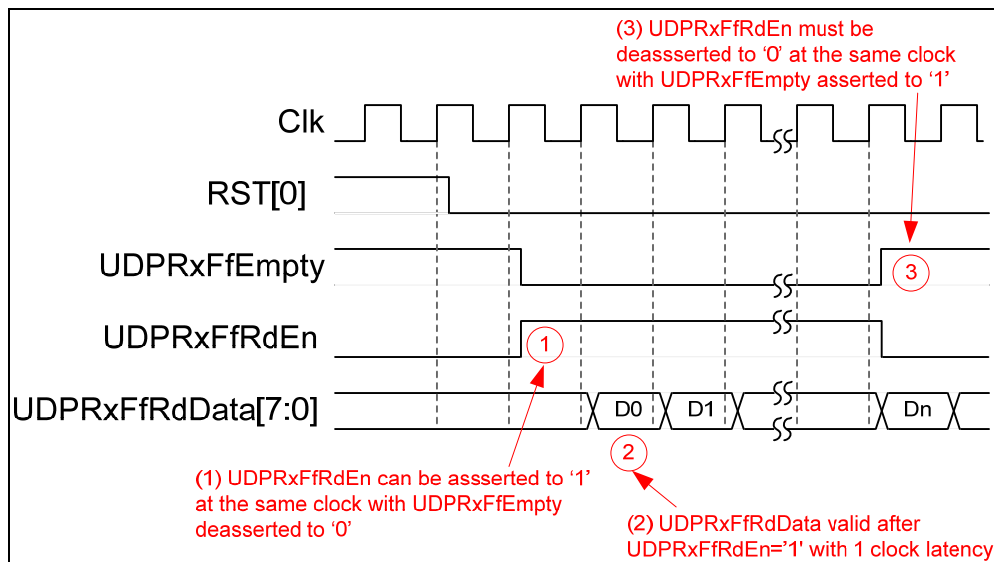


- (1) UDPTxFfFull はユーザ回路から RST[0]='0' とクリアされた後にネゲートされ FIFO データ書き込みが可能となる
- (2) UDPTxFfFull='0' である場合 UDPTxFfWrEn='1' とすることで UDPTxFfWrData を書き込むことができる
- (3) UDPTxFfFull='1' となった場合4クロック以内に UDPTxFfWrEn による書き込み動作を停止しなくてはならない

**図 4: 送信データ・バッファ I/F のタイミング・チャート**

### 受信 FIFO インターフェイス

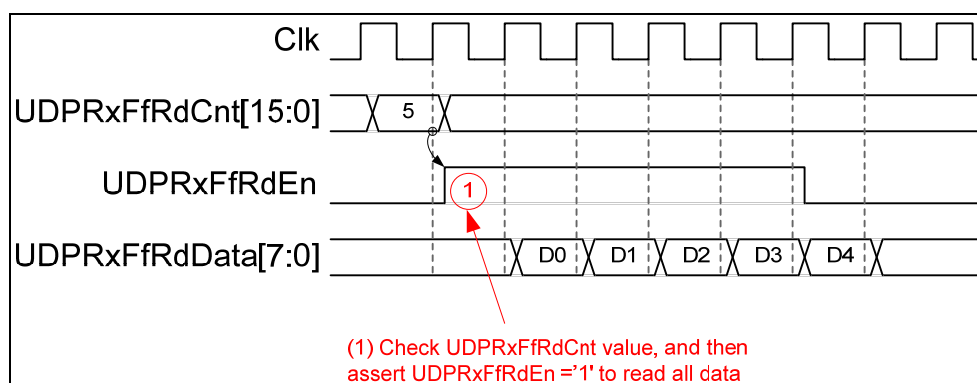
UDP1G-IP コアが外部からデータを受信した場合、受信データ・バッファに格納されます。ユーザ回路は図 5 に示すように FIFO インターフェイスでデータを読み出すことができます。ユーザ回路は UDPRxFfEmpty 信号をチェックすることで受信データの格納状態が把握でき、また UDPRxFfEmpty が '0' でない場合に UDPRxFfRdEn をアサートしてその次クロック期間に UDPRxFfRdData で受信データを読み出します。UDPRxFfEmpty が '1' となった場合その同一クロック期間内で UDPRxFfRdEn を '0' にネゲートしデータの読み出しを停止しなくてはなりません。送信データ・バッファと同じように受信データ・バッファも IP コアがリセットされると FIFO 内部データをフラッシュします。またコアがリセット中は UDPRxFfEmpty は '1' にアサートされます。



- (1) UDPRxFfRdEn は UDPRxFfEmpty が '0' にネゲートしている同一クロック期間中 '1' にアサートできる
- (2) UDPRxFfRdData は UDPRxFfRdEn が '1' にアサートされた次のクロック期間に出力される
- (3) UDPRxFfEmpty が '1' にアサートされた場合その同一クロック期間に UDPRxFfRdEn をネゲートする必要がある

図 5: 受信データ・バッファ I/F のエンプティ・フラグについてのタイミング・チャート

受信データ・バッファの状態は UDPRxFfRdCnt をモニターすることでも確認できます。この信号は受信データ・バッファに格納されている全データ数を示します。従って図 6 に示すように総受信データ数と同じ期間 UDPRxFfRdEn を '1' にアサートすることで、全受信データを読み出すことができます。

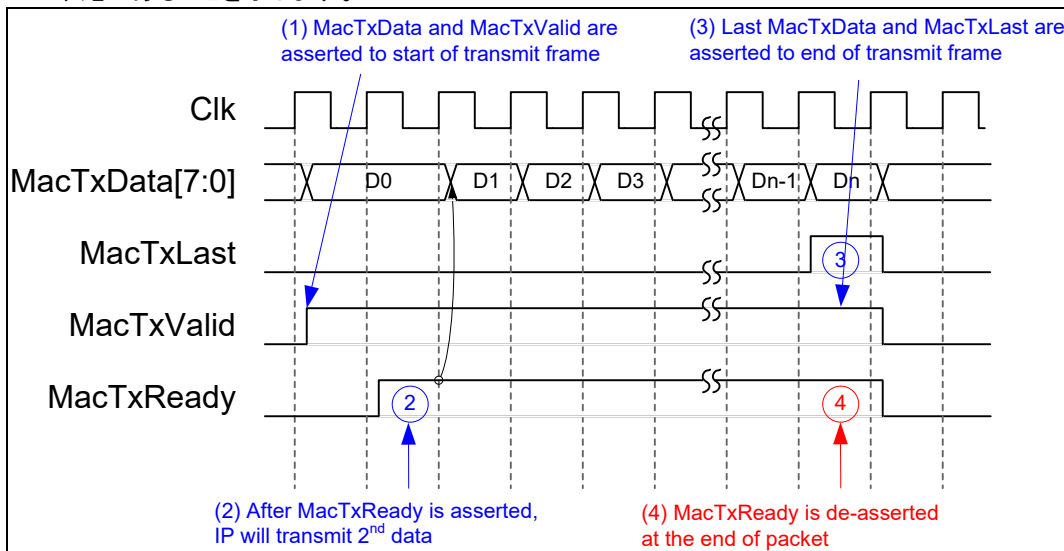


- (1) UDPRxFfRdCnt の値を確認し UDPRxFfRdEn をリード・カウンタ分 '1' にアサートする

図 6: 受信データ・バッファ I/F のリード・カウンタについてのタイミング・チャート

### EMAC インターフェイス

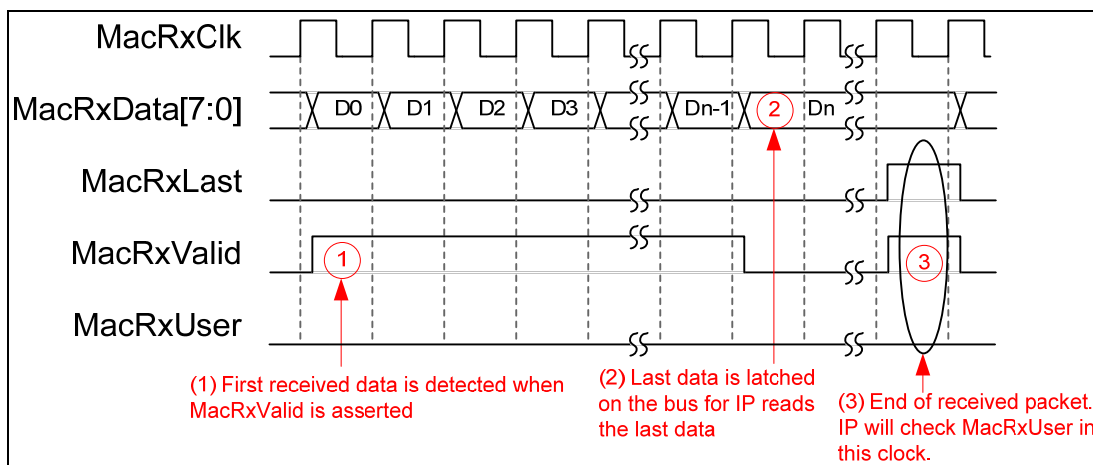
EMAC インターフェイスは Xilinx 製 TEMAC IP コアと互換性があります。図 7 に示すように、UDP1G-IP コアがパケットを送信する場合パケットの先頭データに合わせて MacTxValid をアサートします。EMAC からの MacTxReady 出力がアサートしデータの転送要求が確認されるまで送信データと MacTxValid は保持されます。MacTxReady はパケット送信完了まで '1' にアサートされます。最後の送信データで MacTxlast と MacTxValid の両方が '1' アサートされ、パケットの末尾であることを示します。



- (1) MacTxData と MacTxValid がアサートされ送信フレームが開始する
- (2) MacTxReady がアサートされると IP コアは 2 番目のデータを送信する
- (3) 転送フレームの末尾で最後の MacTxData と MacTxLast がアサートされる
- (4) MacTxReady はパケットの最後でネゲートする

図 7: EMAC インターフェイスの送信タイミング・チャート

受信側のタイミング・チャートを図 8 に示します。UDP1G-IP コアは MacRxValid が '0' から '1' に遷移する受信フレームの開始をモニタします。MacRxData は MacRxlast がアサートされパケットの末尾となるまで連続して受信されます。最後の MacRxData(Dn)は一つ前のデータとなる Dn-1 の次でサンプルしますがそれは UDP1G-IP コアは D0 ~ Dn まで連続してリードするためです。MacRxlast は MacRxUser 信号が有効であることを確認するために使われます。



- (1) MacRxValid がアサートされ先頭受信データを検出する
- (2) IP コアが最終データをリードするためバス上の信号がラッチされる
- (3) 受信パケットの末尾のクロックで IP コアは MacRxUser をチェックする

図 8: EMAC インターフェイスの受信タイミング・チャート

## コアの検証方法

本 UDP1G-IP コア製品には Xilinx 純正の評価ボードで実機動作する Vivado リファレンス・デザイン・プロジェクトが同梱されているため、実ボードでの動作確認が可能です。また、ドキュメントで示されていない細かい信号タイミング等については、リファレンス・デザインに ChipScope を追加して実機動作させることで、実波形を観測・確認することが可能です。

## 必要とされる環境と設計スキルについて

本コアの実機動作確認やデザイン・ゲートウェイ社へのサポート依頼には Xilinx 純正の評価ボードが必要となるため、ユーザ側でコア購入時に手配してください。また、Xilinx 社の MAC-IP コア(EF-DI-TEMAC)も別途必要となりますのでご注意ください。

本コアを使ってユーザ・システムを設計・実装するためには、HDL 言語設計技術・UDP プロトコル知識および Vivado ツールによるデザイン実装経験を必要とします。

## 注文情報

本製品は Xilinx 代理店から、あるいはデザイン・ゲートウェイ社から直接購入することが可能です。また、デバイス・ファミリに応じて現在以下のコアのラインナップが用意されています。それ以外のファミリに対応した UDP1G-IP コアにつきましては DesignGateway 社までお問い合わせください。

表 6: コアのラインナップ

コア型番	対応ファミリ	Vivado 環境	検証用評価ボード	説明
UDP1G-IP-AT7	Artix-7	Vivado2014.4 又はそれ以降	AC701	Artix-7 対応 UDP1G-IP コア
UDP1G-IP-KT7	Kintex-7	Vivado2014.4 又はそれ以降	KC705	Kintex-7 対応 UDP1G-IP コア
UDP1G-IP-VT7	Virtex-7	Vivado2014.4 又はそれ以降	VC707	Virtex-7 対応 UDP1G-IP コア
UDP1G-IP-ZQ7	Zynq-7000	Vivado2014.4 又はそれ以降	ZC706 (注)	Zynq-7000 対応 UDP1G-IP コア

注: ZC706 での UDP1G-IP コア実機評価には、別途 RJ45 を SFP+に変換するアダプタが必要です。ZC706 オンボード搭載の RJ45 コネクタは Zynq 内 ARM コアのプロセッサ・システムと直結しており FPGA 内部ファブリックへの接続リソースがないため、UDP1G-IP コアとは接続できません。従って ZC706 評価には以下のような RJ45 SFP+ 変換アダプタが必要となります。

ZC706 評価用 RJ45 SFP+変換アダプタ例:

メーカー: Finisar  
 型番: FCLF-8520-3  
 入手: DigiKey にて購入可能

## 更新履歴

リビジョン	日時	説明
1.0	Dec-16-2015	New release
1.0J	2016/01/19	日本語初期版を作成
1.1J	2017/03/21	図面/説明文/製品型番の修正・更新
1.2J	2017/05/18	Xilinx EMAC の更新に合わせてコア内の MAC I/F 部を更新