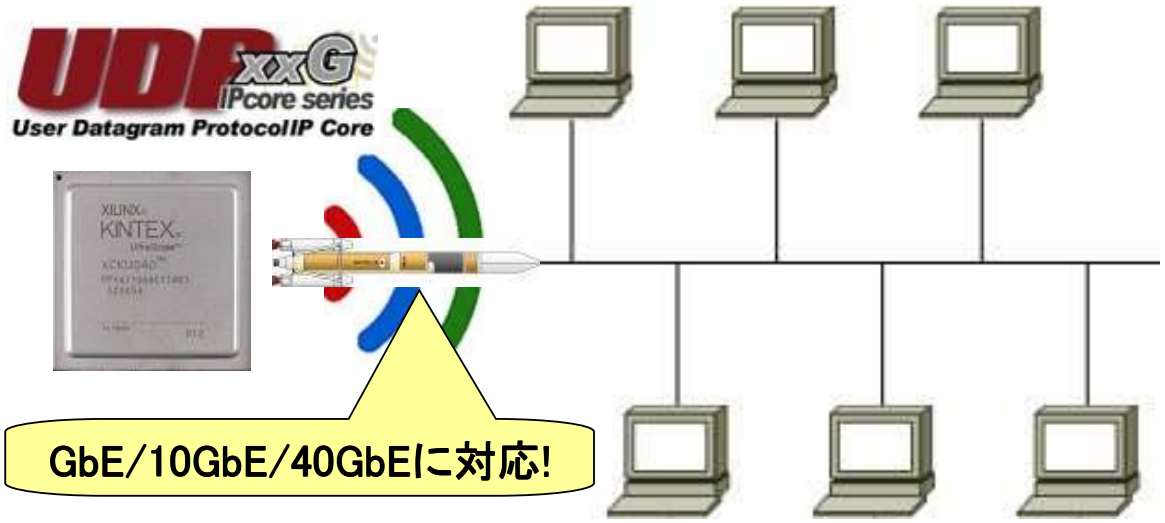
Xilinx版UDPxxG-IPコアのご紹介

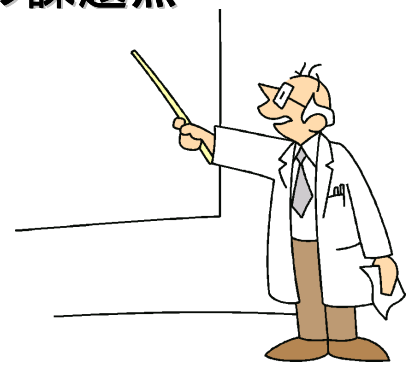
Ver1.0J



純ロジックのIPコアで超高速UDP実装

アジェンダ

- UDPプロトコルの特徴や実装の課題点
- UDPxxG-IPコアの概要
- コアの動作
  - 初期化
  - 高速送信
  - 高速受信
- ユーザI/F・バッファ容量のパラメタライズ
- リファレンス・デザイン
- コア消費リソース・実機パフォーマンス
- アプリケーション例



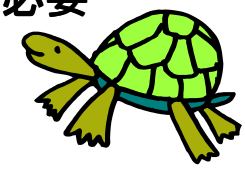
UDPプロトコルの特徴

- 長所
  - 最小のオーバーヘッドにより高速かつ低レイテンシ
  - 1対複数のマルチ/ブロード・キャストが可能
  - 動画配信などリアルタイム重視のアプリに最適
- 短所
  - 受信確認や再送がないので信頼性が保証されない
  - 信頼性維持のためにはアプリ側で対応する必要がある

CPUでのUDP実装課題

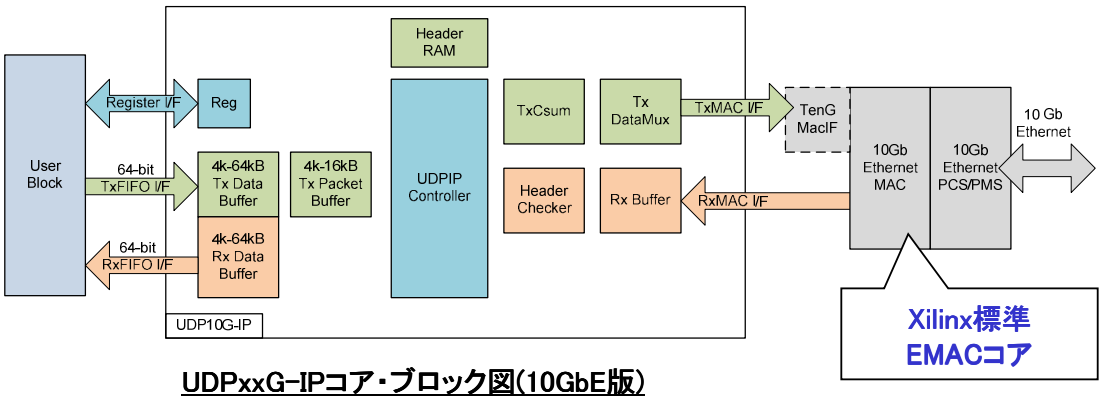
- パフォーマンスやレイテンシに問題
  - チェックサム計算やヘッダ付加処理がファームで必要
  - CPUリソースを消費し他のタスクへ影響
  - ファーム処理なので転送性能が安定しない
- Full Duplexでさらに問題が顕著化
  - 同時送受信の場合CPUが時分割で処理する必要がある
  - 送受信同時ファーム処理により転送性能が更に悪化
  - リアルタイム性が必要なアプリには致命的

⇒UDPxxG-IPがこの問題を解決します！



UDPxxG-IPコアの概要

- 完全ハード・ワイヤード化した純ロジック・コア
- 各ラインレート(GbE/10GbE/40GbE)に対応
- ユーザ回路とXilinx製標準EMACコアの間に挿入
- Full Duplex(送受信同時)通信をサポート



UDPxxG-IPコア・ブロック図(10GbE版)

UDPxxG-IPコアのラインナップ

デバイス・ファミリ	GbE	10GbE	40GbE
Artix-7	UDP1G-IP-AT7		
Kintex-7	UDP1G-IP-KT7	UDP10G-IP-KT7	
Virtex-7	UDP1G-IP-VT7	UDP10G-IP-VT7	
Zynq-7000	UDP1G-IP-ZQ7	UDP10G-IP-ZQ7	
Kintex-UltraScale	対応可(応相談)	UDP10G-IP-KU	UDP40G-IP-KU
Zynq-UltraScale+	対応可(応相談)	対応可(応相談)	UDP40G-IP-ZUP
Virtex-UltraScale+	対応可(応相談)	対応可(応相談)	対応可(応相談)

UDPxxG-IPコア・ラインナップ (2020/1/1時点)

UDPxxG-IPコアの特長1

- UDP送受信処理を完全ロジック・ハードウエア化
  - CPUなしでの組込みシステム実装が可能
  - CPUシステムではCPU負荷がゼロ

- 送信のみ/受信のみ/同時送受信を高速転送
  - ラインレートの90%を超える実パフォーマンス

- 転送データの信頼性が維持できる
  - 送信時:チェックサムを自動計算・ヘッダに付加
  - 受信時:チェックサム結果の不一致でパケット自動破棄

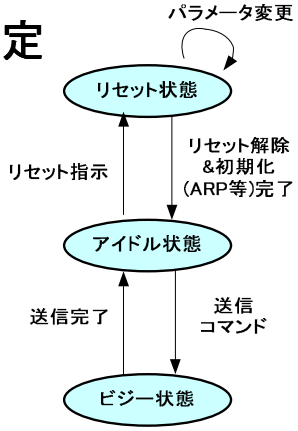
UDPxxG-IPコアの特長2

- データバッファ容量を選択可能
  - FPGAメモリ・リソースとパフォーマンスからユーザが選択
- IPフラグメント受信に対応
  - 正しい順番のIPフラグメント・パケット受信が可能
- 実機動作リファレンス・デザイン
  - Xilinx評価ボードで動作するプロジェクト
  - 購入前に実動作や実パフォーマンスの評価を検証可能
  - 製品のリファレンスはコア以外の全回路をソースで添付

- マルチキャスト/ブロードキャスト送信に対応可能
  - カスタマイズにより複数ターゲットに同時送信

UDPxxG-IPコアの動作概要

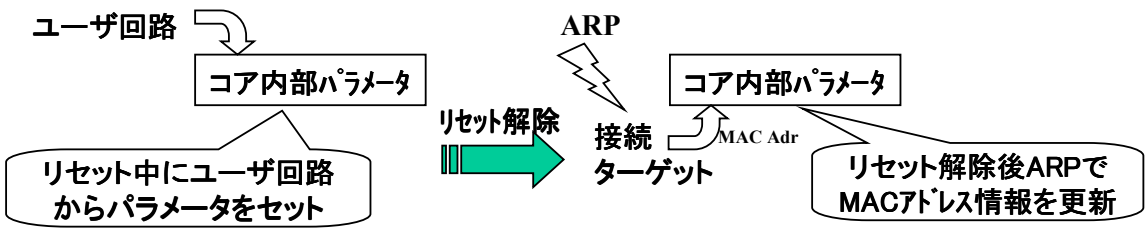
- リセット状態でパラメータ(IP&MACｱﾄﾞﾚｽ等)を設定
- リセット解除で初期化(ARP等)を実行
- 初期化完了でアイドル(コマンド待ち)状態
- ユーザ・コマンドにより送信動作
- 受信は常時可能
  (設定パラメータに合致するパケットは常時受信)
- 送信と受信は独立して動作(同時送受信可)
- パラメータ変更はリセット状態で実施
  (転送長/パケット長はビジー状態以外で変更可)



コアの状態遷移図

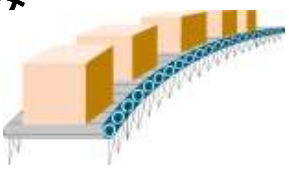
初期化動作

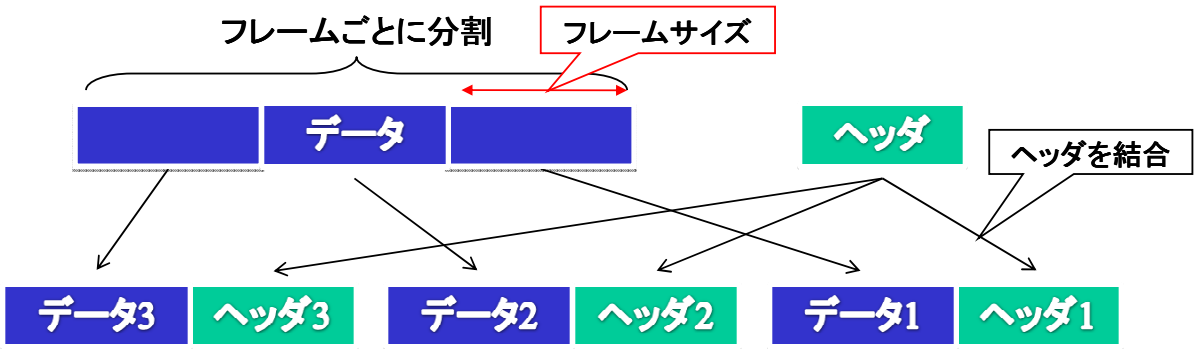
- パラメータの初期値設定
  - コアのリセット維持中にユーザ回路より設定
  - IPおよびMACアドレス・ポート番号を指定
  - 設定を完了するとリセットを解除
- リセット解除後ARP実行で相手側MACアドレス取得
  - クライアントの場合接続ターゲットに対してARPを発行
  - サーバーの場合ARP受信を待機



高速送信

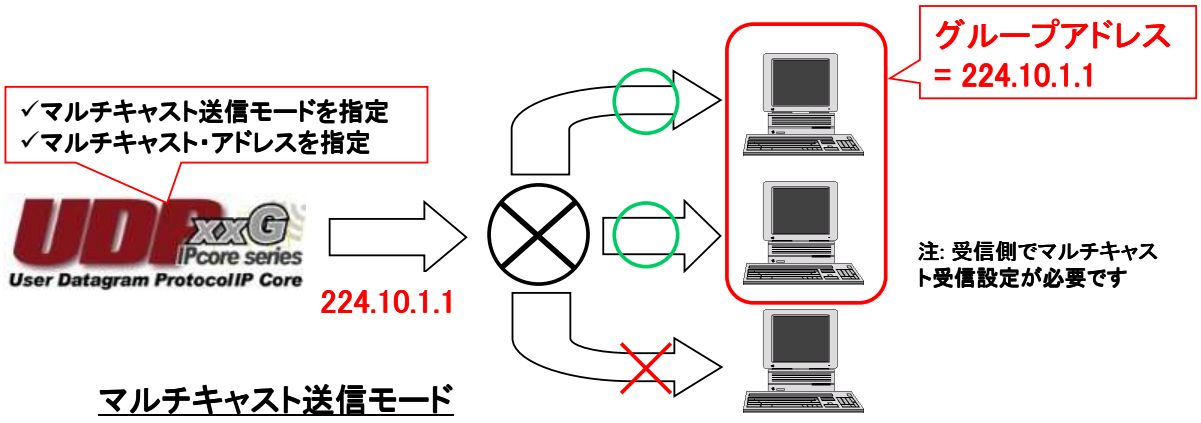
- 送信パケットの生成
  - ユーザ回路は送信データをFIFO I/Fで書込み
  - 送信データをフレームサイズで分割
  - チェックサムを自動計算しヘッダへ付加
  - ヘッダと送信データを結合しEMACへ出力





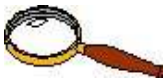
マルチ/ブロードキャスト高速送信(オプション)

- カスタマイズでマルチ/ブロードキャスト送信をサポート
  - コア初期化時のARP自動実行を抑制
  - マルチ(ブロード)キャストIP/MACアドレスをコアに設定



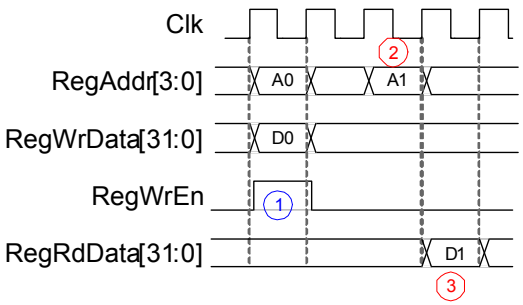
高速受信

- 受信ヘッダのフィルタリング
  - MACヘッダ、IPヘッダ、UDPヘッダの全てを評価
  - 正しい順番のIPフラグメント・パケットを受信
- チェックサムの自動計算と評価
  - 受信パケットからチェックサムをコア内で自動計算
  - 計算結果と受信パケット内チェックサムを評価
  - 不一致の場合パケットを破棄(無視)



ユーザ・インターフェース(制御)

- レジスタI/F、送信FIFO I/F、受信FIFO I/Fの3種類
  - レジスタI/Fは初期パラメータの設定、送信命令
  - 送信データ・受信データ用I/Fは標準的なFIFO I/F

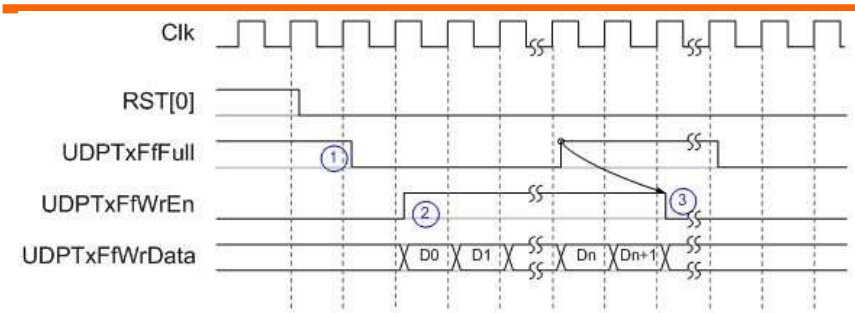


レジスタI/Fのタイムチャート

[レジスタの書込み]
①アドレスとデータを
設定しWrEnで書込み

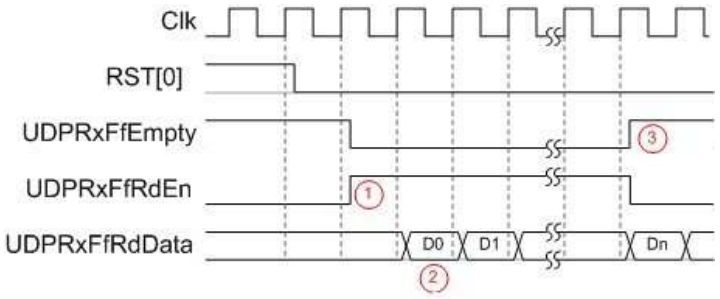
[レジスタの読出し]
②アドレスを与えたる
③次クロックで有効
データが出力

ユーザ・インターフェース(データ)



送信FIFO I/Fのタイムチャート

[送信データの書込み]
①Fullでないことを確認
②データをWrEnで書込み
③Fullになってから4クロック
以内にライト中断



受信FIFO I/Fのタイムチャート

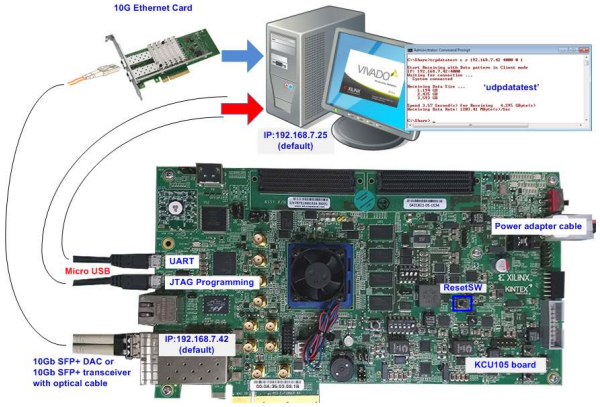
[受信データの読み出し]
①非EmptyでRdEnにて読出し
②次のクロックでデータ出力
③Emptyではリード禁止

データ・バッファ容量の設定

- 3種類のデータ・バッファをパラメタライズで設定可能
  - ① 送信データ・バッファ: 送信パフォーマンスに関係
  - ② 送信パケット・バッファ: 最大送信パケット長に関係
  - ③ 受信データ・バッファ: 受信パフォーマンスに関係
- リソースとパフォーマンスの最適点を調整できる
  - バッファ容量を増やすとパフォーマンスが向上する
  - バッファ容量を減らすとFPGAメモリが節約できる
  - パフォーマンスとメモリ消費量はトレードオフ関係

評価用BITファイル

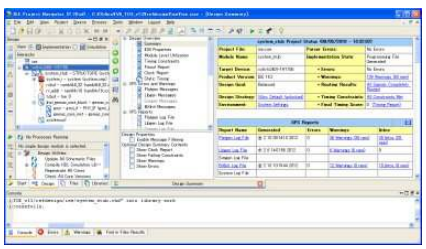
- Xilinx評価ボードで動作するbitファイル
  - PC−評価ボード間(40GbE版は2枚の評価ボード間)での送信/受信の実機評価
  - 転送パフォーマンス測定・データベリファイ確認



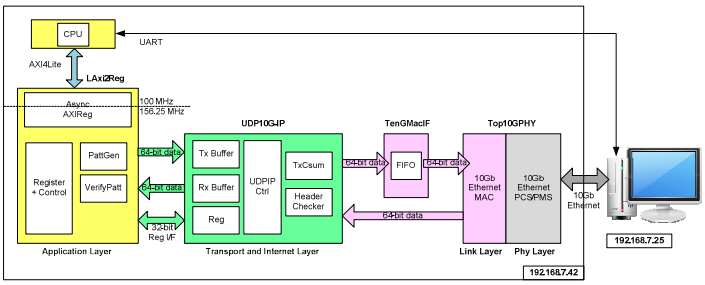
Xilinx評価ボード(KCU105)を使った実機検証環境(10GbE版)

リファレンス・デザイン概要

- 実機動作するVivadoデザイン・プロジェクト
  - 各デバイス・ファミリ標準のXilinx評価ボードで実装
  - 評価用BITファイルのプロジェクトをコア製品に添付
  - コア(ネットリスト)部以外の全回路をソースコードで提供



実動作するVivadoプロジェクト



リファレンス・デザイン・ブロック図

リファレンスと実機評価による開発

- リファレンス+評価ボードによる確実な開発
  - まず最初に製品添付のリファレンスで実機動作を確認
  - そこからユーザ製品に向け少しずつ編集
  - 編集ごとに実機動作をStep by Stepで確認
  - 問題があれば1ステップ前に戻るだけで動く状態にすぐ復帰できる

大きな後戻りがなく確実で短期間での製品開発が可能!

消費リソース

- GbE/10GbE/40GbE版各コアの消費リソース例

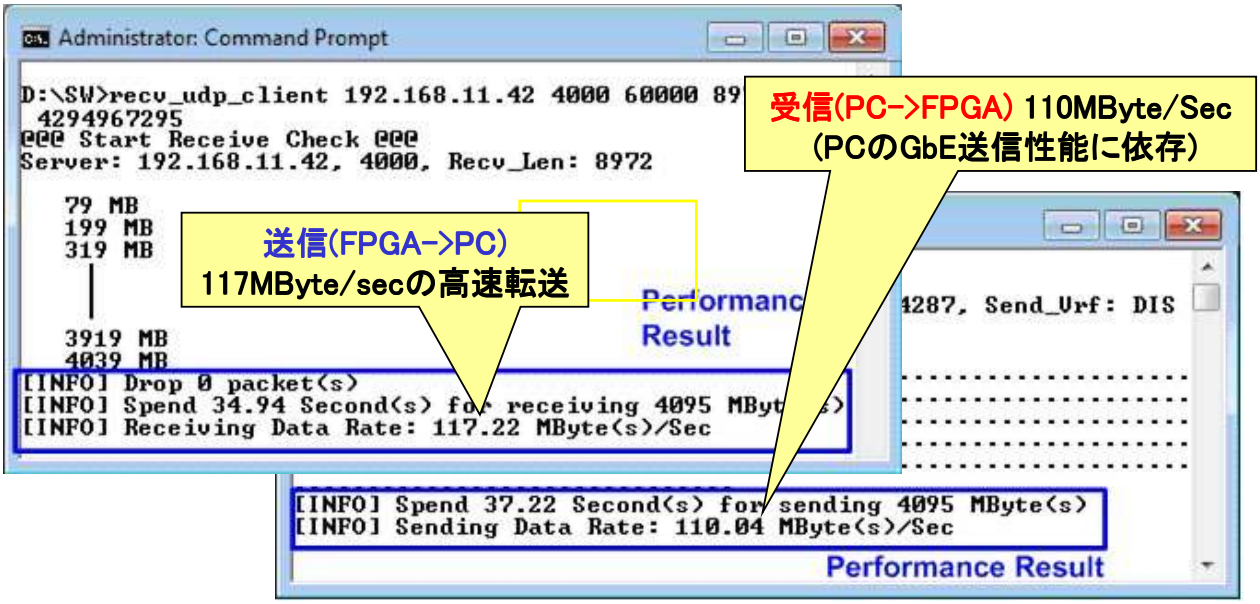
ラインレート(ファミリ)	動作クロック	消費ロジック	(最大)消費メモリ
GbE版(Kintex-7)	125MHz	622 Slices	36.5 BRAM
10GbE版(Kintex-7)	156.25MHz	772 Slices	36 BRAM Tile
10GbE版(Kintex-US)	156.25MHz	455 CLB	34.5 BRAM Tile
40GbE版(Kintex-US)	300MHz	762 CLB	34.5 BRAM Tile

UDPxxG-IPコア単体コンパイル結果

メモリ消費量は送受信とも全バッファを最大に設定した場合です。
バッファ容量を削減すれば内部メモリ消費リソースを節約できます。

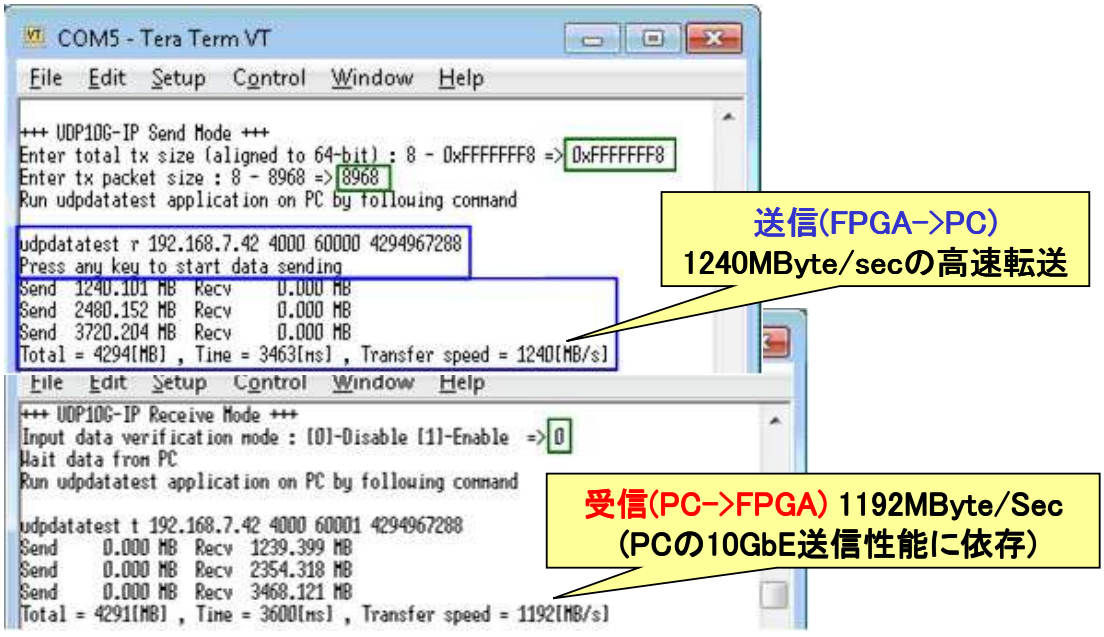
転送パフォーマンス1（GbE版）

- GbE版データ送信/受信での実機パフォーマンス



転送パフォーマンス2（10GbE版）

- 10GbE版データ送信/受信での実機パフォーマンス



転送パフォーマンス3 (40GbE版)

- 40GbE版データ送信/受信での実機パフォーマンス
  (UDP40G-IPコアを実装した2枚のFPGAボード間転送の実測結果)

```
Send 124086 MByte Recv 0 Byte
Send 129049 MByte Recv 0 Byte
Send 134013 MByte Recv 0 Byte
Send data complete

Total tx transfer size = 4294967295 (256-bit)
Total = 137.438[GB] , Time = 27691[ms] , Transfer speed = 4963[MB/s]
```

送信側FPGAでのUDP40G-IPコア
4963MByte/secの高速送信

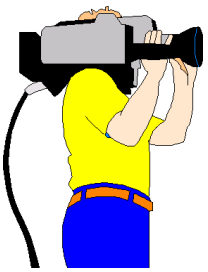
```
Send 0 Byte Recv 125587 MByte
Send 0 Byte Recv 130055 MByte
Send 0 Byte Recv 134522 MByte
Receive data completed

Total rx transfer size = 4294967295 (256-bit)
Total = 137.438[GB] , Time = 27800[ms] , Transfer speed = 4894[MB/s]
```

受信側FPGAでのUDP40G-IPコア
4894MByte/Secの高速受信

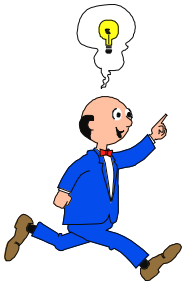
UDPxxG-IPのアプリケーション

- ブロードキャストによる動画配信
  - リアルタイム性重視のストリーム・データ配信
  - 最小のオーバーヘッド/レイテンシが重要
  - 純ロジックによるUDPxxG-IPで最大限のメリット
- リアルタイム性の高いオンライン・ゲーム
  - ゲーム・データとユーザ操作情報の双方向通信
  - ユーザ操作性の維持に低レイテンシが必須
  - 同時双方向に対応するUDPxxG-IPが最適



問い合わせ

- ホームページに詳細な技術資料を用意
  - https://dgway.com/UDP-IP_X.html
- 問い合わせ
  - 株式会社Design Gateway
  - E-mail : info@dgway.com
  - FAX : 050-3588-7915



改版履歴

1.0J	2020/1/8	GbE/10GbE/40GbE統合版の日本語プレゼン初版リリース