



Design Gateway Co.,Ltd

- 本社: 〒184-0012
東京都小金井市中町 3-23-17
- 電話/FAX: 050-3588-7915
- E-mail: sales@dgway.com
- URL: www.dgway.com

特長

- UDP/IP プロトコル・スタックを実装
- IPv4 に対応
- 単一ポート接続
(コアを複数インスタンスすることでマルチ・セッションに対応可)
- ジャンボ・フレームをサポート
- ユーザ回路によるコアの制御は標準レジスタ・インターフェイス
- ユーザ回路とのデータ送受信は 256 ビットの標準 FIFO インターフェイス
- 各送信パケットは 32 バイト(256 ビット)単位で送信 FIFO インターフェイスに対応
- 総受信データ・サイズは 32 バイト(256 ビット)単位にて受信 FIFO インターフェイスに対応
- 送信/受信バッファはリソースとパフォーマンスに合わせて最適化調整が可能
- Xilinx 標準イーサネット MAC コアと 256 ビットの FIFO インターフェイスで接続
- コアの動作クロック周波数は最小 200MHz を推奨
- ZCU102, ZCU106, KCU105 Xilinx 評価ボードによるリファレンス・デザインが提供可能
- IP フラグメントに対応
- 安心の国内サポート

Core Facts

コアの提供情報	
提供ドキュメント	● データ・シート ● リファレンス・デザイン説明書 ● 実機デモ手順書
コア形態	● 暗号化されたネットリスト
検証方法	● 参照デザインによる実機評価
制約ファイル	● 参照デザインで SCF ファイル
デザイン例使用言語	● VHDL
その他	● Xilinx 各種評価ボード用参照デザイン
技術サポート	
デザイン・ゲートウェイ・ジャパンによる日本語の国内サポート	

表 1: コンパイル結果例

Family	Example Device	Fmax (MHz)	CLB Regs	CLB LUTs	CLB ¹	BRAMTile ²	Design Tools
Zynq-Ultrascale+	XCZU9EG-FFVB1156-2	300	4113	3961	714	34.5	Vivado2017.4
Kintex-Ultrascale	XCKU040FFVA1156-2	300	4113	4107	762	34.5	Vivado2017.4

備考:

- 1) 実際のリソース消費カウントはユーザロジックやフィット条件等に依存します。
- 2) ブロックメモリの消費リソース数は送信データ・バッファ 64K バイト、送信パケットバッファ 16K バイト、受信データバッファ 64K バイト時の値となります。各バッファ容量の最小設定は 16K バイトです。

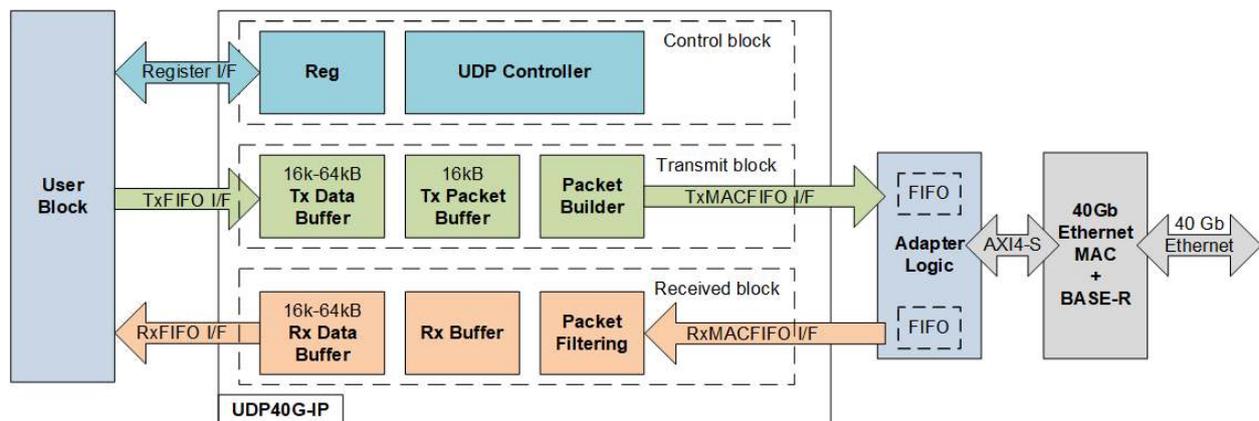


図1: UDP40G-IP コア内部ブロック図

アプリケーション情報

UDP40G-IP コア(以下本 IP コア)は動画データ・ストリーミングのような UDP/IP プロトコルを使ったネットワーク・アプリケーションにおいて高速でのデータ転送を可能とする機能を提供します。本コアを使うことで、ユーザは CPU を使わずにハードワイヤード・ロジックのみで UDP/IP プロトコルによるデータ転送を可能とします。

コア概要

本 IP コアは UDP/IP スタックを内蔵し、追加の接続ロジックを介して Xilinx 製 40GbE EMAC IP コアおよび 40GbE イーサネット PCS/PMA(BASE-R)と接続します。ユーザ回路はシンプルな回路で本 IP コアと接続するにより 40Gb イーサネット・データの送受信が可能となります。

ユーザ・インターフェイスは 2 つのグループに分かれます、すなわちひとつは制御信号でもう一つはデータ信号です。制御信号は一般的なレジスタ・インターフェイスで実装され、データ信号は汎用の 256 ビット FIFO インターフェイスで接続されます。

レジスタ・インターフェイスは IP アドレスやポート番号等のネットワーク・パラメータを設定するために使われます。また、IP コアに対するデータ送信の開始や転送サイズ・パケットサイズなどの転送パラメータを制御するためにも使われます。

システムを初期化するためには、ユーザ回路は本 IP コアに対してレジスタ・インターフェイスを介して必要な全てのパラメータすなわち MAC アドレス、ポート番号、IP アドレスを設定する必要があります。初期化が完了すると本 IP コアは通信相手に対してデータを送信/受信することができます。データ送信の際にはユーザはコマンド・レジスタをセットし IP コアに対して転送完了までデータを転送します。すると本 IP コアは設定されたパラメータを使ってユーザ・データを含む UDP/IP パケットを生成しイーサネット MAC へと転送します。あるいは新たなパケットが受信されそのパケットのヘッダが設定されていたパラメータに合致した場合本 IP コアはデータのみを抽出しユーザ回路へ転送します。

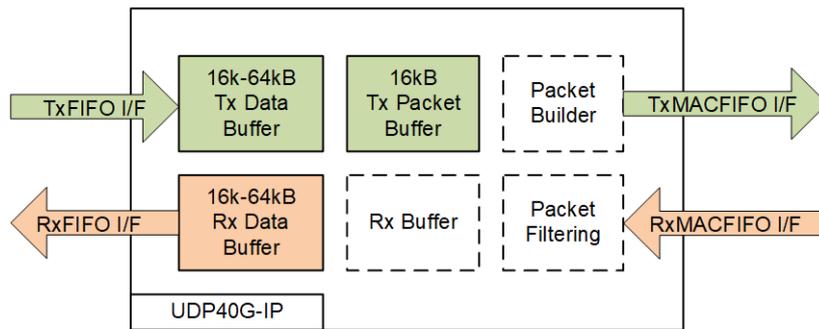


図 2: 送信/受信バッファのサイズは調整可能

転送速度を加速するため本 IP コアには 3 種類のバッファが内蔵されています、すなわち図 2 に示す送信データ・バッファ、送信パケット・バッファ、受信データ・バッファです。このうち送信データ・バッファと受信データ・バッファのサイズは本 IP コアのパラメタライズ変数で選択可能です。送信および受信バッファはユーザ回路がデータの送信または受信準備ができない時点でデータを一時的に溜めるためのバッファです。

最高のパフォーマンスを実現するため送信データ・バッファは送信パケット・サイズの 2 倍あるいはそれ以上の容量を持つ必要があり、受信データ・バッファの最少容量は受信パケット・サイズの 2 倍あるいはそれ以上とする必要があります。本 IP コアでは送信パケット・バッファは最大の UDP/IP パケット・サイズをサポートするため 16K バイトに固定されています。

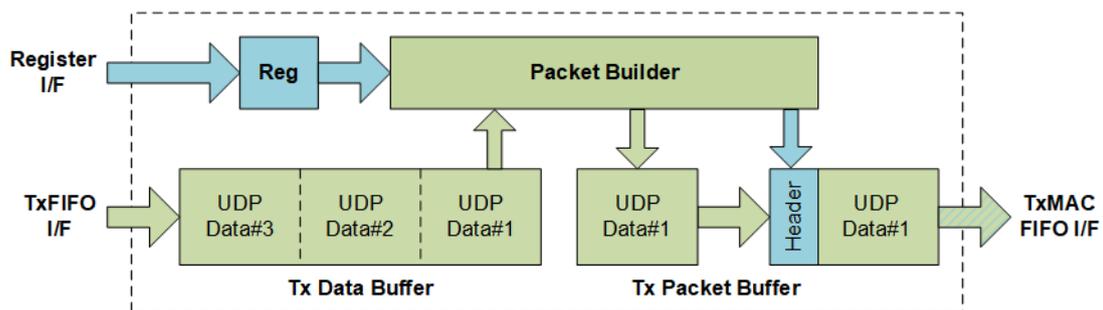


図 3: 送信のデータ・フロー

ユーザ・データから各 UDP/IP パケットを生成するため、送信データ・バッファからの 1 パケット・データが UDP データとして送信パケット・バッファに転送されます。パケット・ビルダではレジスタで設定されたパラメータをもとに UDP ヘッダが作成されます。さらにパケット・ビルダはヘッダ・データから IP チェックサムを算出し UDP データから UDP チェックサムを計算します。それぞれのチェックサムは UDP/IP ヘッダの値として使われます。パケット・ビルダは UDP データに挿入され TxMACFIFO インターフェイスを介して EMAC へと転送されます。

ユーザ回路とインターフェイスをとるため、ユーザ回路がコマンド・レジスタに対してデータ送信指示を出した後ユーザ回路はビジー・フラグをモニタすることで現在の状況を確認できます。本 IP コアのビジー・フラグは全データが接続ターゲットに対して送信完了すると '1' から '0' にネゲートされます。

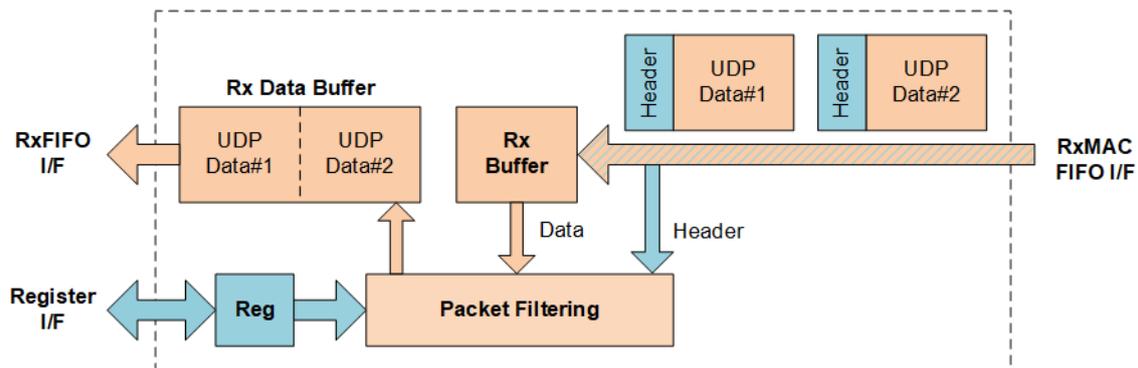


図 4: 受信のデータ・フロー

本 IP コアが RXMACFIFO インターフェイスからデータを受信すると受信パケットはまず受信バッファに格納されヘッダとチェックサムがチェックされます。受信パケットのヘッダ内にあるネットワーク・パラメータがレジスタ・モジュール内のパラメータと合致している必要があります。ヘッダとチェックサムが正しければパケット・フィルタは UDP データを抽出し受信データ・バッファへ格納します。ユーザ回路は受信 FIFO インターフェイスを介して UDP データを読み出すことができます。

コアの機能ブロック

本 IP コアは、制御ブロック、送信ブロック、受信ブロックの 3 ブロックに分かれています。

制御ブロック

- レジスタ

ユーザ回路は UDP/IP オペレーションに関するパラメータをレジスタ・インタフェースにより設定できます。レジスタ・アドレスは全 4 ビット(最大 16 レジスタ)でリード/ライト・アクセスします。アドレス・マッピングを表 2 に示しますが、レジスタは 2 種類の信号タイプに分類されます。ひとつは IP アドレスやポート番号等のネットワーク・パラメータです。もうひとつは総転送長、コマンド・レジスタ、ビジー信号など制御およびステータス信号です。本 IP コアは RST レジスタによるリセットの '1' から '0' 解除時にレジスタ・モジュールからネットワーク・パラメータをロードします。

- UDP コントローラ

UDP コントローラは UDP/IP スタックをハードウェア・ロジックで実装します。このモジュールはユーザからの要求に従って動作する送信/受信ブロックを制御/監視するメイン・コントローラです。レジスタ・モジュールの全ての信号は本 UDP コントローラからアクセスされます。本モジュール内には初期化プロセスとデータ送信プロセスの 2 種類の機能を内蔵します。

リセットが解除されると IP コアは SRV レジスタの設定内容に従ってサーバー・モードまたはクライアント・モードの 2 モードのいずれかで初期化を開始します。クライアント・モードの場合本 IP コアは ARP 要求を送信し ARP 応答情報から通信ターゲットの MAC アドレスを取得し初期化を完了します。一方サーバー・モードの場合本 IP コアは通信ターゲット相手からの ARP 要求を待ちそこから相手の MAC アドレス情報を抽出し初期化を完了します。データ送信プロセスにおいて本 IP コアはレジスタ・モジュールのパラメータをデコードし送信ブロックにセットしてデータ送信動作を開始します。データ送信動作は ARP 要求パケット受信により一時的に中断されます。この状況の場合送信ブロックは ARP 応答を返送した後でデータ送信を再開し全データを送信します。

表 2: レジスタ・マップ定義

アドレス [3:0]	レジスタ名	方向	ビット	説明
0000b	RST	Wr /Rd	[0]	本 IP コアのリセット。'1'でリセットし'0'でリセットを解除する。初期状態は'1'(リセット状態)で、ユーザ回路が動作に必要な全パラメータをレジスタにセットしてから本レジスタに'0'を書き込むことでコアの動作が開始する。ユーザ回路が SML, SMH, DIP, SIP, DPN, SPN レジスタの値を変更する必要がある場合、本レジスタを一旦'1'としコアをリセット状態に移行させてから変更しなくてはならない。
0001b	CMD	Wr	[0]	'1'でデータ送信開始 本レジスタによってデータ送信を指示する前に、ユーザ回路は Busy 信号または本レジスタの bit[0]をリードしチェックしてコアが動作中でないことを確認しなくてはならない。
		Rd	[0]	システム・ビジー・フラグ。'0': アイドル状態、'1': ビジー状態、Busy 出力信号と同一
0010b	SML	Wr /Rd	[31:0]	コアの MAC アドレスの下位 32bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0011b	SMH	Wr /Rd	[15:0]	コアの MAC アドレスの上位 16bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0100b	DIP	Wr /Rd	[31:0]	ターゲット側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0101b	SIP	Wr /Rd	[31:0]	本システム側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0110b	DPN	Wr /Rd	[31:0]	[15:0] 本 IP コアからの送信にて送信先ターゲット側のポート番号を 16bit で指定する。 [31:16] 本 IP コアへの受信にて受信元ターゲット側のポート番号を 16bit で指定する。 RST レジスタをクリアする前に本レジスタでポート番号を指定する必要がある。
0111b	SPN	Wr /Rd	[15:0]	本 IP コア側のポート番号を 16bit で指定する。RST レジスタをクリアする前に本レジスタで自身のポート番号を指定する必要がある。
1000b	TDL	Wr	[31:0]	送信データ数を 32 の倍数バイト単位で指定する、このため下位 bit[4:0]の 5 ビットは無視される。TDL/TDH による全 48 ビットでの送信サイズ最大値は 0xFFFF_FFFF_FFE0 であり、本 TDL レジスタで有効な設定値の範囲は 0x0000_0020~0xFFFF_FFE0 である。 CMD レジスタで送信開始を指示する前に本 TDL レジスタおよび TDH レジスタで送信データ数をセットする必要がある。ユーザが TDL/TDH レジスタでセットした送信データ数はコア内部ロジックでラッチされるため、現在送信中であっても、次の送信のデータ数を TDL/TDH にセットしておくことが可能である。また、次の送信でも再度同じ送信データ数である場合は TDL/TDH レジスタに再セットする必要はない。
		Rd	[31:0]	まだ送信されていない残りデータ数の下位 32 ビット分をバイト単位で表示する。残りデータ数の上位 16 ビットは TDH レジスタで表示される。
1001b	TDH	Wr	[15:0]	送信データ数の上位 16 ビット、詳細は TDL レジスタを参照のこと
		Rd	[15:0]	残りデータ数の上位 16 ビット、詳細は TDL レジスタを参照のこと

表 2: レジスタ・マップ(続き)

アドレス [3:0]	レジスタ名	方向	ビット	説明
1010b	TMO	Wr	[31:0]	ARP 要求を送信してから ARP 応答パケットを待機するタイムアウト値を設定する。内部カウンタは Clk 入力で作動する。このためタイマの時間単位は Clk 周波数に依存する。例えば Clk 周波数が 200MHz の場合タイマの時間単位は 5nsec である。本設定値は 0x4000 以上とする必要がある。
		Rd		各タイムアウト等のステータス、それぞれのビット定義は以下の通り [0] ARP で返信パケットをタイムアウト時間内に受信しなかった、タイムアウト後本 IP コアは ARP 応答を受信するまで ARP 要求を繰り返す [8] 受信データ・バッファが一杯のため受信パケットを受け損ねた [9] 受信パケットのチェックサムが間違っていたため受信パケットを破棄した [10] EMAC からエラーが検出されたため受信パケットを破棄した(MacRxFfRdData[257]='1')
1011b	PKL	Wr/Rd	[15:0]	32 の倍数バイト単位で指定する送信パケットのデータ長、このため bit[4:0]は無視される。有効な値は 32-16000。デフォルト値は 1472 バイト(非ジャンボ・フレームの最大サイズ)この値はデータ転送(Busy フラグ=1)中に変更してはならない。次の転送でも同じパケット・サイズの場合、コア内部で前の値は保持されているのでユーザ回路は本レジスタを再度セットする必要はない。
1110b	SRV	Wr/Rd	[0]	'0': クライアント・モード、本 IP コアはリセット解除後 ARP 要求を接続相手に向けて送信し、MAC アドレスを取得する、相手からの ARP 応答を受信するとコアの Busy はネゲートする。 '1': サーバー・モード、本 IP コアはリセット解除後相手からの ARP 要求を待機する、ARP 要求を受信し ARP 応答を送信した後にコアの Busy はネゲートする。 このレジスタの初期値は'0'(クライアント・モード)である。 (注意!) サーバー・モードの場合本 IP コアの初期化を完了するためには、コアのリセット解除後通信ターゲットから ARP 要求を発行する必要がある。

表 3: 各バッファ(TxBuf/RxBufBitWidth)の容量パラメータ

有効なビット幅	バッファ容量	送信データ・バッファ有効ビット幅	受信データ・バッファ有効ビット幅
9	16kByte	有効	有効
10	32kByte	有効	有効
11	64kByte	有効	有効

送信ブロック

- **送信データ・バッファ (Tx Data Buffer)**

このデータ・バッファの容量は本 IP コアの "TxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 9(16K バイト)~11(64K バイト)で 256 ビット幅バッファのアドレス・サイズに該当します。

データを連続して EMAC へ送信し続けるため、このバッファ・サイズは表 2 の PKL レジスタで設定する送信パケット・サイズの少なくとも 2 倍かそれ以上のサイズとする必要があります。1 パケット・データが UDP/IP パケットを生成するため送信パケット・バッファへと転送されると同時に次のパケット送信のためパケット・データが準備されます。現在のパケットが TxFMACFIFO インターフェイスへ送信し終わるとそのパケット・データは削除され次のパケット・データを格納します。

- **送信パケット・バッファ (Tx Packet Buffer)**

このバッファの容量は 16K バイトでヘッダ準備を待つ間に送信データ・バッファからの 1 データ・パケットを格納します。ヘッダの準備が完了すると送信パケット・バッファ内のデータに生成されたヘッダが結合され UDP/IP パケットとして TxMACFIFO インターフェイスを介して EMAC へ転送されます。現在のデータの送信と同時に次のパケット・データが送信データ・バッファから転送されます。データが連続して送信されている間送信パケット・バッファ内のデータ・サイズは 1 パケットと同じかそれ以上となります。

- **パケット・ビルダ (Packet Builder)**

パケット・ビルダはレジスタ・モジュールからネットワーク・パラメータを読み出し UDP ヘッダを準備します。さらに UDP ヘッダ内の一部となる IP チェックサムおよび UDP チェックサムを計算します。ヘッダの準備が整い 1 パケット分のデータが送信パケット・バッファ内にセットされるとパケット・ビルダはそれらを結合して UDP/IP パケットを作成します。

受信ブロック

- **受信バッファ (Rx Buffer)**

このバッファはイーサネット MAC からの全ての受信パケットを一時的に保持します。有効なパケットのうちヘッダを除いたデータ部は受信バッファから受信データ・バッファへと転送されます。

- **パケット・フィルタリング(Packet Filtering)**

受信パケット内のヘッダを比較します。ヘッダの内容はレジスタ・モジュール内のネットワーク・パラメータ設定値に合致する必要があります。また、IP チェックサムおよび UDP チェックサムの期待値も計算します。ヘッダのチェックサム値が正しくない場合そのパケットは破棄されます。ヘッダの全パラメータが正しい場合パケット内の UDP データは受信データ・バッファへ格納されます。ただ一点例外があり受信パケットが IP フラグメント・パケットであった場合に限っては UDP チェックサムは確認されません。

- **受信データ・バッファ (Rx Data Buffer)**

このバッファの容量は本 IP コアの "RxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 9(16K バイト)~11(64K バイト)です。このバッファはユーザ・ロジックと本 IP コア間に配置されます。このバッファが一杯の場合、新たに受信したパケットは無視(ロスト)します。従ってバッファ・サイズはユーザ回路からデータのリード準備ができない期間に保持できるだけの十分な容量に設定する必要があります。また、新たなパケット受信と前パケットのユーザ回路への転送を同時に実行する場合、少なくとも受信パケット・サイズの 2 倍の容量が必要です。

ユーザ回路

ユーザ回路はレジスタ I/F を通してパラメータの設定やコア状態のモニタを行い、また、送信 FIFO I/F を介した送信データの書き込みや受信 FIFO I/F を介して受信データの読み出しを行います。ユーザ回路はシンプルなハードウェア・ロジックで実装できます。

40Gb/50G イーサネット MAC および BASE-R

リファレンス・デザインにおいては Xilinx 社から提供される EMAC および BASE-R 向け PCS/PMA から構成される 40G/50G Ethernet Subsystem が使われます。より詳細については以下のウェブサイトを参照してください。(MAC についてはお客様にて Xilinx 製 IP コアを手配して頂く必要があります)

<https://japan.xilinx.com/products/intellectual-property/ef-di-50gemac.html>

コアの I/O 信号

本 IP コアのパラメータを表 4 に、全 I/O 信号を表 5 で説明します。MAC インターフェイスは FWFT モードに設定された 256 ビットの標準 FIFO インターフェイスです。

表 4: コアのパラメータ

ジェネリック名	設定範囲	説明
TxBufBitWidth	9-11	送信データ・バッファ・サイズを $2^{(TxBufBitWidth+5)}$ バイト (256 ビット幅のデータ・インターフェイスにおけるアドレス・ビット幅) で設定します。
RxBufBitWidth	9-11	受信データ・バッファ・サイズを $2^{(RxBufBitWidth+5)}$ バイト (256 ビット幅のデータ・インターフェイスにおけるアドレス・ビット幅) で設定します。

表 5: コアの I/O 信号

信号名	方向	説明
共通 I/F 信号		
RstB	In	本 IP コアのリセット: ロウ・アクティブ信号である。
Clk	In	クロック入力, クロック周波数は高パフォーマンスを維持するためには少なくとも 200MHz 以上にする必要がある。
ユーザ I/F		
RegAddr[3:0]	In	レジスタの 4bit アドレスバス
RegWrData[31:0]	In	ライト・レジスタの 32bit 書き込みデータ・バス
RegWrEn	In	レジスタのライト・イネーブル、アドレスおよびデータに有効な値をセットし本信号にパルスを与えることで書き込みを実行する。
RegRdData[31:0]	Out	レジスタの 32bit 読み出しデータ・バス、レジスタアドレスをセットしてから 1 クロックのレイテンシ後に有効なリード・データが本バス上に現れる。
Busy	Out	コアのビジー状態 ('0': アイドル状態, '1': コアは初期化中またはビジー状態)。
IntOut	Out	タイムアウト発生または受信パケットの破棄時に本信号が 1 クロック期間分 H アサートされる。ユーザ回路は TMO レジスタで割り込み要因を確認することができる。
送信 FIFO I/F		
UDPTxFfFull	Out	コアの送信データ・バッファの Full フラグ。ユーザ回路は本信号が H アサートされてから 4 クロック期間以内に送信データの書き込みを停止しなくてはならない。
UDPTxFfWrEn	In	送信データ・バッファのライト・イネーブル。送信データを書き込む際にアサートする。
UDPTxFfWrData[255:0]	In	送信データ・バッファの 256bit 書き込みデータ・バス、UDPTxFfWrEn に同期する。
受信 FIFO I/F		
UDPRxFfRdCnt[10:0]	Out	受信データ・バッファ内の受信データ総量を 256bit 単位で示す FIFO データ・カウンタ
UDPRxFfRstRdCnt[4:0]	Out	総受信データ・バイト数が 32 の倍数でない場合、受信データ・バッファ内の最終データでの残留バイト数を示す。
UDPRxFfRdEmpty	Out	受信データ・バッファの FIFOEmpty フラグ。ユーザ回路は本信号が H アサートされたら直ちにデータの読み出しを停止しなくてはならない。
UDPRxFfRdEn	In	受信データ・バッファの読み出しイネーブル。受信データを読み出す際にアサートする。
UDPRxFfRdData[255:0]	Out	受信データ・バッファの 256bit 読み出しデータ・バス、UDPRxFfRdEn をアサートしてから 1 クロック期間のレイテンシ後に有効なリードデータが出力される。

信号名	方向	説明
MAC FIFO I/F (FWFT モード) 信号		
MacTxFfWrCnt[15:0]	In	256ビットでの MacTx FIFO ライト・データ・カウンタ、この信号は FIFO の Full 状態を検出するために使う。 FIFO カウンタが 16 ビット以下の場合上位ビットには '1' を埋める必要がある。
MacTxFfWrData[255:0]	Out	256 ビット幅の MacTx FIFO へのライト・データ、MacTxFfWrEn='1' と同じクロック期間で有効。
MacTxFfWrEn	Out	MacTx FIFO へのライト・データ・イネーブル、'1' でライト・イネーブル。 本信号は 1 送信パケットを転送中は連続して常に '1' アサートする必要がある。
MacTxLastByteEn[31:0]	Out	各送信パケットにおける最終データ・バイトのイネーブル信号、本信号は MacTxEnd='1' かつ MacTxFfWrEn='1' の場合有効である。本信号は 0x0FFF_FFFF または 0x0000_03FF のどちらかの値となる。
MacTxSizeData[15:0]	Out	総送信パケット・サイズを 256 ビット単位で示す。この値は MacTxFfWrEn='1' のクロック期間で安定する。本信号の bit[15:11] は常に 0 となる。
MacTxEnd	Out	各送信パケットの最終データを '1' アサートで示す、MacTxFfWrEn='1' と同じクロック期間でアサートする。
MacRxFfEmpty	In	MacRx FIFO のエンプティ・フラグ、MacRx FIFO 内にデータがない場合に '1' アサート。
MacRxFfRdEn	Out	MacRx FIFO からデータをリードするときに '1' アサートする。この信号は MacRxFfEmpty='0' の時のみ '1' アサート可能。
MacRxFfRdData[257:0]	In	MacRx FIFO からのリード・データ出力、この信号は MacRxFfRdEn='1' と同じクロック期間で有効である。このため MacRx FIFO は FWFT モードで動作する必要がある。本信号の各ビット定義は以下。 [255:0]: EMAC からの 256 ビットの受信データ [256]: EMAC からの受信パケットで最終データでのときに '1' アサート [257]: '0'-通常パケット、'1'-エラー・パケット。このビットは最終データを示す bit[256]='1' と同じタイミングで有効となる。

タイミング・チャート

IP コアの初期化

ユーザ回路から RST レジスタでリセット状態を解除されると本 IP コアは SRV レジスタの設定値(クライアント・モードまたはサーバー・モード)によって 2 種類のモードで初期化を実行します。

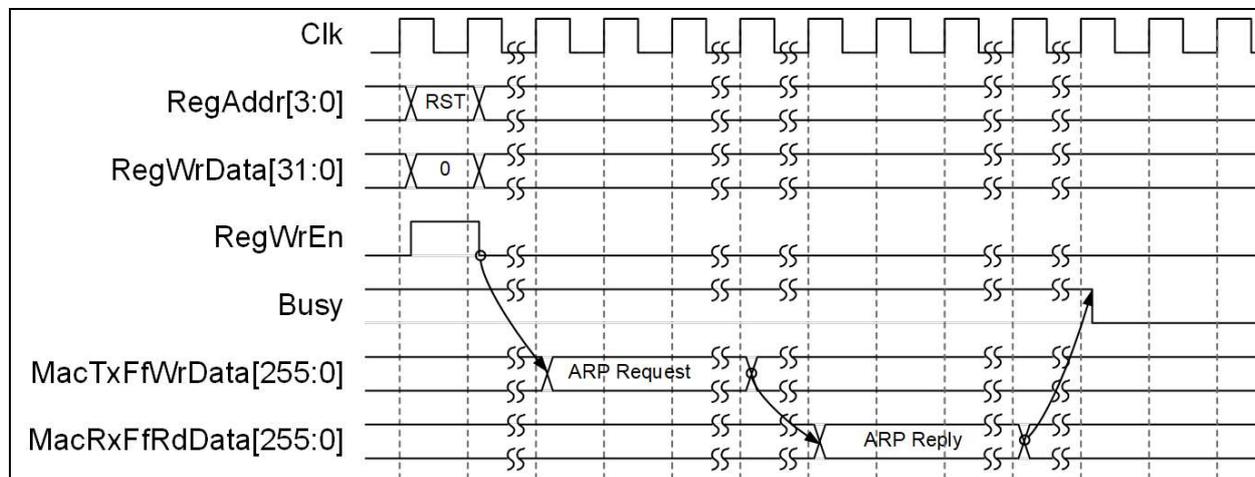


図 5: クライアント・モードでの IP コア初期化

クライアント・モードの場合、本 IP コアは ARP 要求を送信しターゲットからの ARP 応答を待ちます。ターゲット MAC アドレスは ARP 応答パケットから抽出されます。その後 Busy 信号は '0' ネゲートされます。

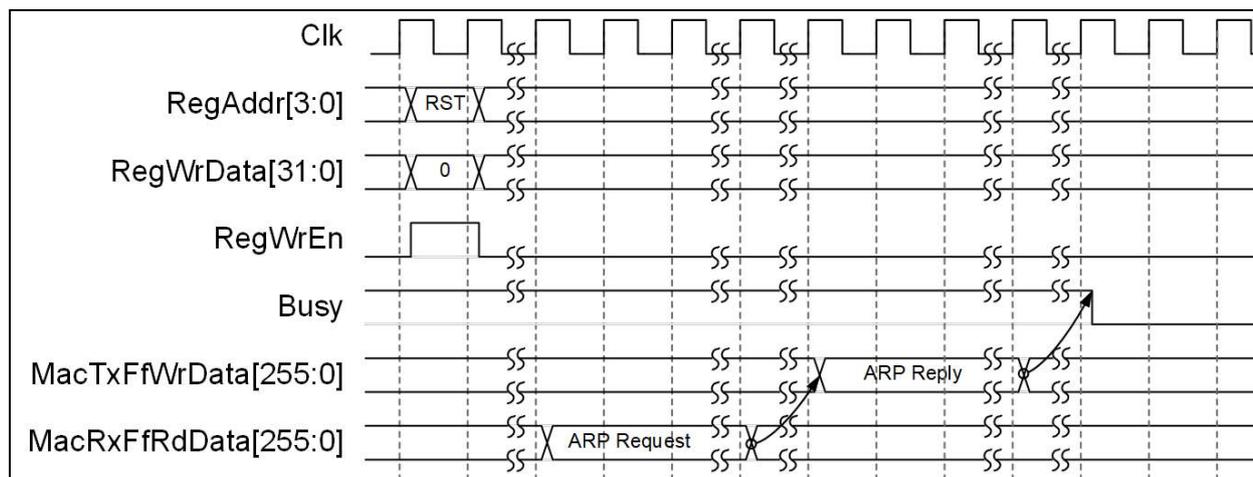
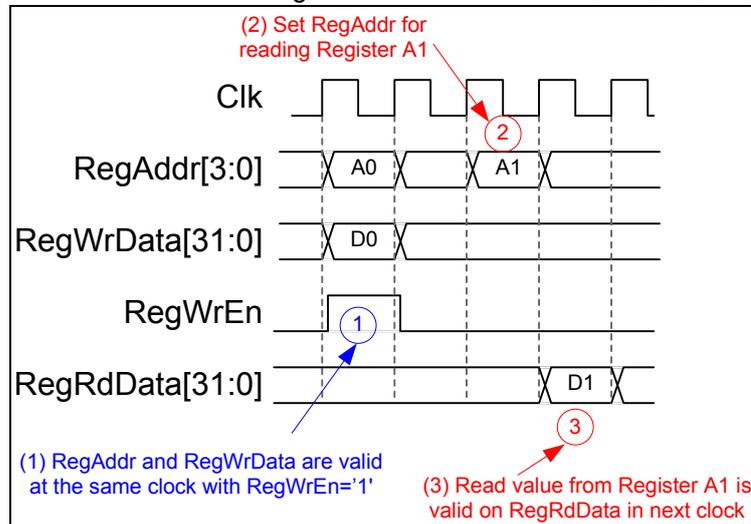


図 6: サーバー・モードでの IP コア初期化

サーバー・モードの場合、本 IP コアはリセット解除後ターゲットからの ARP 要求を待ちます。ターゲットとして設定された値と合致したヘッダを含む ARP 要求を受信すると本 IP コアはターゲットに ARP 応答を送信します。ターゲット MAC アドレスは ARP 要求から抽出します。最後に Busy 信号は '0' ネゲートされます。

レジスタ・インターフェイス

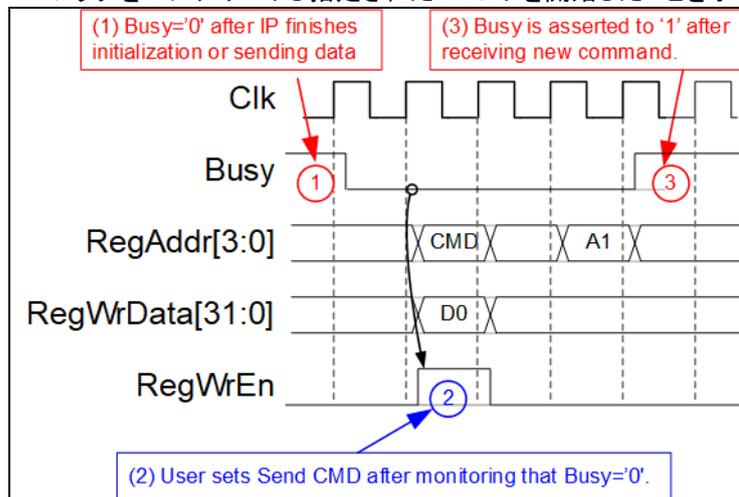
ユーザ回路からの本 IP コア内部へのリードライト・アクセスは図 7 に示すタイミングにより実行します。アクセス先レジスタのアドレスマップは表 2 で示されます。レジスタへの書込みは RegAddr と RegWrData にそれぞれ有効なライト先のアドレスとデータをセットし 1 クロック期間 RegWrEn='1' とします。レジスタからの読み出しの際は、有効な RegAddr がコアに与えられた次のクロック期間に RegRdData にリードデータが出力されます。



- (1) RegAddr と RegWrData は RegWrEn='1' と同じクロック期間で有効とする必要がある
- (2) 読み出し先アドレス A1 を RegAddr にセットする
- (3) レジスタ A1 のリード値は次のクロック期間で RegRdData に出力される

図 7: レジスタ I/F のタイミング・チャート

ユーザ回路は CMD レジスタをセットする前にコアの Busy ピンをモニタするかあるいは CMD レジスタの bit0 をリードすることでビジー・フラグがアサートされていないことを確認する必要があります。CMD レジスタをセットしコマンドを発行すると、図 8 に示すようにコアはビジー・フラグを '1' にアサートし指定されたコマンドを開始したことを示します。

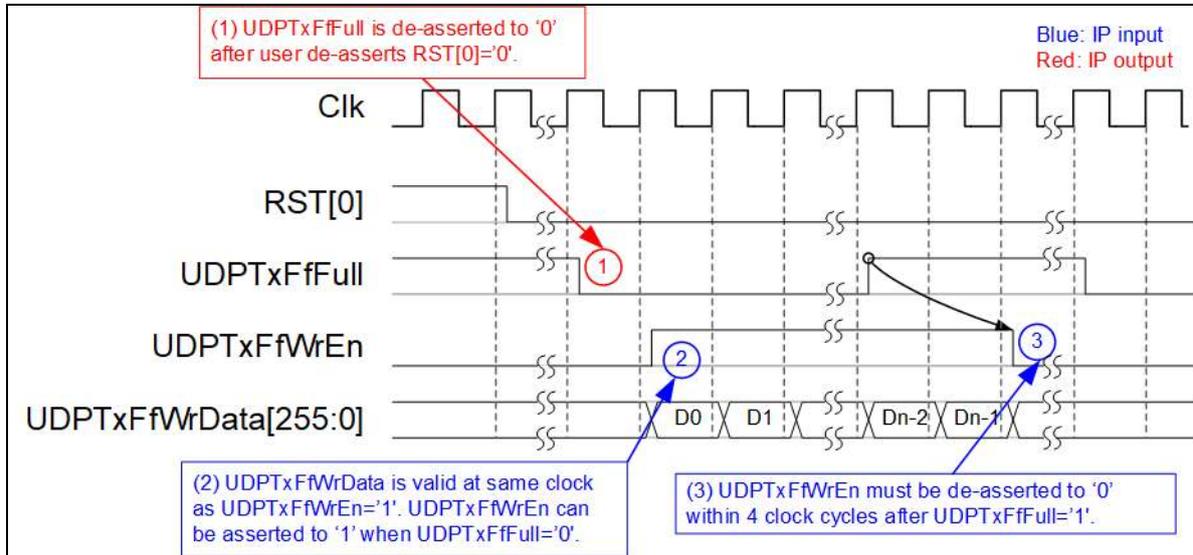


- (1) Busy はコアの初期化完了または前コマンドの完了後にクリアされる
- (2) ユーザ回路は Busy が '0' であることを確認してから CMD レジスタを書き込む
- (3) IP コアがコマンド指示を認識すると Busy をアサートする

図 8: Busy がクリアされた状態からのコマンド発行

送信 FIFO インターフェイス

ユーザ回路は本 IP コアに対して図 9 に示すように FIFO インターフェイスでデータを送信できます。データを送る前にユーザ回路は FIFO のフル・フラグ (UDPTxFfFull) をチェックしそれが '1' にアサートされていないことを確認する必要があります。そして書き込みデータの UDPTxFfWrData に同期して書き込みイネーブル信号の UDPTxFfWrEn='1' とします。UDPTxFfFull が '1' となった場合、4 クロック以内に UDPTxFfWrEn による書き込み動作を停止しなくてはなりません。また本 IP コアがリセット状態の場合も UDPTxFfFull はアサートされ、FIFO 内の全データはフラッシュされます。

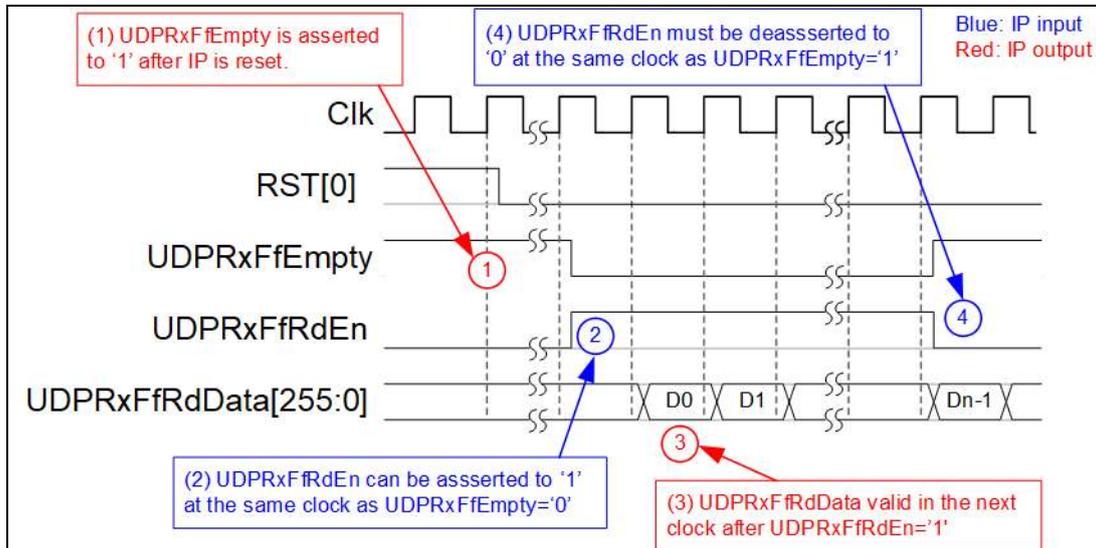


- (1) UDPTxFfFull はユーザ回路から RST[0]='0' とクリアされた後にネゲートされる
- (2) UDPTxFfFull='0' である場合 UDPTxFfWrEn='1' とすることで UDPTxFfWrData を書き込むことができる
- (3) UDPTxFfFull='1' となった場合 4 クロック以内に UDPTxFfWrEn による書き込み動作を停止しなくてはならない

図 9: 送信データ・バッファ I/F のタイミング・チャート

受信 FIFO インターフェイス

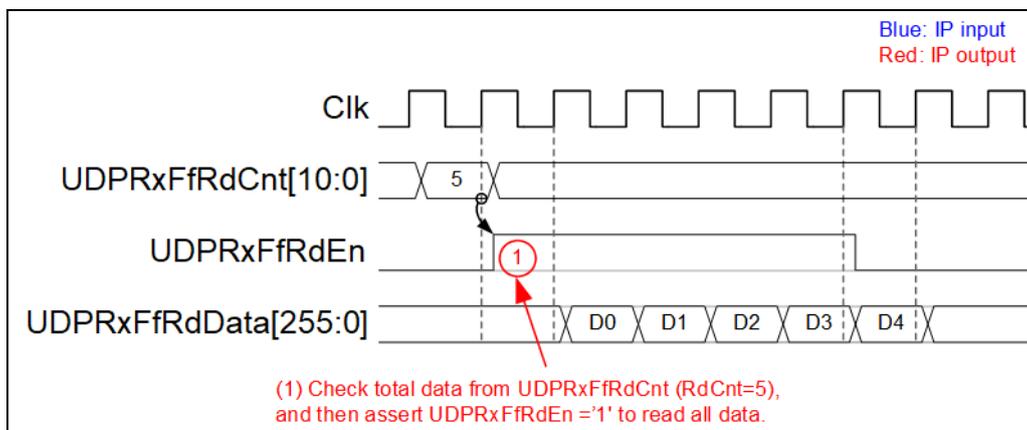
本 IP コアが外部からデータを受信した場合、受信データ・バッファに格納されます。ユーザ回路は図 10 に示すように FIFO インターフェイスでデータを読み出すことができます。ユーザ回路は UDPRxFfEmpty 信号をチェックすることで受信データの格納状態が把握でき、また UDPRxFfEmpty が '0' でない場合に UDPRxFfRdEn をアサートしてその次クロック期間に UDPRxFfRdData で受信データを読み出します。UDPRxFfEmpty が '1' となった場合その同一クロック期間内で UDPRxFfRdEn を '0' にネゲートしデータの読み出しを停止しなくてはなりません。本 IP コアがリセットされると FIFO 内部データをフラッシュします。またコアがリセット中は UDPRxFfEmpty は '1' にアサートされます。



- (1) IP コアのリセット後 UDPRxFfEmpty が '1' アサートされる
- (2) UDPRxFfRdEn は UDPRxFfEmpty が '0' ネゲートしている同一クロック期間中 '1' にアサートできる
- (3) UDPRxFfRdData は UDPRxFfRdEn が '1' アサートされた次のクロック期間に出力される
- (4) UDPRxFfEmpty が '1' にアサートされた場合その同一クロック期間に UDPRxFfRdEn をネゲートする必要がある

図 10: 受信データ・バッファ I/F のエンプティ・フラグについてのタイミング・チャート

受信データ・バッファの状態は UDPRxFfRdCnt をモニタすることでも確認できます。この信号は受信データ・バッファに格納されている全データ数を示します。従って図 11 に示すように総受信データ数と同じ期間 UDPRxFfRdEn を '1' にアサートすることで、全受信データを読み出すことができます。



- (1) UDPRxFfRdCnt の値を確認し UDPRxFfRdEn をリード・カウント分 '1' アサートする

図 11: 受信データ・バッファ I/F のリード・カウンタについてのタイミング・チャート

EMAC FIFO インターフェイス

本 IP コアの MAC インターフェイスは FWFT モードの FIFO インターフェイスとなります。本 IP コアを 40Gb EMAC と接続するため図 12 に示す FWFT FIFO を含む接続ロジックが必要となります。

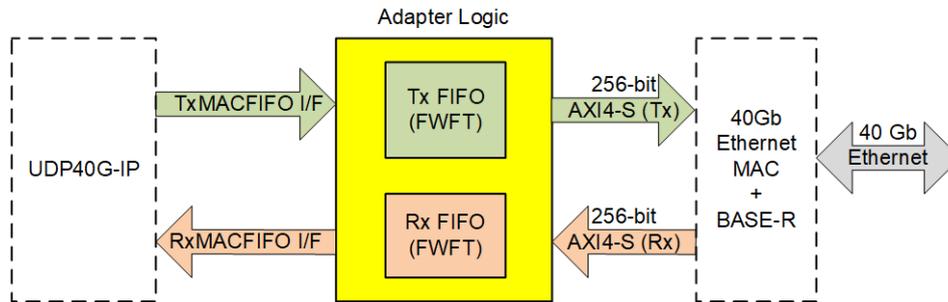
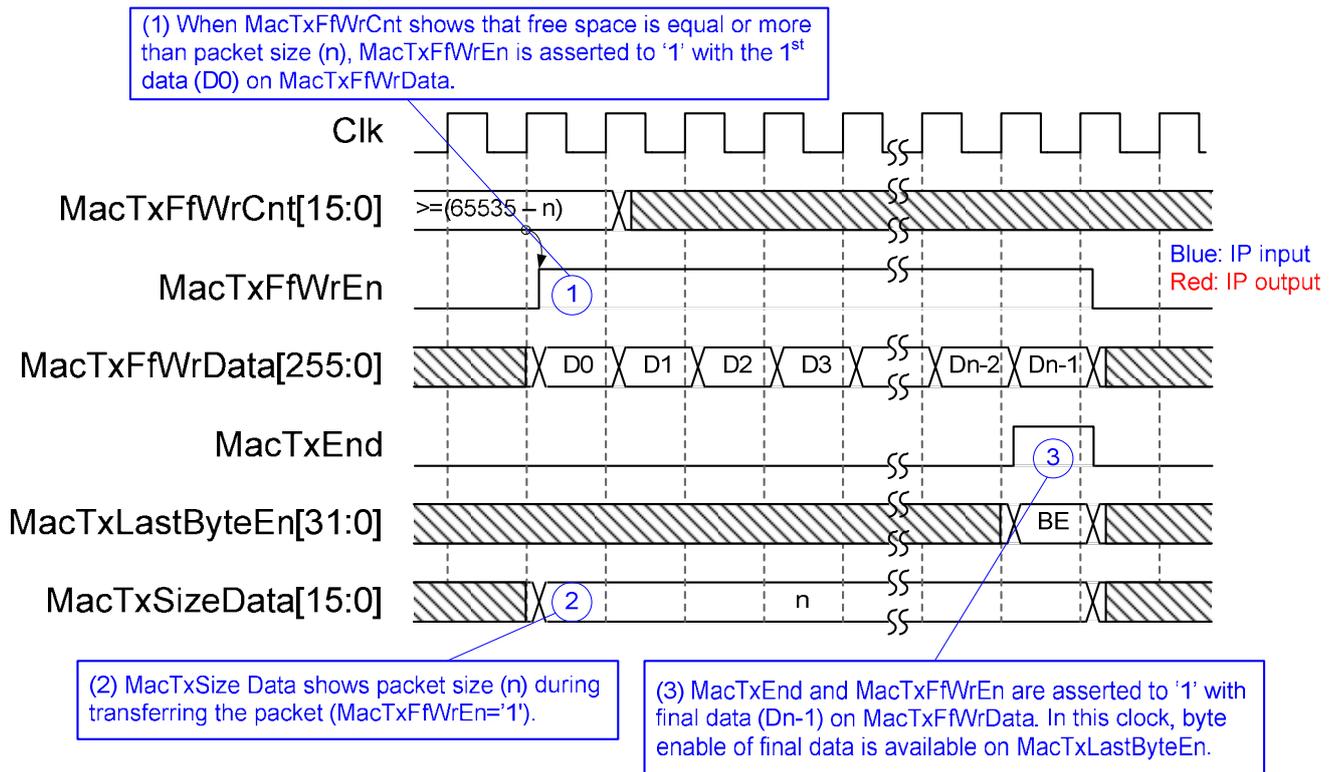


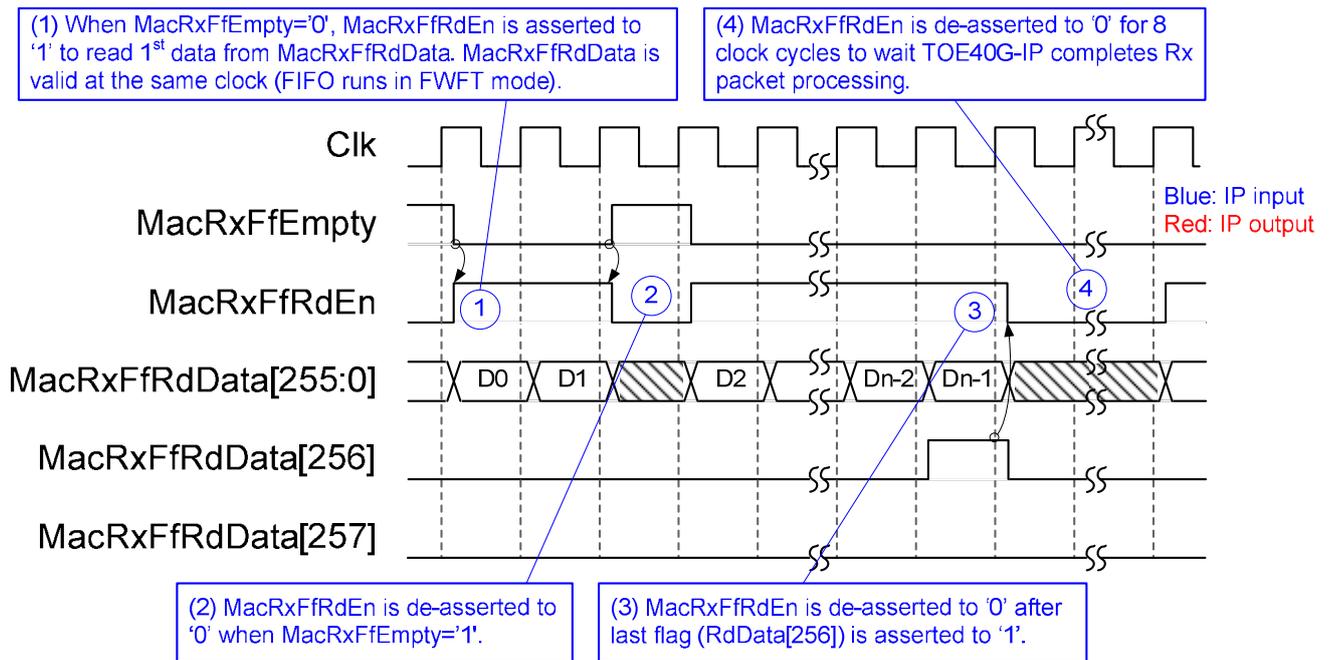
図 12: UDP40G-IP コアと EMAC 間の接続

パケットを送信する前に本 IP コアはまず MacTxFfWrCnt をモニタし 1 パケット分でデータを保持するのに十分な領域を持つ MacTxFfWrCnt 内に十分な空きがあることを確認します。そして 1 パケットの末尾データまで連続して MacTxFfWrEn をアサートします。その MacTxFfWrEn='1' と同一のクロック期間で MacTxFfWrData は有効となります。パケットの最終データでは MacTxEnd が有効な MacTxLastByteEn と一緒に '1' アサートします。各パケットの転送中 MacTxSizeData はその値を変化させずパケットの総データ数が 256 ビット単位であることを示します。本 IP コアがパケット・サイズ=n で送信する際のタイミング波形例を図 13 に示します。



- (1) MacTxFfWrCnt がパケット・サイズ(n)と同じかそれ以上の空き空間を示すと先頭データ(D0)と同時に MacTxFfWrEn が '1' アサートされる
- (2) MacTxSizeData 値はパケット転送中 (MacTxFfWrEn='1') パケット・サイズ(n)を示す
- (3) MacTxFfWrData 上に最終データ(Dn-1)とともに MacTxEnd と MacTxFfWrEn が '1' アサートされる。このクロック期間では最終データのバイト・イネーブルが MacTxLastByteEn 上で示される

図 13: MACTxFIFO インターフェイスの送信タイミング・チャート



- (1) MacRxFfEmpty='0'の場合 MacRxFfRdData から先頭データを読み出すため MacRxFfRdEn が'1'アサートされる。FIFO は FWFT モードなので MacRxFfRdData は同じクロック期間で有効となる
- (2) MacRxFfEmpty='1'になると MacRxFfRdEn は'0'ネゲートする
- (3) 最終データを示すフラグ(RdData[256])が'1'アサートされた後 MacRxFfRdEn は'0'ネゲートされる
- (4) UDP40G-IP コアが受信パケットの処理を完了するため MacRxFfRdEn は 8 クロック期間'0'ネゲートされる

図 14: MACRxFIFO インターフェイスの受信タイミング・チャート

図 14 に受信パケット・サイズが 'n' である場合の MacRxFIFO インターフェイスのタイミング波形例を示します。本 IP コアは MacRxFfEmpty で MacRxFIFO 内のデータ状態をモニタします。そして MacRxFfEmpty='0' の場合に MacRxFfRdEn='1' として MacRxFIFO からデータを読み出します。FWFT モードの特性により、MacRxFfRdEn='1' とした同じクロック期間で MacRxFfRdData に有効なリード・データが現れます。MacRxFfRdData の bit[256] はパケットの最終データであることを示します。その最終データを受信すると MacRxFfRdEn は 8 クロック期間 MacRxFfRdEn を '0' ネゲートし本 IP コアが受信パケットを処理するのを待ちます。その後再び MacRxFfEmpty='0' であった場合は次のパケット処理を開始するため MacRxFfRdEn を '1' アサートします。

上記のタイミング波形から本 IP コアの MacFIFO インターフェイスを 40Gb EMAC の 256 ビット AXI4 ストリーム・インターフェイスに変換する接続ロジックが必要となります。接続ロジックの実装例は本 IP コア同梱のリファレンス・デザインにて VHDL ソースコードで提供されます。

コアの使用例

クライアント・モード(SRV[0]='0')

クライアント・モードでのデータ送信/受信における本 IP コア内レジスタの設定シーケンス例を以下に示します。

- 1) RST レジスタを'1'にセットし本 IP コアをリセット状態とします。
- 2) SML/SMH レジスタで自身の MAC アドレス、DIP/SIP レジスタで相手/自分の IP アドレス、DPN/SPN レジスタでポート番号を設定します。
- 3) RST レジスタ='0'としてコアのリセット状態を解除します、すると本 IP コアは通信ターゲットに向けて ARP 要求を送信し ARP 応答から MAC アドレス情報を抽出する初期化を開始します。初期化が完了すると Busi 信号は'0'クリアされその後のユーザ回路からのコマンド発行が可能となります。
- 4) a) データ送信の場合、TDL/TDH レジスタに総転送数(32 の倍数で設定)、PKL にパケット・サイズをセットし CMD レジスタをセットしてデータ送信を開始します。ユーザ回路は送信 FIFO へ送信データを全て転送し Busy フラグが'0'ネゲートするのを監視します。現在の送信コマンドが完了した後に、次の送信コマンドに向けユーザ回路は IP コアをリセットすることなく、TDL/TDH/PKL の値を更新できます。
b) データ受信の場合、ユーザ回路は受信 FIFO ステータスを監視し受信 FIFO が空の状態であれば受信データをリードします。

サーバー・モード(SRV[0]='1')

サーバー・モードにおいてはクライアント・モードとの違いは通信ターゲットの MAC アドレスを獲得する初期化プロセスにあります。クライアント・モードでは MAC アドレスは本 IP コアが送信した ARP 要求後に受信した ARP 応答から抽出します。一方サーバー・モードでは MAC アドレスはターゲット IP アドレスに合致した相手からの ARP 要求での送信元 MAC アドレスから抽出します。初期化後のデータ送信および受信についてはクライアント・モードと同一です。サーバー・モードでの動作シーケンス例を以下に示します。

- 1) RST レジスタを'1'にセットし本 IP コアをリセット状態とします。
- 2) SML/SMH レジスタで自身の MAC アドレス、DIP/SIP レジスタで相手/自分の IP アドレス、DPN/SPN レジスタでポート番号を設定します。
- 3) RST レジスタ='0'としてコアのリセット状態を解除します。本 IP コアは相手 MAC アドレスを獲得するため ARP 要求を待ちます、そして相手からの ARP 応答を返送します。この初期化が完了すると Busy フラグが'0'ネゲートされます。
- 4) データ送受信はクライアント・モードのステップ 4)と同一です。

コアの検証方法

本 IP コア製品には Xilinx 純正の評価ボードで実機動作する Vivado リファレンス・デザイン・プロジェクトが同梱されているため、実ボードでの動作確認が可能です。また、ドキュメントで示されていない細かい信号タイミング等については、リファレンス・デザインに ChipScope を追加して実機動作させることで、実波形を観測・確認することが可能です。

必要とされる環境と設計スキルについて

本コアの実機動作確認やデザイン・ゲートウェイ社へのサポート依頼には Xilinx 純正の評価ボードが必要となるため、ユーザ側でコア購入時に手配してください。また、Xilinx 社の 40G/50G Ethernet Subsystem コアも別途必要となりますのでご注意ください。

本コアを使ってユーザ・システムを設計・実装するためには、HDL 言語設計技術・UDP プロトコル知識および Vivado ツールによるデザイン実装経験を必要とします。

注文情報

本製品は Xilinx 代理店から、あるいはデザイン・ゲートウェイ社から直接購入することが可能です。また、デバイス・ファミリに応じて現在以下のコアのラインナップが用意されています。それ以外のファミリに対応した本 IP コアにつきましては DesignGateway 社までお問い合わせください。

表 6: コアのラインナップ

コア型番	対応ファミリ	Vivado 環境	検証用評価ボード	説明
UDP40G-IP-KU	Kintex UltraScale	Vivado2017.4 又はそれ以降	KCU105	Kintex UltraScale 対応 UDP40G-IP コア
UDP40G-IP-ZUP	Zynq UltraScale+	Vivado2017.4 又はそれ以降	ZCU102 または ZCU106	Zynq UltraScale+ 対応 UDP40G-IP コア

更新履歴

リビジョン	日時	説明
1.0	Oct-21-2019	New release
1.0J	2019/10/31	日本語初期版を作成