

USB3.0-IP コアのご紹介

アルテラ版 2011/9/13

IP コア概略

デザイン・ゲートウェイの USB3.0-IP コアは USB3.0 規格 Revision1.0 に準拠しており、Altera 製 Cyclone-IV, Arria-II および Stratix-IV FPGA で動作するようにデザインされています。デザイン・ゲートウェイでは、ホストコントローラおよびデバイスコントローラの両方の IP コアを準備しております。

本 IP コアはリンクレイヤおよびプロトコルレイヤを含み、TI 社製外部 PHY チップと組み合わせることで、USB3.0 インタフェースを容易に実現します。

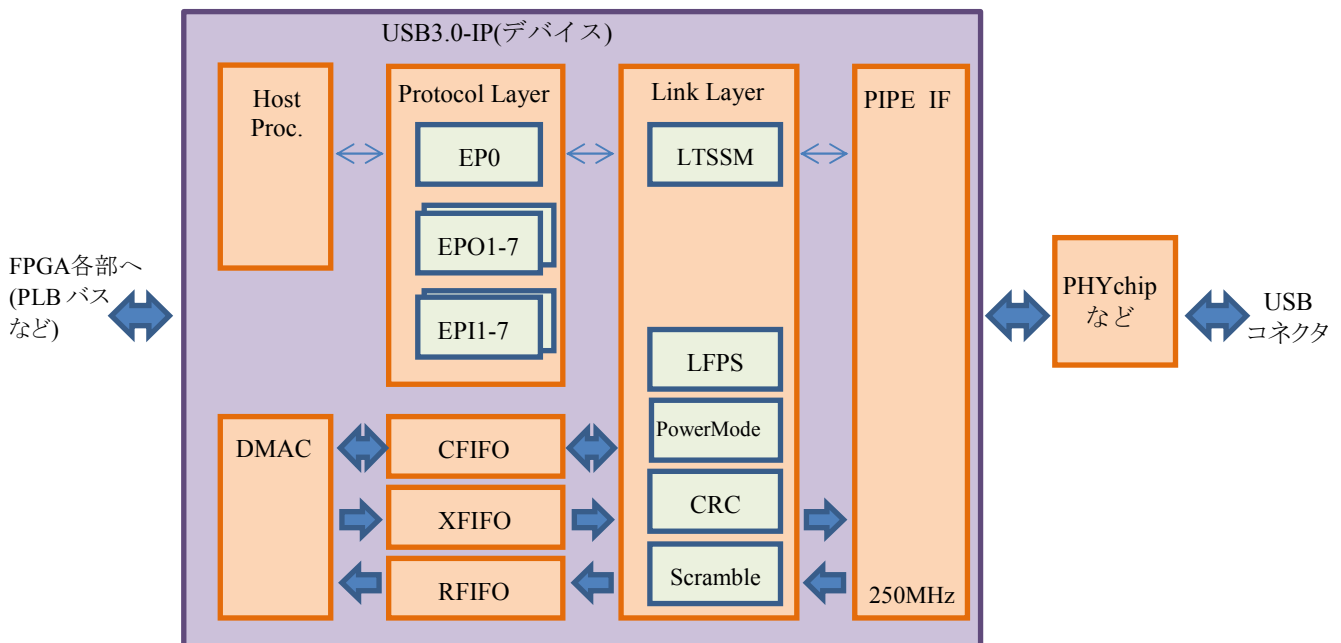
本 IP コアの ArriaII GX または CycloneIV GX FPGA 開発キット用時間制限デモファイルを準備しておりますので、購入前に本コアを実機で評価・お試し頂けます。



特長

- USB3.0 規格 Revision1.0 に準拠、SuperSpeed (5.0Gbps) 通信機能を実装
- ホスト用コントローラ、またはデバイス用コントローラを提供
- リンクレイヤおよびプロトコルレイヤを包含
- フィジカルレイヤは TI 社製 PHY チップとインタフェース
- コア周波数は PIPE 接続部は 250MHz、内部は 125MHz 以上で選択可能
- USB 3.0 PIPE インタフェース 16bit サポート
- 最大 15 個の IN/OUT エンドポイントをサポート
 - コントロール 1 個
 - IN/OUT 各 7 個
- 全ての転送タックをサポート(Control 転送、Bulk 転送、Isochronous 転送、Interrupt 転送)
- シンプルな Host プロセッサ向けトランザクション I/F および DMA I/F
- ArriaII GX または CycloneIV GX FPGA 開発キットによる購入前のコア実機評価が可能
- 安心の国内サポート

ブロック図 (デバイス側)



* LTSSM: Link Training and Status State Machine, LFPS: Low Frequency Periodic Signaling

使用リソース

コンパイル結果(デバイス側。コントロール 1 個, IN/OUT 各 2 個)

Family	Example Device	Fmax (MHz)	Combinational ALUTs ¹ / Logic Elements	Registers ¹	Pin ²	Block Memory bit	PLL	GXB	Design Tools
CycloneIV GX	EP4CGX150DF31C7	130	7,507	3,699	68	18,432	2	0	QuartusII 10.1
Arria II GX	EP2AGX125EF35C4	147	4,689	3,825	68	9,216	2	0	QuartusII 10.1

備考:

- 1) 実際のスライス消費カウントはユーザロジックやフィット条件等に依存します
- 2) このサンプルはコアと TL_PHY 接続用回路の全 I/O とクロックがチップ外部と直接インターフェイスし、その他、内部信号は FF で取り囲んだケースでのコンパイル結果となります
- 3) コアのエンドポート数は可変です。Bulk 転送 FIFO 量は各1個へ削減可能です。

提供物

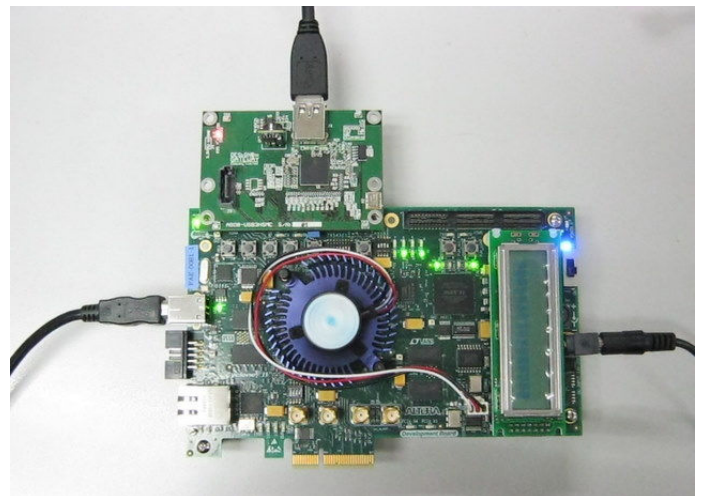
本 IP 納品時には下記の物が含まれます。

- IP コア本体(Encrypt されたネットリスト)
- テストベンチ(ModelSIM 対応),Simulation ライブラリ
- NIOS II プロジェクトリファレンスデザイン
- データシート、ユーザガイド、デザインガイド

評価ボードですぐに評価

ArriaII GX または CycloneIV GX FPGA 開発キット用時間限定版 sof ファイルを準備しておりますので、購入前に評価することができます。詳しくは弊社ウェブサイトをご覧ください。

※USB3.0-HSMC アダプタボード (型番:AB08-USB3HSMC) が別途必要です。購入は弊社にお問い合わせ下さい。



CycloneIV GX FPGA 開発キットで USB3.0(デバイス)-IP コアを評価 (アダプタボード AB08-USB3HSMC と接続)