

# SDLink ユーザ基板設計ガイド

Ver2.1J 2016/08/22

本ドキュメントは SDLink を使った FPGA コンフィグレーション・システムを構築するための基板設計ガイド情報です。

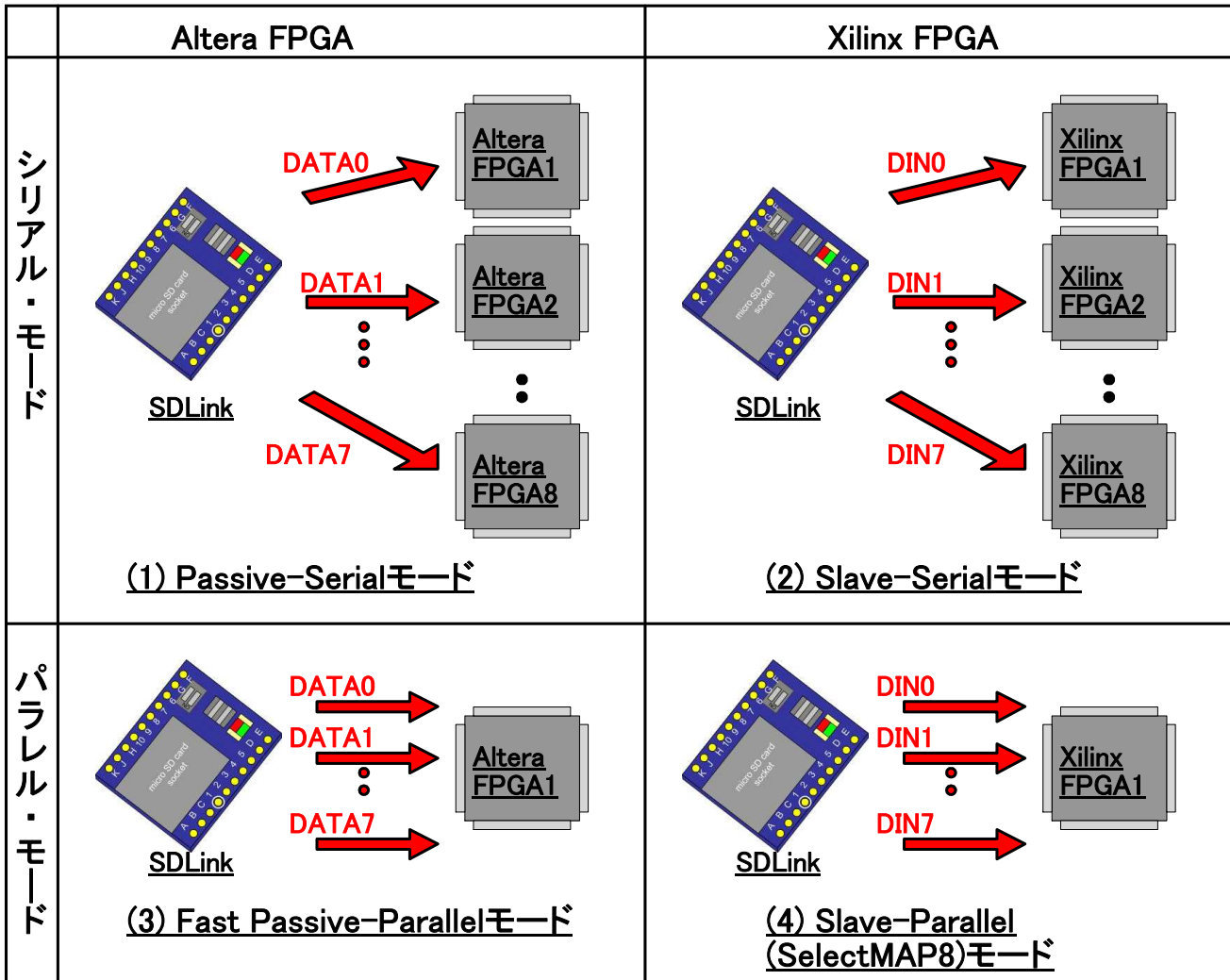
## [目次]

SDLink ユーザ基板設計ガイド .....	1
Ver2.1J 2016/08/22 .....	1
1. SDLink のコンフィグレーション・モード .....	1
1.1. Altera-FPGA の Passive-Serial コンフィグレーション .....	2
1.2. Xilinx-FPGA の Slave-Serial コンフィグレーション .....	3
1.3. Altera-FPGA の Fast Passive-Parallel コンフィグレーション .....	4
1.4. Xilinx-FPGA の Slave-Parallel (SelectMAP8) コンフィグレーション .....	5
2. 試作基板での推奨回路 .....	6
2.1. シリアル・モードでの試作基板 .....	6
2.2. パラレル・モードでの試作基板 .....	6
3. 外部からの再コンフィグレーション .....	7
4. 異なるコンフィグレーション電圧レベルの対応 .....	8
4.1. ステータス信号(CONF_DONE/DONE および nSTATUS/nINIT) .....	8
4.2. 開始信号(nCONFIG/nPROG) .....	10
4.3. データ信号(DATA[7:0]/DIN[7:0]) .....	11
5. Xilinx ファミリ別の設計上の注意点 .....	12
5.1. Virtex-6 の設計注意点 .....	12

5.2.	Spartan-6 の設計注意点.....	12
5.3.	7-Series デバイス(Virtex-7/Kintex-7/Artix-7)の設計注意点 .....	13
5.4.	UltraScale デバイス(Kintex/Virtex UltraScale)の設計注意点 .....	14
6.	Altera ファミリー別の設計上の注意点.....	15
6.1.	StratixIV/StratixV/ArriaV の SDLink 電源と設計注意点.....	15
6.2.	CycloneIV のコンフィギュレーション・モード.....	16

# 1. SDLinkのコンフィグレーション・モード

- SDLink は以下の4種類のコンフィグレーションをサポートします。
  - (1) AlteraFPGA の Passive-Serial(PS)モード
  - (2) XilinxFPGA の Slave-Serial(SS)モード
  - (3) AlteraFPGA の Fast Passive-Parallel(FPP)モード
  - (4) XilinxFPGA の Slave-Parallel (SP / SelectMAP8)モード
- 各コンフィグレーション・モードの詳細につきましては FPGA ベンダー発行の技術資料を参照してください。
- なお、AlteraFPGA の Stratix4 のコンフィグレーション電源(本資料で VCC[config]の記号で記載)においては 3.3V ではなく 3.0V のサポートとなるため、3.3V 部の記述については 3.0V と読み替えてください。

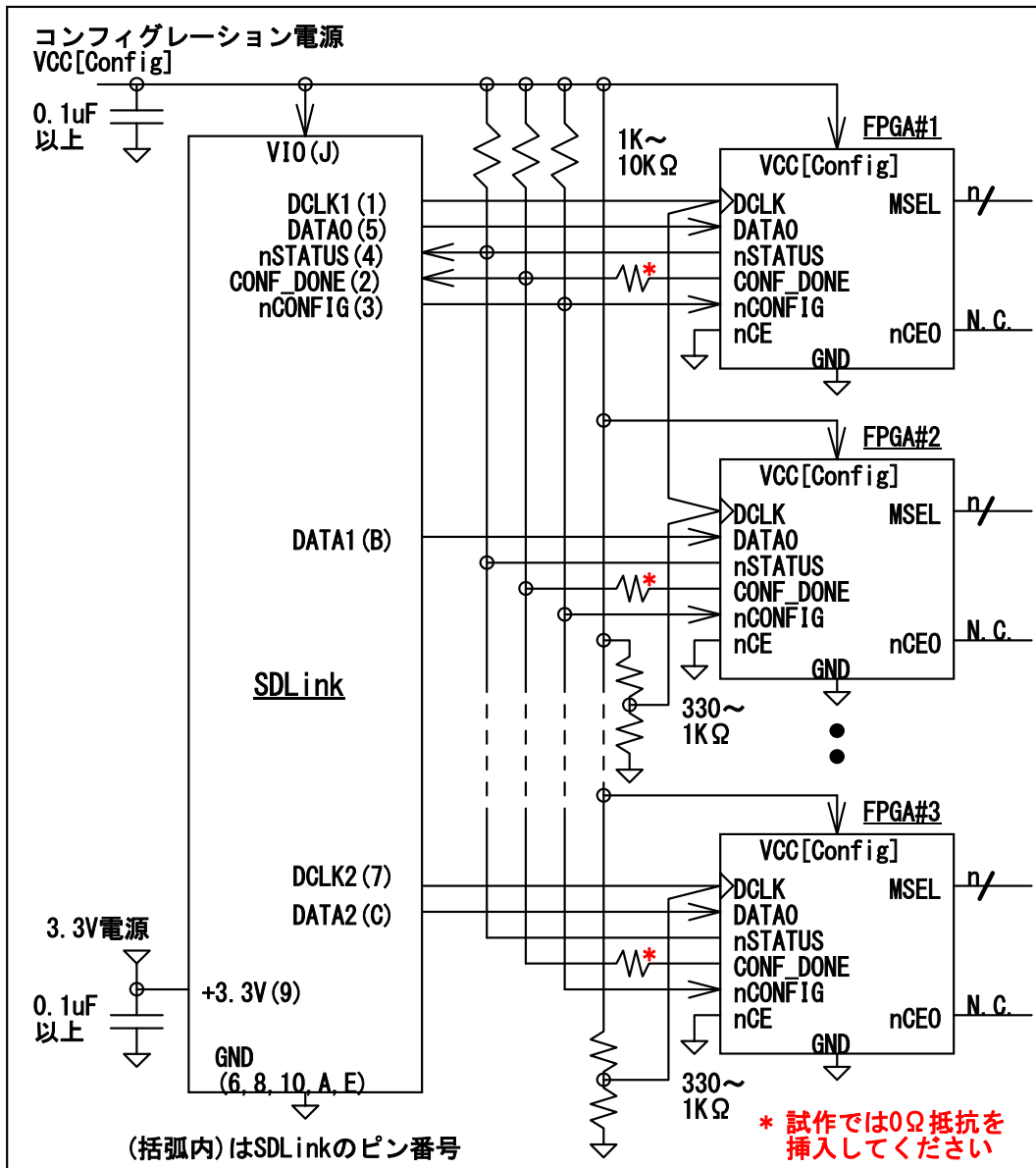


[図 1-1] SDLink のコンフィグレーション・モード

- シリアル・モードの Passive-Serial および Slave-Serial は最大8デバイスの FPGA に対する同時シリアル・コンフィグレーションが可能です。
- パラレル・モードの Fast Passive-Parallel および Slave-Parallel (Select MAP8)は1デバイスの FPGA へのみパラレル・コンフィグレーションが可能です。

## 1.1. Altera-FPGA の Passive-Serial コンフィグレーション

- Altera 製 FPGA にて Passive-Serial モードでのコンフィグレーションを実行する場合、ユーザ基板は下図 1-2 のように設計してください。
- (図 1-2 は 3 個の FPGA を SDLink の PS モードでコンフィグする場合の配線図です。)

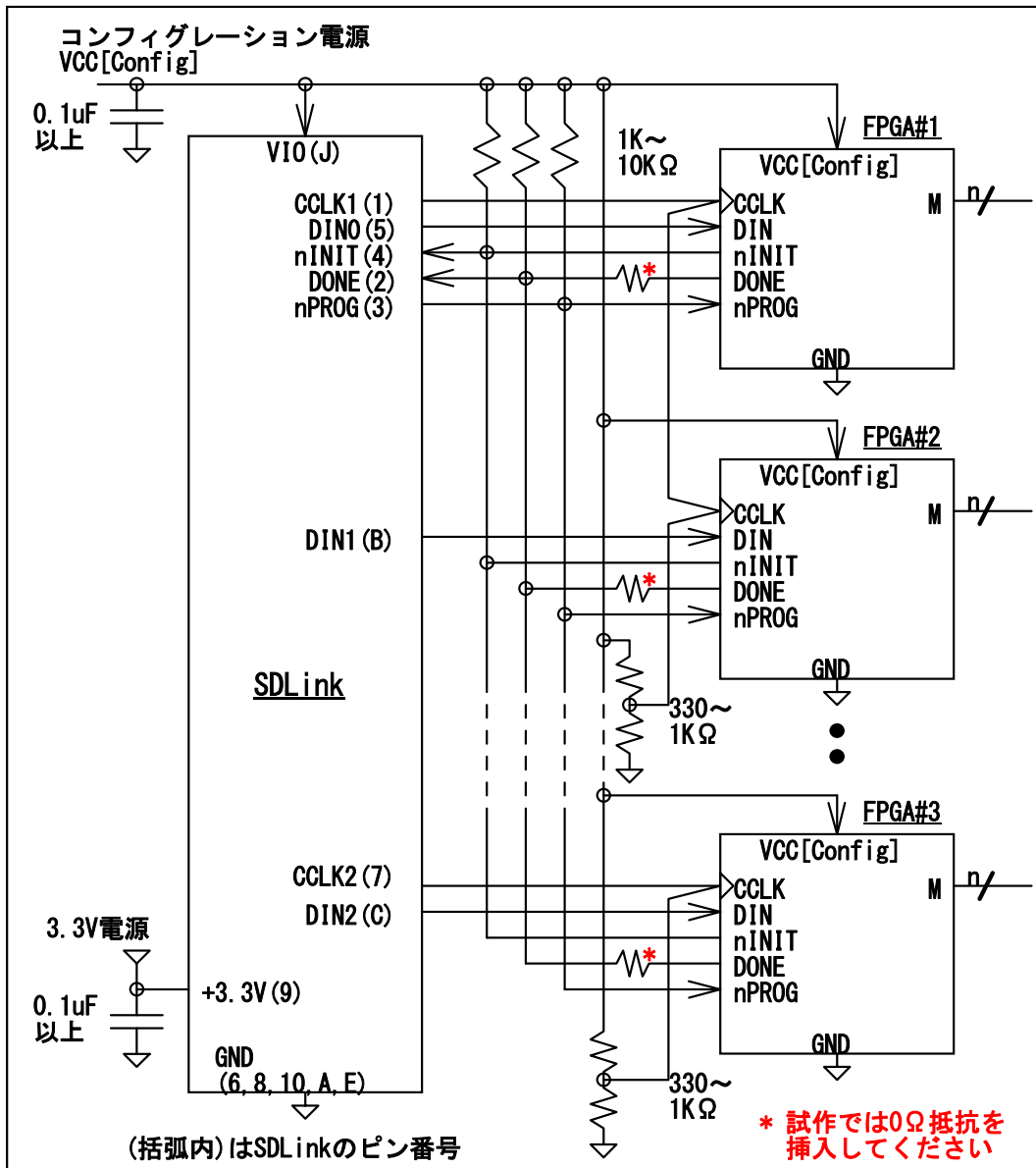


[図 1-2] AlteraFPGA の PS モードによるコンフィグレーション配線図

- 各 FPGA の MSEL ピンは PS モードとなるように設定してください。
- FPGA の全コンフィグレーション信号電源と SDLink の VIO 電源は同一の電源電圧としてください。
- SDLink から DCLK1 と DCLK2 は同一のクロック出力です。両 DCLK の FanOut 数をなるべく平均化させてください。
- DCLK1/2 から各 FPGA の DCLK へは、“SDLink が起点で PullUp/Down 抵抗(330~1KΩ程度)が終点”となるような一筆書きパターンにて配線してください。
- DCLK1/2 の配線長は極力短くしてください。
- nSTATUS / CONF\_DONE / nCONFIG にはそれぞれ 1K~10KΩ程度の PullUp 抵抗が必要となります。
- SDLink の電源ピン(VIO および+3.3V)にはピンの近くに 0.1uF 以上のパコンを実装してください。
- (\*) 試作基板では問題発生時の対応として各 FPGA の CONF\_DONE 出力に 0Ω抵抗を挿入してください。(この詳細については、“2.1.シリアル・モードでの試作基板”の章を参照してください。)

## 1.2. Xilinx-FPGA の Slave-Serial コンフィグレーション

- Xilinx 製 FPGA にて Slave-Serial モードでのコンフィグレーションを実行する場合、ユーザ基板は下図 1-3 のように設計してください。
- (図 1-3 は 3 個の FPGA を SDLink の SS モードでコンフィグする場合の配線図です。)

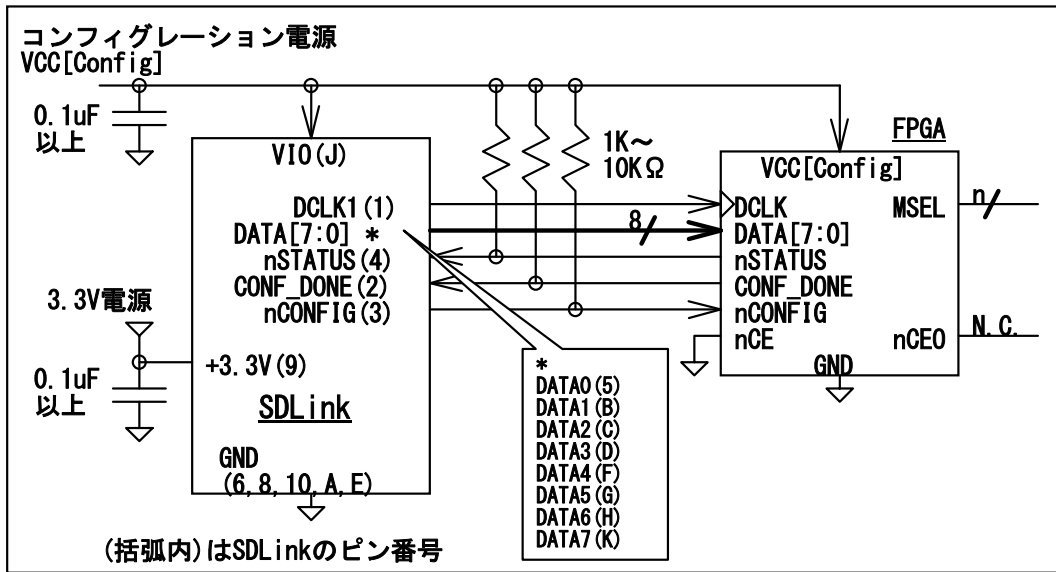


[図 1-3] XilinxFPGA の SS モードによるコンフィグレーション配線図

- 各 FPGA の M ピンは SS モードとなるように設定してください。
- FPGA の全コンフィグレーション信号電源と SDLink の VIO 電源は同一の電源電圧としてください。
- SDLink から CCLK1 と CCLK2 は同一のクロック出力です。両 CCLK の FanOut 数をなるべく平均化させてください。
- CCLK1/2 から各 FPGA の CCLK へは、“SDLink が起点で PullUp/Down 抵抗(330~1KΩ程度)が終点”となるような一筆書きパターンにて配線してください。
- CCLK1/2 の配線長は極力短くしてください。
- nINIT / DONE / nPROG にはそれぞれ 1K~10KΩ程度の PullUp 抵抗が必要となります。
- SDLink の電源ピン(VIO および+3.3V)にはピンの近くに 0.1uF 以上のパスコンを実装してください。
- (\*) 試作基板では問題発生時の対応として各 FPGA の DONE 出力に 0Ω抵抗を挿入してください。(この詳細については、“2.1.シリアル・モードでの試作基板”の章を参照してください。)

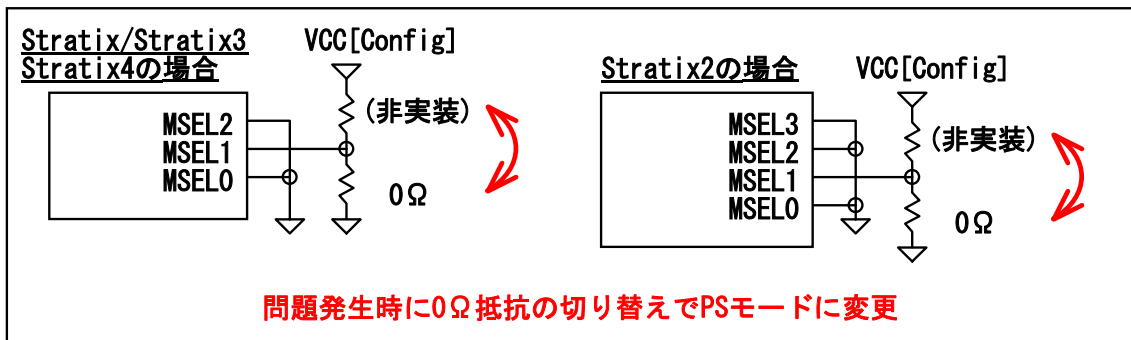
### 1.3. Altera-FPGA の Fast Passive-Parallel コンフィグレーション

- Altera 製 FPGA にて Fast Passive-Parallel モードでのコンフィグレーションを実行する場合、ユーザ基板は下図 1-4 のように設計してください。



[図 1-4] AlteraFPGA の FPP モードによるコンフィグレーション配線図

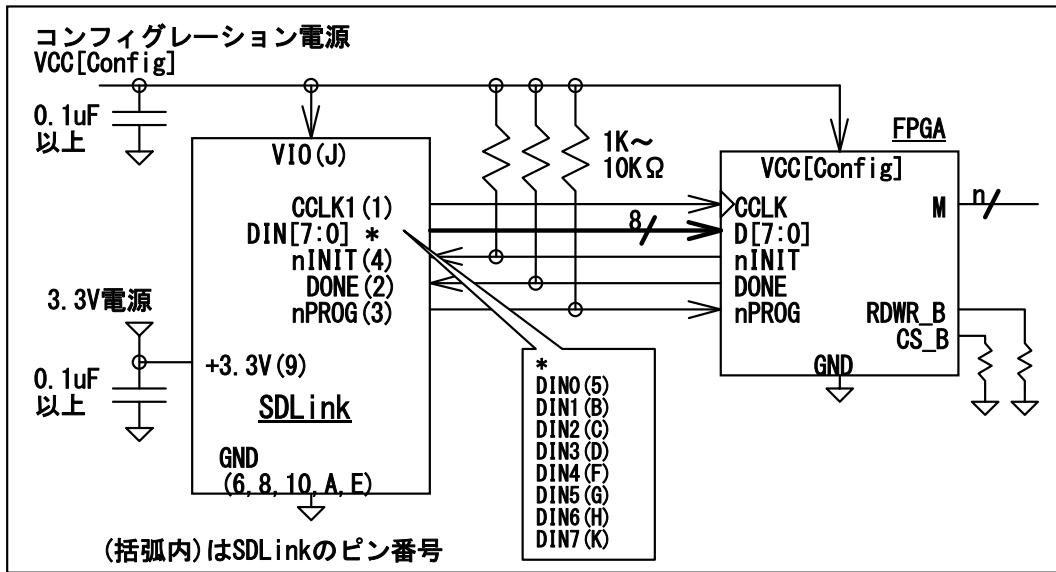
- 各 FPGA の MSEL ピンは FPP モードとなるように設定してください。
- FPGA の全コンフィグレーション信号電源と SDLink の VIO 電源は同一の電源電圧としてください。
- DCLK の配線長は極力短くしてください。この配線が長くなる場合は Passive-Serial の場合と同様にテブナン終端(図 1-2 参照)を実装してください。また、コンフィグ・クロックとして DCLK1 の代わりに DCLK2 を使うこともできます。
- FPGA の全コンフィグレーション信号電源と SDLink の VIO 電源は同一の電源電圧としてください。
- nSTATUS / CONF\_DONE / nCONFIG にはそれぞれ 1K~10KΩ 程度の PullUp 抵抗が必要となります。
- SDLink の電源ピン(VIO および+3.3V)にはピンの近くに 0.1uF 以上のパスコンを実装してください。
- SDLink の DATA[7:0]出力は Configuration 完了後 Hi-Z となるため、ユーザ回路にてこれらの信号を使うことができます。
- できれば下図 1-5 のように、MSEL ピンは FPP と PS の両モードを切り替えできるよう基板を設計してください。これは実機にて SDLink によるコンフィグレーションで問題が発生した場合、SDLink を基板から取り外し PS モードに切り替えた上で、Quartus2 から USB-Blaster 等での手動コンフィグレーションを試すことで、問題箇所を特定しやすくするためです。



[図 1-5] FPP モードの MSEL ピン処理

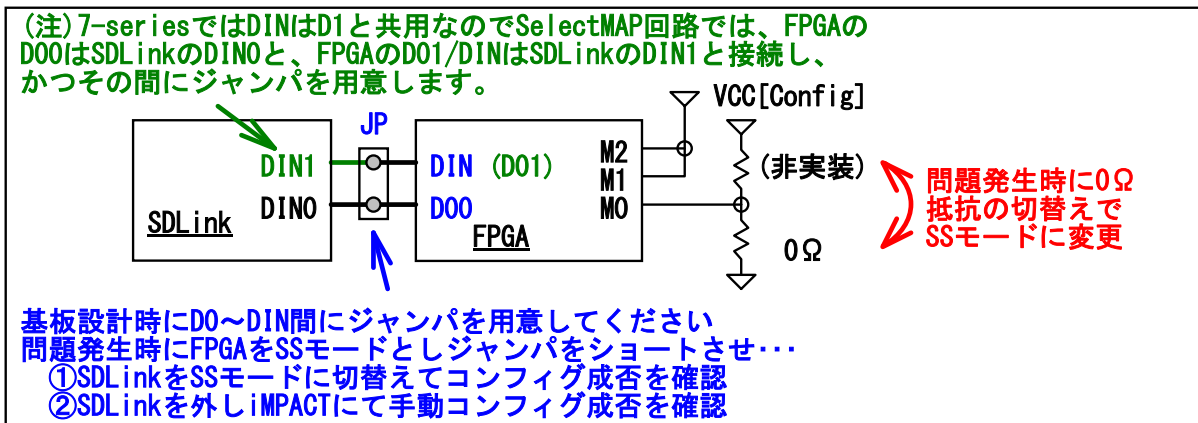
## 1.4. Xilinx-FPGA の Slave-Parallel (SelectMAP8) コンフィグレーション

- Xilinx 製 FPGA にて Slave-Parallel (SelectMAP8)モードでのコンフィグレーションを実行する場合、ユーザ基板は 図 1-6 のように設計してください。



【図 1-6】 XilinxFPGA の SP モードによるコンフィグレーション配線図

- 各 FPGA の M ピンは SP モード(SelectMAP8)となるように設定してください。
- FPGA の全コンフィグレーション信号電源と SDLink の VIO 電源は同一の電源電圧としてください。
- CCLK の配線長は極力短くしてください。この配線が長くなる場合は Slave-Serial の場合と同様にテブナン終端 (図 1-3 参照)を実装してください。また、コンフィグ・クロックとして CCLK1 の代わりに CCLK2 を使うこともできます。
- nINIT / DONE / nPROG にはそれぞれ 1K~10KΩ 程度の PullUp 抵抗が必要となります。
- SDLink の電源ピン(VIO および+3.3V)にはピンの近くに 0.1uF 以上のパスコンを実装してください。
- SDLink の DIN[7:0]出力は Configuration 完了後 Hi-Z となるため、ユーザ回路にてこれらの信号を使うことができます。
- また、万が一の問題発生時に備え 図 1-7 のように、M ピンは SelectMAP8 と SS の両モードを切り替えできるようにし、FPGA の DIN ピンと D0 ピンをジャンパでショートできるように基板を設計してください。
- これは実機の SDLink によるコンフィグレーションで問題が発生した場合 FPGA を SS モードに切替えた上で…
  - ①ジャンパにより SDLink の DINO を FPGA の DIN と接続した上で SDLink を SS モードでコンフィグ成否を確認する、さらには
  - ②SDLink を基板から取り外し PlatformCableUSB 等で iMPACT から手動での SS コンフィグ成否を確認するためです。



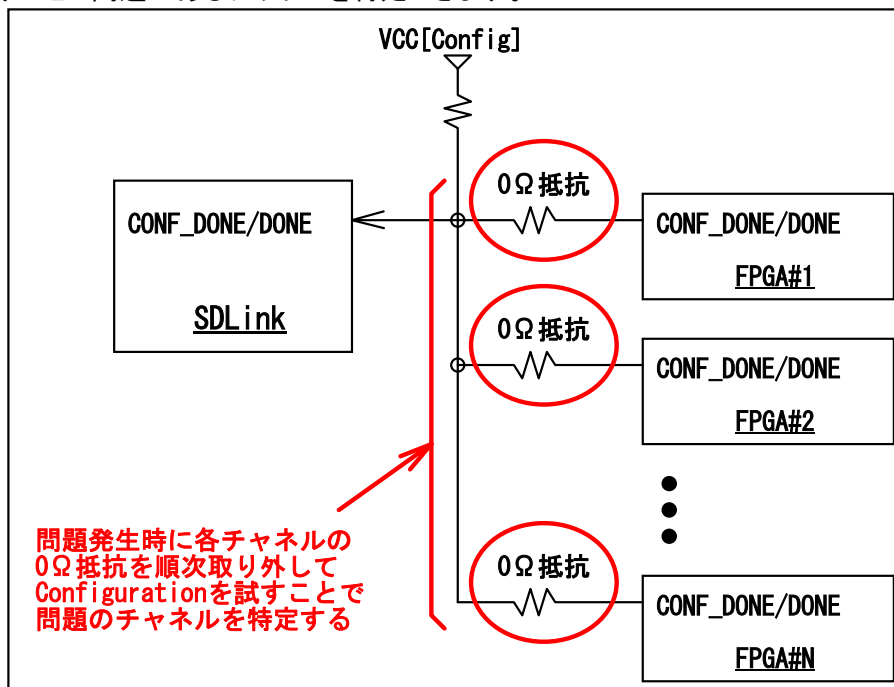
【図 1-7】 SP(SelectMAP8)モードの M ピン処理

## 2. 試作基板での推奨回路

- SDLink を使って試作基板を設計するときには、万が一の Configuration 問題発生時に原因の特定と対策を迅速に行えるよう、以下の推奨回路を実装してください。

### 2.1. シリアル・モードでの試作基板

- SDLink から複数の FPGA に対して同時にシリアル・モードでコンフィグレーションを行う試作基板を設計するときには、図 2-1 に示すよう各 FPGA からの CONF\_DONE/DONE 信号出力に対して個別にゼロΩ 抵抗を挿入してください。
- 例えばある FPGA のコンフィグレーション・チャンネルに問題があってコンフィグレーションが完了しない場合、その FPGA からの CONF\_DONE/DONE は全ビットデータが FPGA にロードされても Low にドライブされた状態を継続してしまいます。
- この場合、各 FPGA の CONF\_DONE/DONE 信号で個別にゼロΩ 抵抗が実装されていないと、Wired-OR 接続によって信号全体が Low にドライブされるので、どの FPGA に問題があるのか判断できません。
- 個別のゼロΩ 抵抗が実装されていれば、問題発生時に1チャンネル毎に順次ゼロΩ 抵抗を外した状態でコンフィグレーションを試すことで問題のあるチャンネルを特定できます。



[図 2-1] シリアルモードでの試作基板配線図

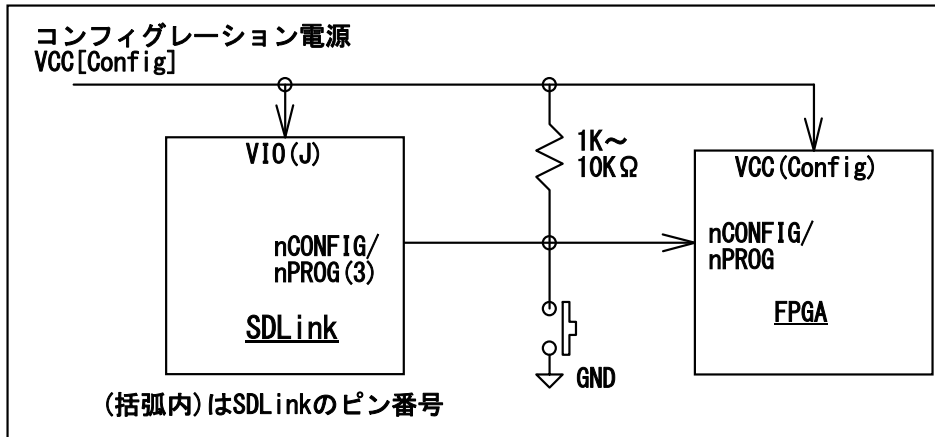
### 2.2. パラレル・モードでの試作基板

- SDLink からパラレル・モードでコンフィグレーションを行う基板においては、Altera デバイスの場合は図 1-5、Xilinx デバイスの場合は図 1-7 で示したように、問題発生時にシリアル・モードに切り替えて PC から手動でコンフィグレーションを試すことができるように設計してください。



### 3. 外部からの再コンフィグレーション

- SDLink では全てのコンフィグレーション・モードにおいて、外部からの再コンフィグレーションをサポートしております。
- 再コンフィグレーションは nCONFIG/nPROG ピン(Pin#3)を外部からプッシュスイッチ等で強制的に Low レベルとすることで実行されます。
- 再コンフィグレーションを行う基板を設計する場合、nCONFIG/nPROG ピンはユーザ基板にて下図 3-1 のように設計してください。



[図 3-1] 再コンフィグレーションの配線図

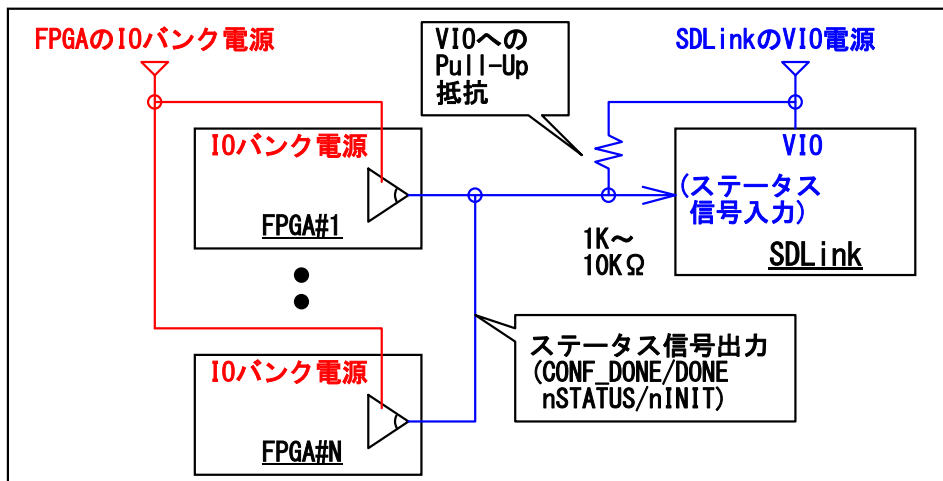
- nCONFIG/nPROG ピンは電源投入時のコンフィグレーション終了後、Hi-Z となり外部からの入力を受け付けます。このとき外部からの強制 Low レベルを検出すると SDLink は High レベルへの復帰後、再コンフィグレーションを開始します。
- nCONFIG/nPROG の入力は SDLink 自身でチャタリング防止機能が実装されているため、ユーザ基板側でのチャタリング対策回路は不要です。
- 電源投入時に nCONFIG/nPROG ピンがすでに Low レベルとなっていた場合、SDLink は外部からの Low レベルが解除され PullUp 抵抗により High レベルに復帰してからコンフィグレーションを開始します。
- コンフィグレーション実行中に nCONFIG/nPROG ピンを Low レベルとした場合、実行中のコンフィグレーションは中断され、このピンが High レベルに復帰してから再び最初からコンフィグレーションを開始します。

## 4. 異なるコンフィグレーション電圧レベルの対応

- SDLink へ供給するコンフィグレーション電圧(VIO)は、基本的には FPGA に供給するコンフィグレーション・クロック (DCLK/CCLK)の IO 電圧レベルに合わせてください。
- 特殊なケースを除いて DCLK/CCLK の電圧レベルは 2.5V あるいは 3.3V となるので、VIO もそれにあわせて 2.5V あるいは 3.3V となります。
- 本セクションでは、コンフィグレーション・クロックの電圧レベルに合わせて VIO を 2.5V あるいは 3.3V とした場合において、クロック以外の信号レベルが VIO と異なるケースに対応するユーザ基板の設計を、各コンフィグレーション信号ごとに説明します。

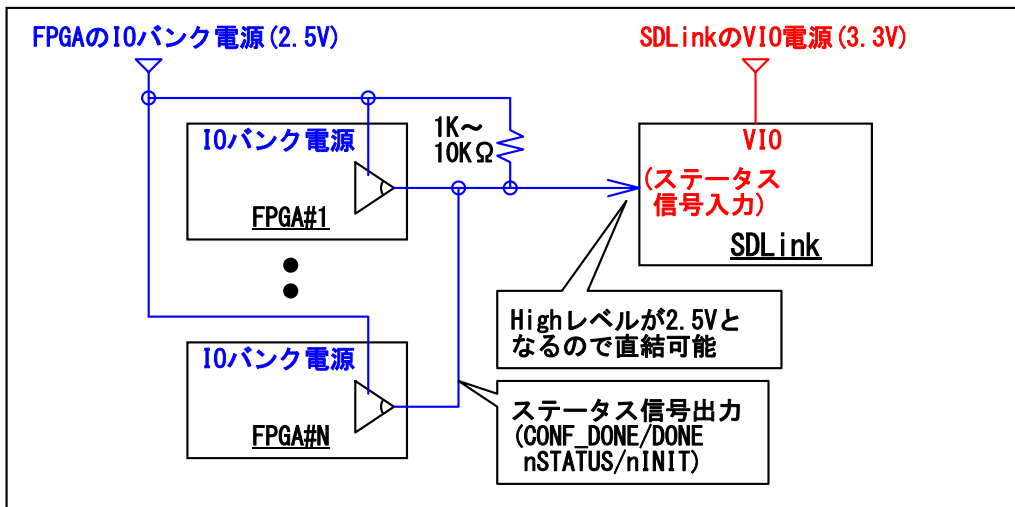
### 4.1. ステータス信号(CONF\_DONE/DONE および nSTATUS/nINIT)

- コンフィグレーションの状態を示すステータス信号 (CONF\_DONE/DONE および nSTATUS/nINIT) は、各 FPGA から出力しユーザ基板上で Wired-OR 結線するオープン・ドレイン出力となります。
- ステータス信号のある FPGA の IO バンク電圧が、SDLink のコンフィグレーション電源 (VIO) と同じかそれより高い場合は、下図 4-1 のように VIO に対する Pull-Up 抵抗を実装するだけで対応できます。



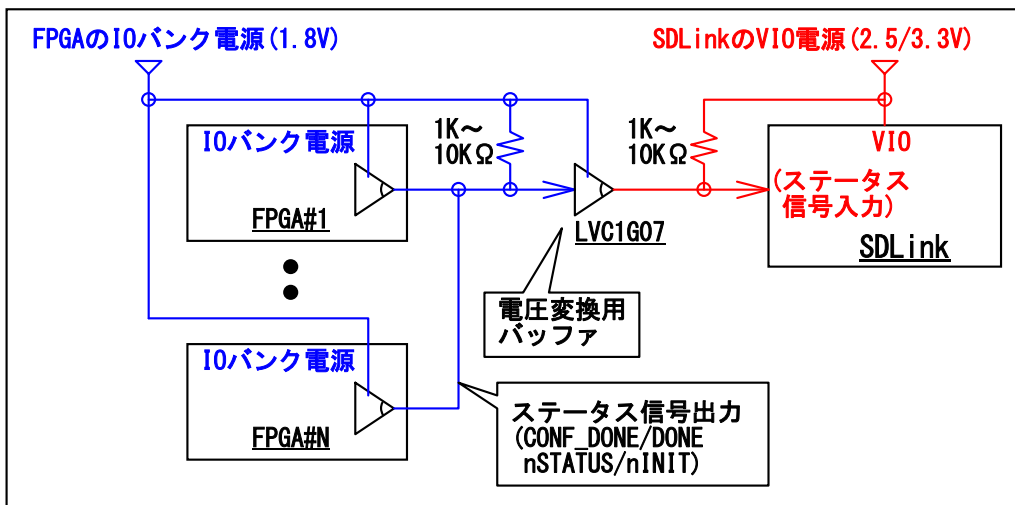
[図 4-1]ステータス信号の IO バンク電圧が VIO より高い場合の配線

- ステータス信号のある FPGA の IO バンク電圧が VIO より低い場合において、FPGA 側が 2.5V で VIO が 3.3V の場合は下図 4-2 のように FPGA の IO バンク電圧となる 2.5V に Pull-Up してください。この場合ステータス信号の High レベルは 2.5V となって SDLink の  $V_{IH}=1.7V$  を超えるので電圧変換バッファは不要となります。



[図 4-2] ステータス信号の IO バンク電圧が 2.5V で VIO が 3.3V の場合の配線

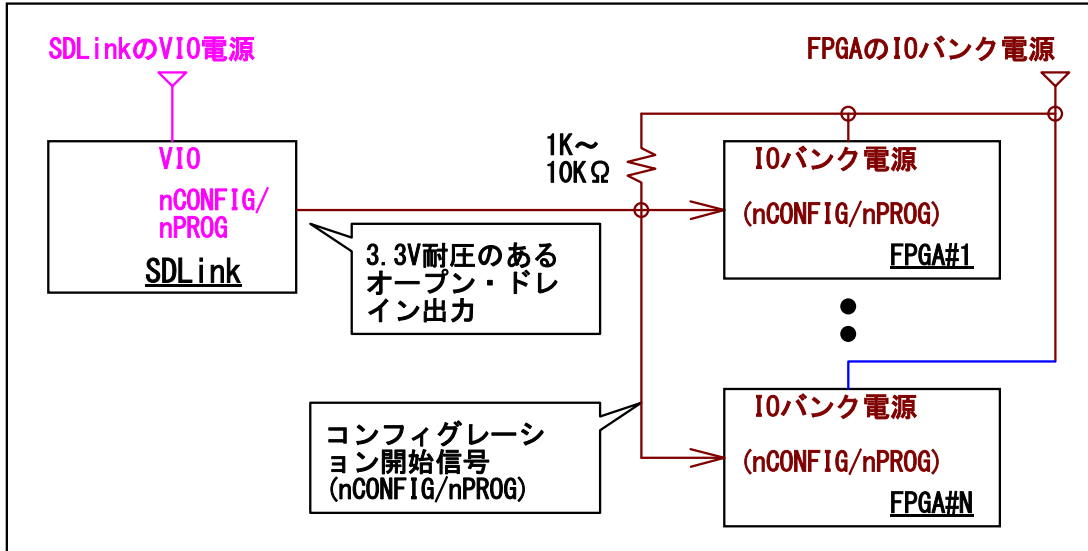
- ステータス信号のある FPGA の IO バンク電圧が VIO より低い場合において、FPGA 側が 1.8V で VIO が 2.5V か 3.3V の場合は、下図 4-3 のようにステータス信号に電圧変換用のバッファ(下図は LVC1G07 を使った例です)を挿入してください。



[図 4-3] ステータス信号の IO バンク電圧が 1.8V で VIO が 2.5V か 3.3V の場合の配線

## 4.2. 開始信号(nCONFIG/nPROG)

- コンフィグレーションの開始を指示する(nCONFIG/nPROG)は、SDLink から出力されるオープン・ドレインタイプの信号です。SDLink の nCONFIG/nPROG 出力は、VIO 電源のレベルに関わらず 3.3V 耐圧があります。
- 開始信号のある FPGA の IO バンク電圧が SDLink のコンフィグレーション電源(VIO)と異なる場合も、本信号の電圧変換用バッファは不要です。
- 開始信号は下図 4-4 のように nCONFIG/nPROG を FPGA の IO バンク電源に対してプルアップするように配線してください。



[図 4-4] 開始信号(nCONFIG/nPROG)の配線(電圧が異なっても問題ありません)

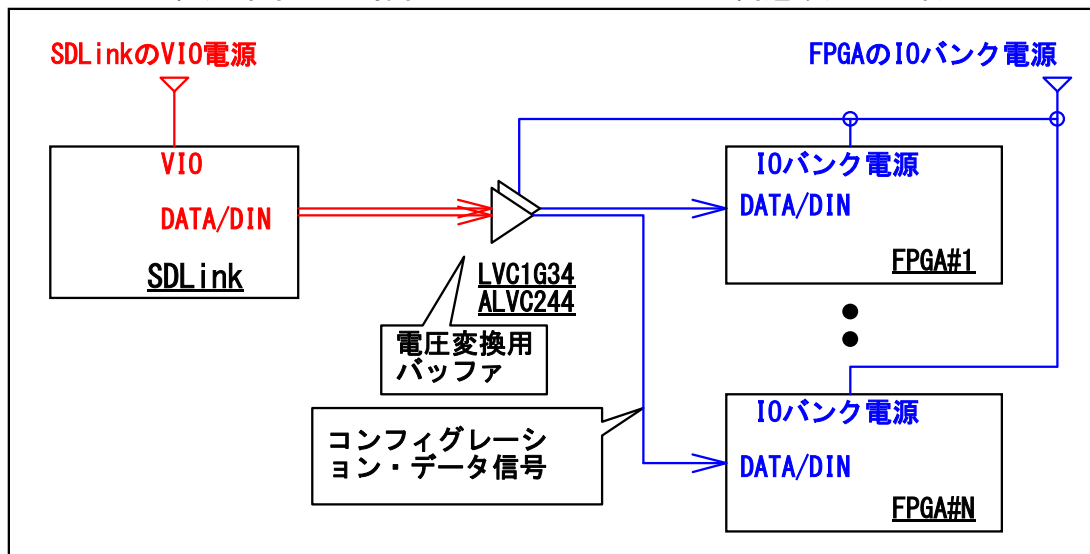
### 4.3. データ信号(DATA[7:0]/DIN[7:0])

- コンフィグレーション・データ信号(DATA[7:0]/DIN[7:0])は、SDLink から出力される PushPull タイプの信号となります。
- データ信号のある FPGA の IO バンク電圧が SDLink のコンフィグレーション電源(VIO)と異なる場合、電圧変換用のバッファが必要となります。
- ただし FPGA の IO バンク電圧が 3.3V で SDLink の VIO 電圧が 2.5V の場合、SDLink からのデータ出力の  $V_{OH}(=2.0V)$  は FPGA 入力の  $V_{IH}(=1.7V)$  を上回るため、バッファを省略し SDLink と FPGA 間を直結できます。
- 従って、データ信号に電圧変換バッファが必要となるのは、下表 4-1 に示すケースです。

SDLink の VIO 電圧	FPGA の IO バンク電圧	電圧変換バッファの要否
2.5V	1.8V	必要
2.5V	2.5V	(不要)
2.5V	3.3V	(不要)
3.3V	1.8V	必要
3.3V	2.5V	必要
3.3V	3.3V	(不要)

[表 4-1] データ信号で電圧変換バッファが必要となるケース

- データ信号はある程度高速性を要求される信号のため、電圧変換バッファにはオープンドレイン・タイプを使うことはできませんが、下図 4-5 のように LVC1G34(1 チャンルの場合)や ALVC244(パラレル・モードや多チャンネルの場合)等の 3.3V 入力耐圧・高速品を使うと簡単に設計できます。(FPGA の IO バンク電源が 2.5V か 3.3V の場合は、ALVC244 の代わりに多少遅延時間の大きい LVC244A としても問題ありません。)



[図 4-5] データ信号(DATA[7:0]/DIN[7:0])用の電圧変換方法

## 5. Xilinxファミリ別の設計上の注意点

- SDLinkを使ったコンフィグレーション回路において、FPGA のファミリによっては特別な配慮を必要とするケースがあります。
- 本章では Xilinx デバイス・ファミリにおいて、設計上で注意を要する点について説明します。

### 5.1. Virtex-6 の設計注意点

- Virtex-6 デバイスは 3.3V レベルの I/O 電圧をサポートしていないため、SDLink を使ったコンフィグレーション回路は 2.5V または 1.8V で設計する必要があります。
- 従って Bank0 は 2.5V か 1.8V としてください。さらに SlaveSelectMAP の場合は D[7:0]がアサインされた Bank24 も 2.5V または 1.8V とし、可能であれば Bank0 と同じ電圧レベルで設計してください。

### 5.2. Spartan-6 の設計注意点

- FPGA の SUSPEND ピンは GND に接続してください。
- FPGA の Bank2 を 1.8V として SDLink コンフィグレーション回路を設計する場合、FPGA の Vccaux は 3.3V にはできず 2.5V とする必要があります。(詳細は ug380 を参照してください。)

### 5.3. 7-Series デバイス(Virtex-7/Kintex-7/Artix-7)の設計注意点

- Virtex-7 において、SlaveSerial で使う DIN および SlaveSelectMAP で使う D[7:0]は、どちらも HP(High Performance)バンクの Bank14 にアサインされています。
- HP バンクは 2.5V/3.3V レベルに対応していないため、Virtex-7 デバイスの SDLink コンフィグレーションは 1.8V で設計する必要がありますのでご注意ください。
- Kintex-7 および Artix-7 の Bank14 は HR(High Range)バンクのため、1.8V/2.5V/3.3V レベルのどれでも SDLink コンフィグレーションが可能です。(7 シリーズのコンフィグレーション電圧設定については下図 5-1 を参照してください。)

表 2-6: コンフィギュレーション モード、設定可能な電圧、CFGBVS ピンの接続の一覧

コンフィギュレーションモード	コンフィギュレーションインターフェイス I/O 電圧	該当するファミリ			設定可能なバンク電圧			必要な CFGBVS ピン接続
		Artix™-7 ファミリ	Kintex™-7 ファミリ	Virtex™-7 ファミリ	バンク 0 VCCO_0 電圧	バンク 14 VCCO_14 電圧	バンク 15 VCCO_15 電圧	
JTAG (専用の場合)	3.3V	√	√	√	3.3V	任意 <sup>(1)</sup>	任意 <sup>(1)</sup>	V <sub>CCO_0</sub>
	2.5V	√	√	√	2.5V	任意 <sup>(1)</sup>	任意 <sup>(1)</sup>	V <sub>CCO_0</sub>
	1.8V	√	√	√	1.8V	1.8V 以下	1.8V 以下	GND
		N/A	N/A	N/A <sup>(1)</sup>	1.8V	3.3V または 2.5V	3.3V または 2.5V	無効
シリアル、SPI、SelectMAP	3.3V	√	√	N/A <sup>(1)</sup>	3.3V	3.3V	任意 <sup>(1)</sup>	V <sub>CCO_0</sub>
	2.5V	√	√	N/A <sup>(1)</sup>	2.5V	2.5V	任意 <sup>(1)</sup>	V <sub>CCO_0</sub>
	1.8V	√	√	√	1.8V	1.8V	1.8V 以下	GND
		N/A	N/A	N/A <sup>(1)</sup>	1.8V	1.8V	3.3V または 2.5V	無効

1. Virtex-7 FPGA のバンク 14 / バンク 15 は HP バンクであるため、1.8V 以下の I/O 規格にのみ対応します。  
 2. コンフィギュレーションモードにかかわらず、JTAG インターフェイスはバンク 0 の V<sub>CCO\_0</sub> 電圧レベルで常にサポートされます。

**Virtex-7は1.8Vレベルのコンフィグレーションのみ対応可能です  
Bank0/14の電圧は1.8Vとし、CFGBVSIはGNDとしてください**

**Kintex-7/Artix-7は1.8V/2.5V/3.3Vのどのレベルでもコンフィグレーションが可能です  
Bank0/14の電圧およびCFGBVSIはコンフィグレーション電圧に合わせて設定してください**

[図 5-1] 7 シリーズ FPGA ファミリのコンフィグレーション電圧

## 5.4. UltraScale デバイス(Kintex/Virtex UltraScale)の設計注意点

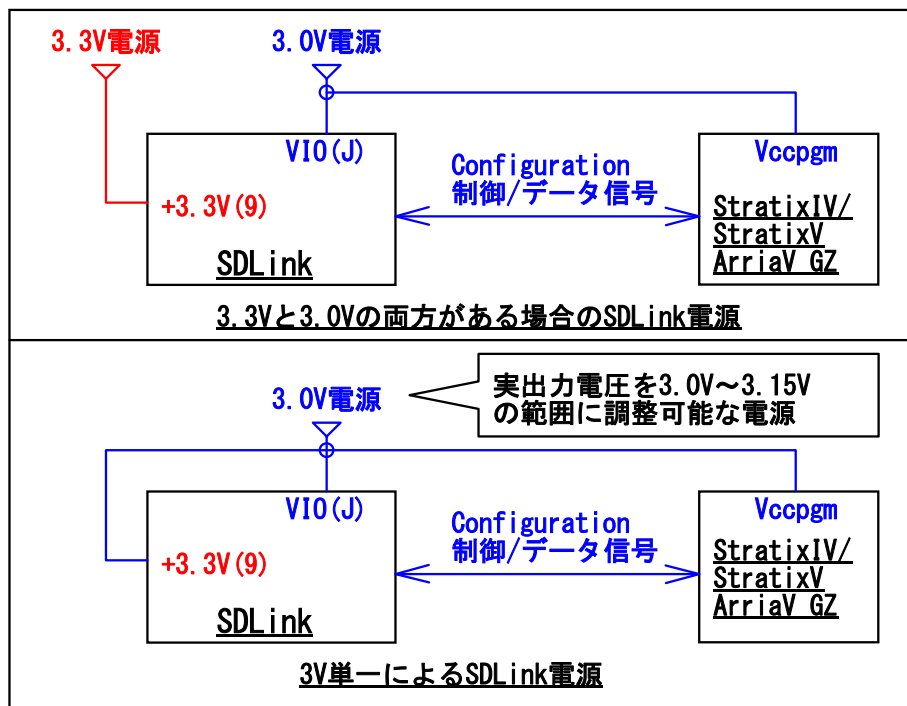
- Slave-Serial モードでのコンフィグレーション電圧について
  - ✓ Slave-Serial モードにおいてはバンク 0 のみが使われるため全ての Kintex/Virtex UltraScale デバイスにて 3.3V, 2.5V, 1.8V のいずれのコンフィグレーション電圧も対応可能です。
  - ✓ 3.3V または 2.5V の場合 CFGBVS ピンは VCCO\_0(バンク 0 の VIO 電圧)に接続し、1.8V の場合 CFGBVS は GND に接続してください。
  
- Slave-SelectMAP8 モードでのコンフィグレーション電圧について
  - ✓ パラレル・モードでのコンフィグレーションではバンク 0 とバンク 65 が使われます。
  - ✓ 特別な事情がない限りバンク 0 とバンク 65 は同一の電源を使い同一のコンフィグ電圧としてください。
  - ✓ KU095 または Virtex UltraScale はバンク 65 が HP バンクのため 1.8V でのみ選択可能です。(SDLink は 1.5V レベルのコンフィグレーションをサポートしておりません) この場合 CFGBVS は GND に接続します。
  - ✓ KU095 以外の Kintex UltraScale の場合バンク 65 は HR バンクのため 3.3V, 2.5V, 1.8V のいずれのコンフィグレーション電圧も対応可能です。コンフィグ電圧が 3.3V または 2.5V の場合 CFGBVS ピンを VCCO\_0 と、1.8V の場合は CFGBVS ピンを GND と接続してください。
  
- SDLink モジュール搭載の microSD カード内フラッシュ・メモリは初期化時間が必要となるため、POR\_OVERRIDE ピンは GND と接続してください。



## 6. Alteraファミリ別の設計上の注意点

### 6.1. StratixIV/StratixV/ArriaV の SDLink 電源と設計注意点

- AlteraFPGA の StratixIV,StratixV,および ArriaV GZ は 3.3V ではなく 3.0V コンフィグレーションをサポートしているため、ユーザ基板が 2.5V あるいは 1.8V の低電圧のみで動作する場合を除いて 3.0V 電源が別に必要となります。(ArriaV GX,GT,SX,ST は 3.3V コンフィグレーションをサポートします。)
- ユーザ基板上に 3.3V 電源と 3.0V 電源の両方が実装される場合、SDLink の SD 用電源(Pin#9 の+3.3V ピン)には 3.3V 電源を供給し、コンフィグレーション電源(Pin#J の VIO)には 3.0V 電源を供給します。
- しかしユーザ基板で 3.0V 電源しか使われない回路の場合、SDLink 用のためだけに 3.3V 電源を用意するのはコストや部品点数の面からあまり妥当ではない場合があります。
- このような場合、下図 6-1 のように、3.0V 電源からの実際の実出力電圧を 3.0V~3.15V の範囲に調整することが可能であれば、SDLink の SD 用電源は 3.0V 電源単一のみで供給できます。



[図 6-1] 出力電圧を 3.0V~3.15V の範囲で調整された 3V 単一による SDLink への電源供給

- また、POR 遅延はファストでなくスタンダードとしてください。SDLink はコンフィグ・データ読み出しのため装着した microSD を初期化する必要がありますが、microSD の初期化に数百 msec 必要となるためファストとしてもコンフィグ時間は短縮できません。
- 圧縮復元機能、デザインセキュリティ機能はどちらも Disable とし StratixV や ArriaV での FPP データ幅は 8bit とする必要があります。
- 従って StratixV/ArriaV を PS モードで使う場合は MSEL[4..0]=(10001)となり、また FPPx8 モードで使う場合は MSEL[4..0]=(11000)となります。

## 6.2. CycloneIV のコンフィグレーション・モード

- AlteraFPGA の CycloneIV デバイス(GX E とも)においては、SDLink は 3.3V と 2.5V のコンフィグレーション電圧のみサポートします。CycloneIV GX デバイスの 1.8V や 1.5V コンフィグレーション電圧はサポートされませんのでご注意ください。
- POR Delay は Standard としてください。SDLink は FPGA コンフィグレーションを開始する前に、SDLink に挿入された microSD の初期化処理を必要とし、そのための処理時間を必要とするため、POR Delay を Fast とした場合でもコンフィグレーションの開始が早くなることはありません。
- CycloneIV ファミリの GX シリーズでは、デバイス規模とパッケージにより、サポートするコンフィグレーション・モードが2種類に分かれます。
- FPP をサポートしない CycloneIV GX デバイス(MSEL3 が存在しない小規模 GX デバイス)においては、下図 6-2 の上側表の示すとおり、MSEL[2:0] = (GND,GND,GND)としてください。
- FPP をサポートする CycloneIV GX デバイス(MSEL3 が存在する大規模デバイス)においては、下図 5-1 の下側表の示すとおり、MSEL[3:0] = (VCC,GND,GND,GND)としてください。SDLink においては上記の通り microSD 初期化時間がかかるため、ユーザ基板設計が複雑化するデメリットを勘案すると FPP は推奨されません。

**Table 8-3. Configuration Schemes for Cyclone IV GX Devices (EP4CGX15, EP4CGX22, and EP4CGX30 [except for F484 Package])**

Configuration Scheme	MSEL2	MSEL1	MSEL0	POR Delay	Configuration Voltage Standard (V) <sup>(1)</sup>
AS	1	0	1	Fast	3.3
	0	1	1	Fast	3.0, 2.5
	0	0	1	Standard	3.3
	0	1	0	Standard	3.0, 2.5
PS	1	0	0	Fast	3.3, 3.0, 2.5
	1	1	0	Fast	1.8, 1.5
	0	0	0	Standard	3.3, 3.0, 2.5
JTAG-based configuration <sup>(2)</sup>	<sup>(3)</sup>	<sup>(3)</sup>	<sup>(3)</sup>	—	—

**CycloneIV GXでMSEL3がない小規模デバイスの場合MSEL[2:0]=(GND,GND,GND)とします**

**Table 8-4. Configuration Schemes for Cyclone IV GX Devices (EP4CGX30 [only for F484 package], EP4CGX50, EP4CGX75, EP4CGX110, and EP4CGX150) (Part 1 of 2)**

Configuration Scheme	MSEL3	MSEL2	MSEL1	MSEL0	POR Delay	Configuration Voltage Standard (V) <sup>(1)</sup>
AS	1	1	0	1	Fast	3.3
	1	0	1	1	Fast	3.0, 2.5
	1	0	0	1	Standard	3.3
	1	0	1	0	Standard	3.0, 2.5
PS	1	1	0	0	Fast	3.3, 3.0, 2.5
	1	1	1	0	Fast	1.8, 1.5
	1	0	0	0	Standard	3.3, 3.0, 2.5
FPP	0	0	0	0	Standard	1.8, 1.5
	0	0	1	1	Fast	3.3, 3.0, 2.5
	0	1	0	0	Fast	1.8, 1.5
	0	0	0	1	Standard	3.3, 3.0, 2.5
FPP	0	0	1	0	Standard	1.8, 1.5

**CycloneIV GXでMSEL3のある大規模デバイスの場合MSEL[3:0] = (VCC,GND,GND,GND)とします**

[図 6-2] CycloneIV GX デバイスのコンフィグレーション・モード

- CycloneIV E デバイスにおいては、MSEL[3:0] = (GND,GND,GND,GND)としてください。SDLink においては上記の通り microSD 初期化時間がかかるため、ユーザ基板設計が複雑化するデメリットを勘案すると FPP は推奨されません。また、POR Delay も Standard としてください。
- CycloneIV E デバイスで MSEL[3]が存在しない E144 または F256 パッケージにおいては、MSEL[2:0]を (GND,GND,GND)としてください。(すなわち PS モード、コンフィグレーション電圧=2.5V または 3.3V、POR Delay=Standard、の設定となります。)

**Table 8-5. Configuration Schemes for Cyclone IV E Devices**

Configuration Scheme	MSEL3	MSEL2	MSEL1	MSEL0	POR Delay	Configuration Voltage Standard (V) <sup>(1)</sup>
AS	1	1	0	1	Fast	3.3
	0	1	0	0	Fast	3.0, 2.5
	0	0	1	0	Standard	3.3
	0	0	1	1	Standard	3.0, 2.5
AP	0	1	0	1	Fast	3.3
	0	1	1	0	Fast	1.8
	0	1	1	1	Standard	3.3
	1	0	1	1	Standard	3.0, 2.5
	1	0	0	0	Standard	1.8
PS	1	1	0	0	Fast	3.3, 3.0, 2.5
	0	0	0	0	Standard	3.3, 3.0, 2.5
FPP	1	1	1	0	Fast	3.3, 3.0, 2.5
	1	1	1	1	Fast	1.8, 1.5
JTAG-based configuration <sup>(2)</sup>	(3)	(3)	(3)	(3)	—	—

**CycloneIV Eデバイスの場合MSEL[3:0]=(GND,GND,GND,GND)とします**

[図 6-3] CycloneIV E デバイスのコンフィグレーション・モード

## 改版履歴

版	日付	内容
1.0	2008/03/01	初期版発行
1.1	2008/03/04	パラレルモードの場合シリアルに切替え可能な推奨回路を追加
1.2	2008/03/13	図の修正(PullUp 先の電源を明示)
1.3	2008/03/21	試作の問題解決用推奨回路として(CONF_)DONE の 0Ω 挿入を追加
1.4	2008/04/01	異なる電圧レベルの対応方法を追加
1.5	2008/12/02	Stratix4 のサポート情報を追加
1.6	2010/06/09	図 4-5 が抜けていたため修正
1.7	2012/01/30	Cyclone4 の推奨コンフィグレーション情報を追加
1.8	2012/05/09	章構成を変更しデバイスファミリー別の設計上の注意点情報を追加
1.9	2012/08/30	6.1 章にて Stratix V と設計注意点の記載を追加
2.0	2013/05/17	6.1 章にて Arria V と設計注意点の記載を追加
2.1	2016/08/22	5.4 章にて UltraScale の設計注意点の記載を追加

© 2008 Design Gateway Co.,Ltd.