

AB21-E1PCI について

本製品は DesignGateway (以下 DG)製 NVMe-IP コア評価および同 IP コアを使ったお客様デザイン試作専用のアダプタ基板です。

DG 製 NVMe-IP コア紹介サイト:

https://dgway.com/NVMe-IP_X.html (AMD 向け)

https://dgway.com/NVMe-IP_A.html (altera 向け)

本製品は DG 製 NVMe-IP コア専用品のため、動作環境に DG 製 NVMe-IP コアが含まれない場合は本製品の動作保証および Q&A を含む一切の技術サポートが対象外となるので他社製品を使ってください。

はじめに

本 E1-PCIe 変換アダプタ[型番: AB21-E1PCI] (以下、アダプタと略します)は DG 製 NVMe-IP コアを使った実機動作の検証専用アダプタ基板です。DG 製 NVMe-IP コアがサポートする各 FPGA 評価ボードに適用可能で同 IP コアの実機評価やコアを使ったユーザ製品開発に使用します。

アダプタ基板の部品面には 4 個の E1 コネクタが実装されており、E1 規格 SSD を最大 4 台まで装着できます。半田面には 16Lane 対応の PCIe (PCI Express)コネクタが実装され、Lane3-0/7-4/11-8/15-12 がそれぞれ CN1/CN2/CN3/CN4 に装着された SSD と接続します。全チャンネルで PCIe Gen5 速度での正常動作を実機確認済みです。

本アダプタには低ジッタのクロック発振器やリセット回路が実装され、PCIe および E1 SSD へのクロック/リセット信号へ供給可能です。本アダプタおよび E1 SSD への電源は標準の 6 ピンタイプ PCI Express 補助電源から供給します。

本製品には、本アダプタと接続する 4 台の各 SSD ドライブを安定して保持するスタンドが同梱されているため、信頼性のある電気接続が維持されます。

本アダプタおよび SSD ドライブを保持するサポート・スタンドを下图 1 に示します。

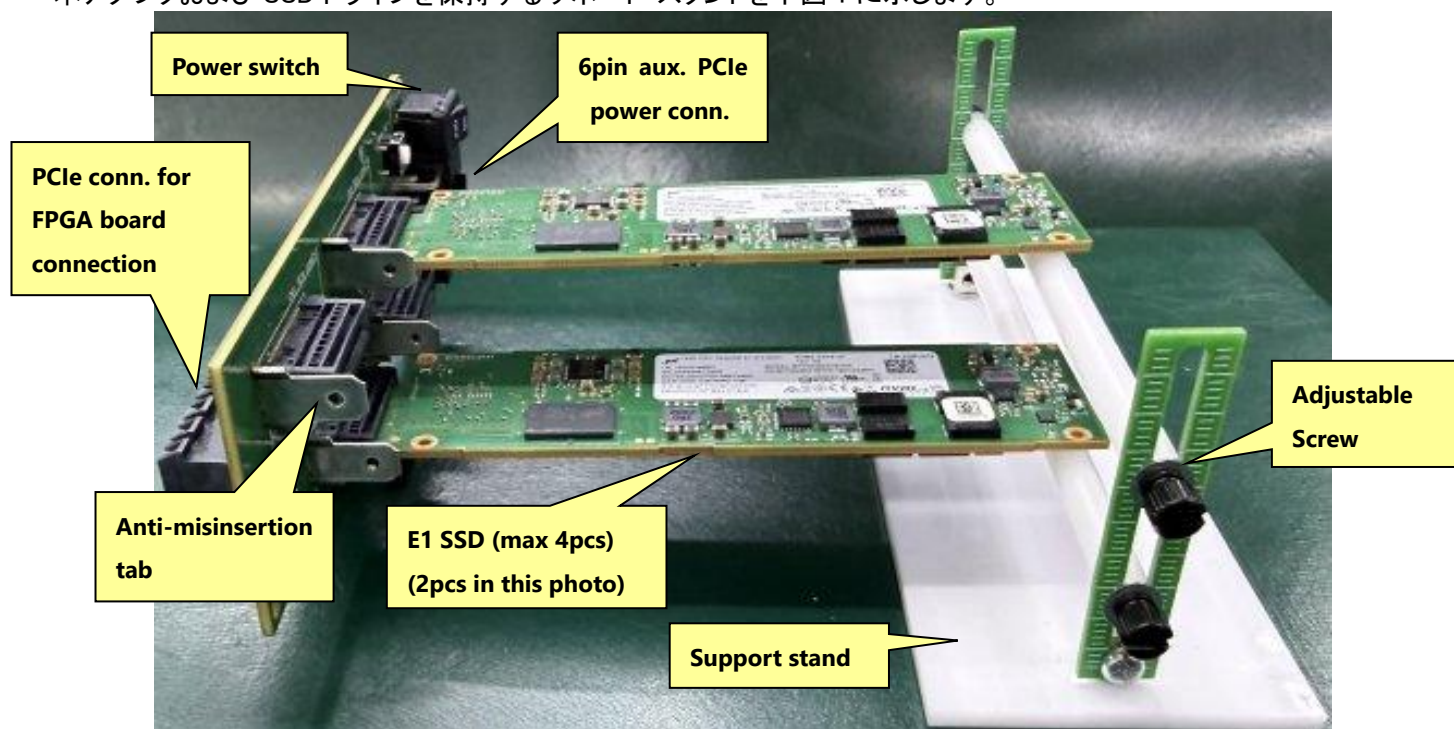


図 1: E1.S SSD を接続した本アダプタとサポート・スタンド

本アダプタの特長を以下に示します。

- 16Lane PCI Express 対応の E1 SSD 搭載用アダプタ基板
- DG 製 NVMe-IP コアにおける PCIe Gen5 での FPGA-E1 SSD 間の正常アクセス実機動作確認済み
- E1 SSD を最大 4 台まで同時装着可能 (CN1,CN3 は厚さ 15mm までの E1 SSD 接続が可能)
- アダプタおよび SSD 電源は汎用の外部 6pin PCIe 補助電源から+12V で供給
- 本アダプタおよび E1 SSD への供給電源はスイッチで ON/OFF 制御可能
- アダプタ上に PCIe 規格の 100MHz 低ジッタクロック発生源を実装
- PCIe と 4 台の SSD の計 5 系統全てに同一位相の低ジッタ 100MHz 差動クロック信号を供給
- リセットは PCIe-SSD 直結とアダプタ基板上的のリセット出力をジャンパ・ソケットで選択可

基板外形

本アダプタの基板サイズは、横幅 120mm 高さ 40mm です。アダプタ基板の部品面と半田面の基板外観写真をそれぞれ下図 2 および図 3 に示します。

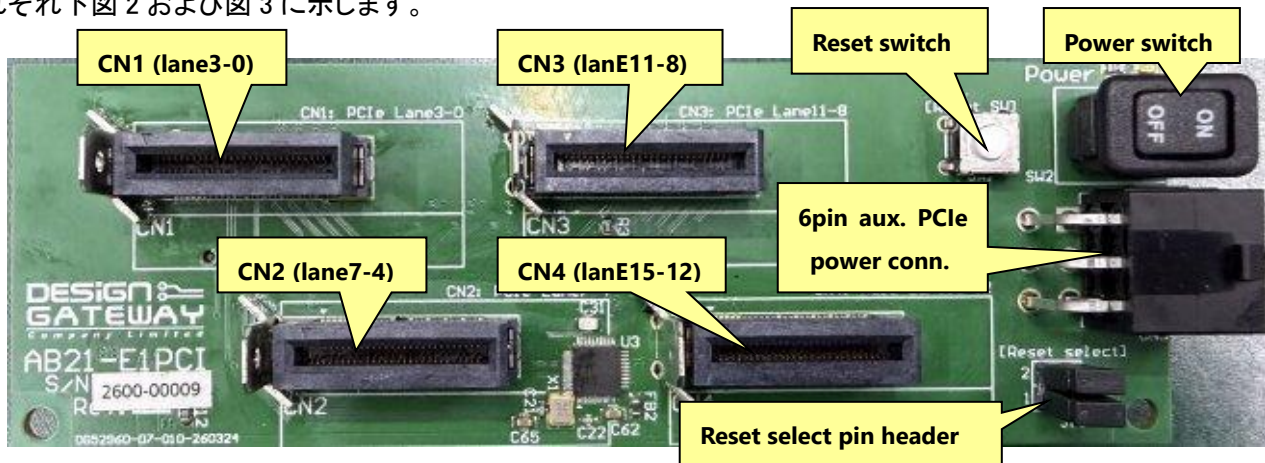


図 2: アダプタ基板の部品面

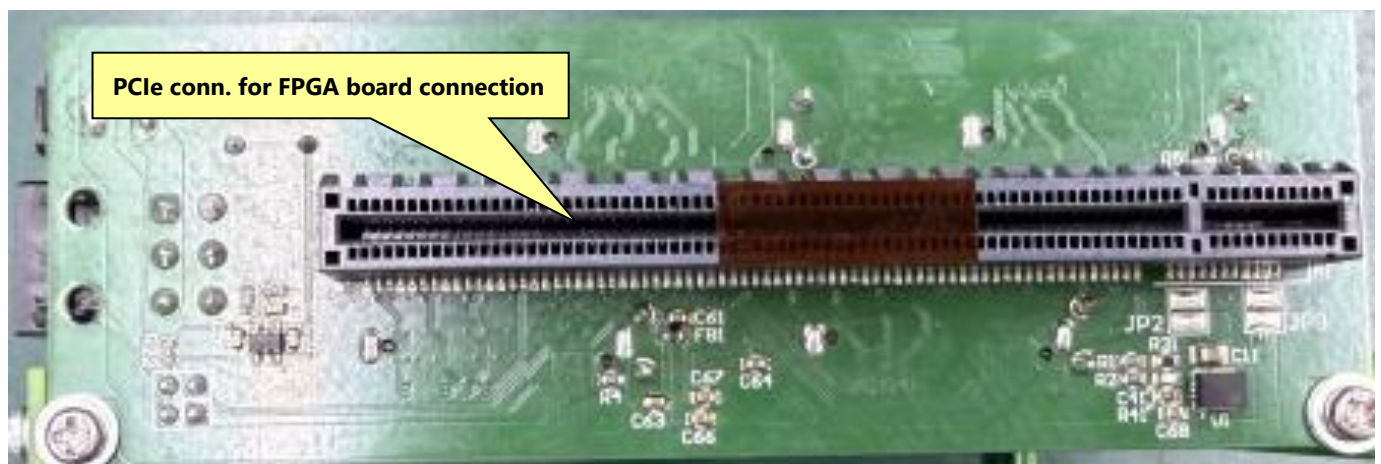


図 3: アダプタ基板の半田面

電源と逆刺し防止タブ

本アダプタおよび装着した SSD への電源は図4に示すように 6 ピンタイプの PCIe 補助電源から+12V で供給します。電源スイッチによりアダプタ基板および SSD への+12V 電源供給を制御できます。電源投入状態は電源コネクタ横の LED で確認可能です。供給された+12V 電源はアダプタ内の電源レギュレータにて動作に必要な+3.3V 電源を生成しますが、+3.3V 電源は E1 SSD や PCIe コネクタの+3.3V 電源ピンには供給されず、アダプタ内部回路のみに供給されます。従って PCIe に接続した FPGA ボードへの電源供給は本アダプタの PCIe コネクタ経由ではできません。各 E1 コネクタ近傍には逆刺し防止タブが実装されており SSD 逆刺しによる致命的ダメージを防止します。

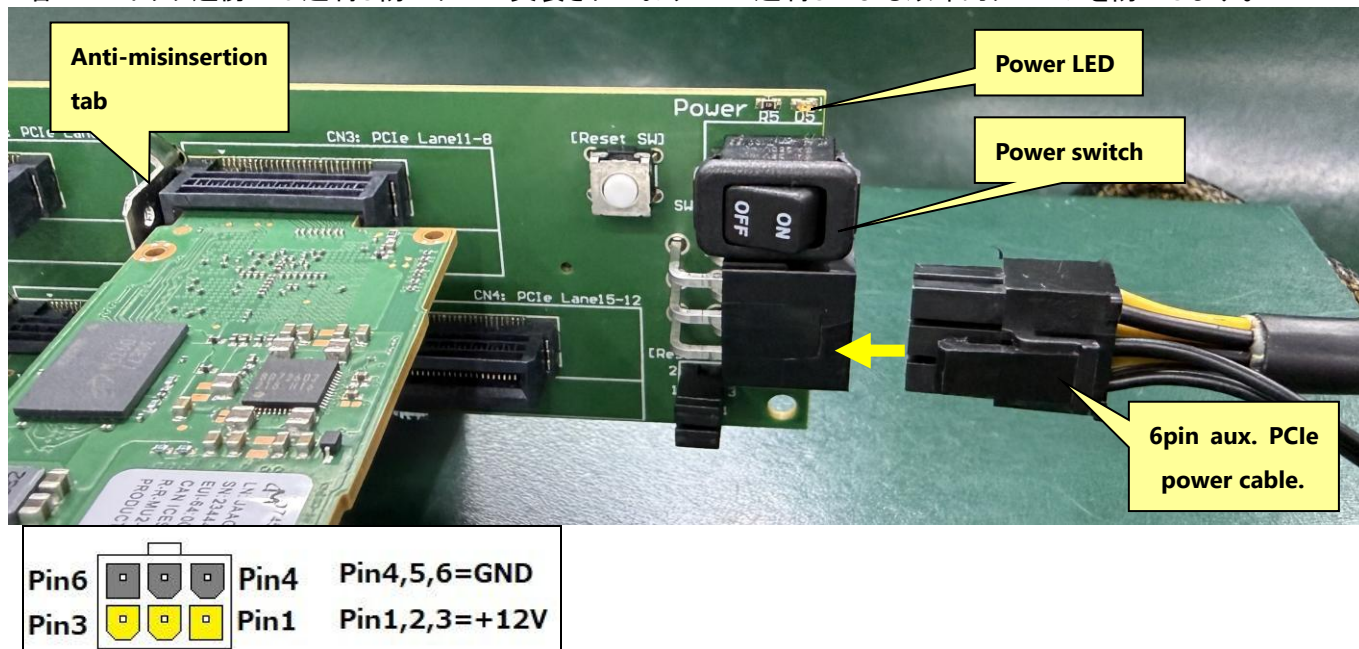


図 4: 電源スイッチ, PCIe 補助電源コネクタおよび電源ピンアサイン

サポート・スタンド

サポート・スタンドを使い SSD が本アダプタに対して直角に接続するよう調整してください。本スタンドの SSD 接触部分は絶縁体の部品で構成されています。

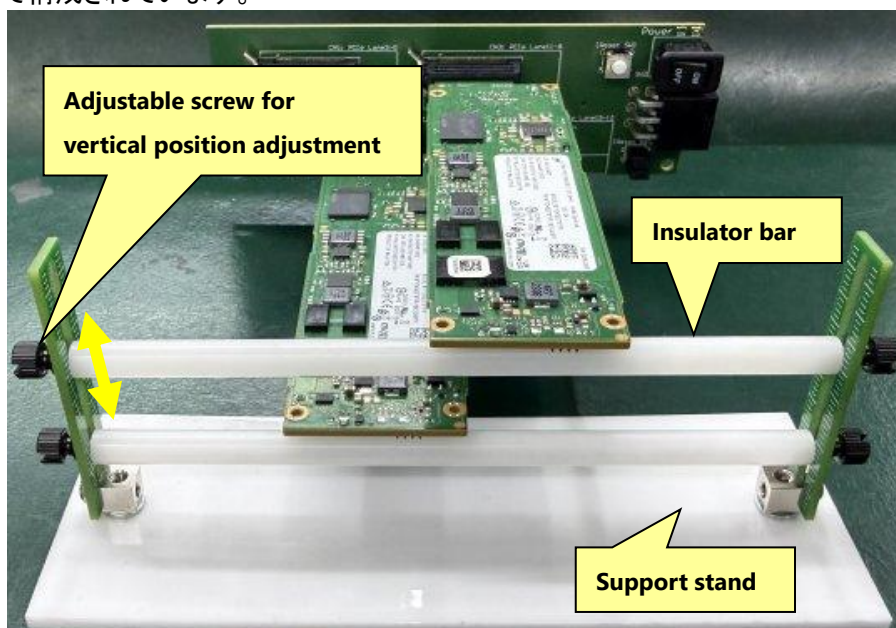


図 5: サポート・スタンド

クロック

本アダプタには低ジッタの PCIe 規格対応クロック・ジェネレータが実装されており、PCIe の差動クロック(A13/A14ピン)および全 4 チャンネルの E1 SSD 用差動クロック(B15/B14 ピン)に対して全て同一の位相でシステム・クロックが供給されます。クロック周波数は 100MHz 固定で変更できません。

リセット

本アダプタには PCIe および E1 のリセット信号を生成するリセット IC、手動でリセット信号を発生するためのリセット・スイッチ[SW1]、各リセットシステムを選択するための 2x2 ジャンパヘッド[JP1]が実装されています。

リセット IC は+3.3V 電源の電圧レベルを常時モニタし約 3.0V を下回った場合にロウ・アクティブのリセット信号を出力します。またリセット・スイッチ押下によっても同様に 100msec 程度のリセット信号パルスを生成します。

リセット信号の接続は図 6 に示す 2 列×2 本の 4 ピンヘッド JP1 にソケットを挿入することで以下のように設定可能です。工場出荷時の JP1 ソケット設定は図 6 の 1-3 間および 2-4 間の接続となります。

1-3 間ショート: リセット IC 出力と 4 個全ての E1 SSD のリセット(B10 ピン)を接続

2-4 間ショート: リセット IC 出力と PCI Express のリセット(A11 ピン)を接続

1-2 間ショート: PCI Express のリセットと 4 個全ての E1 SSD のリセットを接続

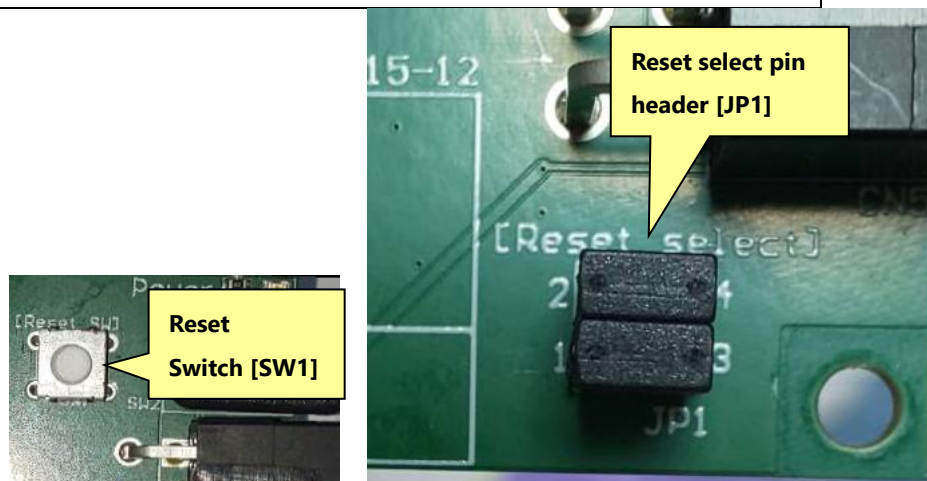
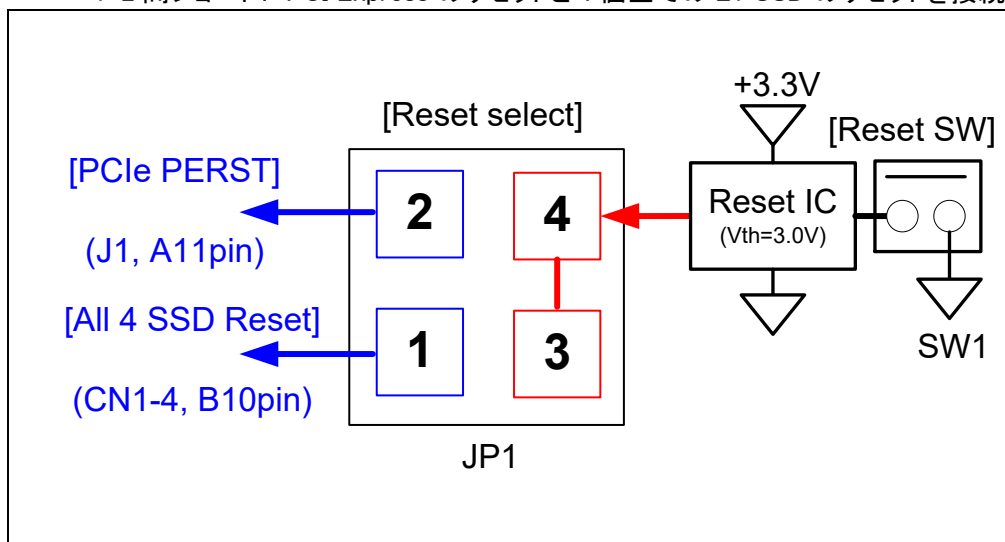


図 6: リセット・スイッチ(SW1)とリセット設定用ピンヘッド(JP1)

PCIe と各 E1 SSD 間の接続

本アダプタにおける PCIe ソケットの各レーンと CN1-CN4 に装着した 4 台の E1 SSD 間の接続は以下となります。

PCIe Lane# (signal direction)	PCIe signal name	PCIe Pin#	E1 Conn.	E1 Pin#
Lane0 Tx (FPGA->PCIe-> E1)	PERp0/PERn0	A16/A17	CN1	B18/B17
Lane0 Rx (FPGA<-PCIe<-E1)	PETp0/PETn0	B14/B15	CN1	A18/A17
Lane1 Tx (FPGA->PCIe-> E1)	PERp1/PERn1	A21/A22	CN1	B21/B20
Lane1 Rx (FPGA<-PCIe<-E1)	PETp1/PETn1	B19/B20	CN1	A21/A20
Lane2 Tx (FPGA->PCIe-> E1)	PERp2/PERn2	A25/A26	CN1	B24/B23
Lane2 Rx (FPGA<-PCIe<-E1)	PETp2/PETn2	B23/B24	CN1	A24/A23
Lane3 Tx (FPGA->PCIe-> E1)	PERp3/PERn3	A29/A30	CN1	B27/B26
Lane3 Rx (FPGA<-PCIe<-E1)	PETp3/PETn3	B27/B28	CN1	A27/A26
Lane4 Tx (FPGA->PCIe-> E1)	PERp4/PERn4	A35/A36	CN2	B18/B17
Lane4 Rx (FPGA<-PCIe<-E1)	PETp4/PETn4	B33/B34	CN2	A18/A17
Lane5 Tx (FPGA->PCIe-> E1)	PERp5/PERn5	A39/A40	CN2	B21/B20
Lane5 Rx (FPGA<-PCIe<-E1)	PETp5/PETn5	B37/B38	CN2	A21/A20
Lane6 Tx (FPGA->PCIe-> E1)	PERp6/PERn6	A43/A44	CN2	B24/B23
Lane6 Rx (FPGA<-PCIe<-E1)	PETp6/PETn6	B41/B42	CN2	A24/A23
Lane7 Tx (FPGA->PCIe-> E1)	PERp7/PERn7	A47/A48	CN2	B27/B26
Lane7 Rx (FPGA<-PCIe<-E1)	PETp7/PETn7	B45/B46	CN2	A27/A26
Lane8 Tx (FPGA->PCIe-> E1)	PERp8/PERn8	A52/A53	CN3	B18/B17
Lane8 Rx (FPGA<-PCIe<-E1)	PETp8/PETn8	B50/B51	CN3	A18/A17
Lane9 Tx (FPGA->PCIe-> E1)	PERp9/PERn9	A56/A57	CN3	B21/B20
Lane9 Rx (FPGA<-PCIe<-E1)	PETp9/PETn9	B54/B55	CN3	A21/A20
Lane10 Tx (FPGA->PCIe-> E1)	PERp10/PERn10	A60/A61	CN3	B24/B23
Lane10 Rx (FPGA<-PCIe<-E1)	PETp10/PETn10	B58/B59	CN3	A24/A23
Lane11 Tx (FPGA->PCIe-> E1)	PERp11/PERn11	A64/A65	CN3	B27/B26
Lane11 Rx (FPGA<-PCIe<-E1)	PETp11/PETn11	B62/B63	CN3	A27/A26
Lane12 Tx (FPGA->PCIe-> E1)	PERp12/PERn12	A68/A69	CN4	B18/B17
Lane12 Rx (FPGA<-PCIe<-E1)	PETp12/PETn12	B66/B67	CN4	A18/A17
Lane13 Tx (FPGA->PCIe-> E1)	PERp13/PERn13	A72/A73	CN4	B21/B20
Lane13 Rx (FPGA<-PCIe<-E1)	PETp13/PETn13	B70/B71	CN4	A21/A20
Lane14 Tx (FPGA->PCIe-> E1)	PERp14/PERn14	A76/A77	CN4	B24/B23
Lane14 Rx (FPGA<-PCIe<-E1)	PETp14/PETn14	B74/B75	CN4	A24/A23
Lane15 Tx (FPGA->PCIe-> E1)	PERp15/PERn15	A80/A81	CN4	B27/B26
Lane15 Rx (FPGA<-PCIe<-E1)	PETp15/PETn15	B78/B79	CN4	A27/A26

表 1: PCIe 各レーンと 4 台の E1 SSD 間の接続

免責事項

本アダプタを DG 製 NVMe-IP コアが使われない環境での一切の製品保証およびサポートは提供されません。また、本アダプタを誤って使用することにより生じた FPGA 評価基板あるいは SSD デバイスの損傷については、その一切が免責事項となります。また、本アダプタ基板はあくまで評価を目的としたものであり、FPGA 評価基板や接続先 SSD デバイスの特性によっては正常に動作しない可能性があります。

[問い合わせ先]

URL : <https://dgway.com/>

Email : info@dgway.com

改版履歴

リビジョン	日付	内容
1.0J	2026/7/14	日本語版の初版発行