

“Contribute to the development and advancement of global society by our wisdom”

# DESIGN GATEWAY

Fintech向け超低レイテンシ・ネットワークIPコアのご紹介

*Xilinx版*

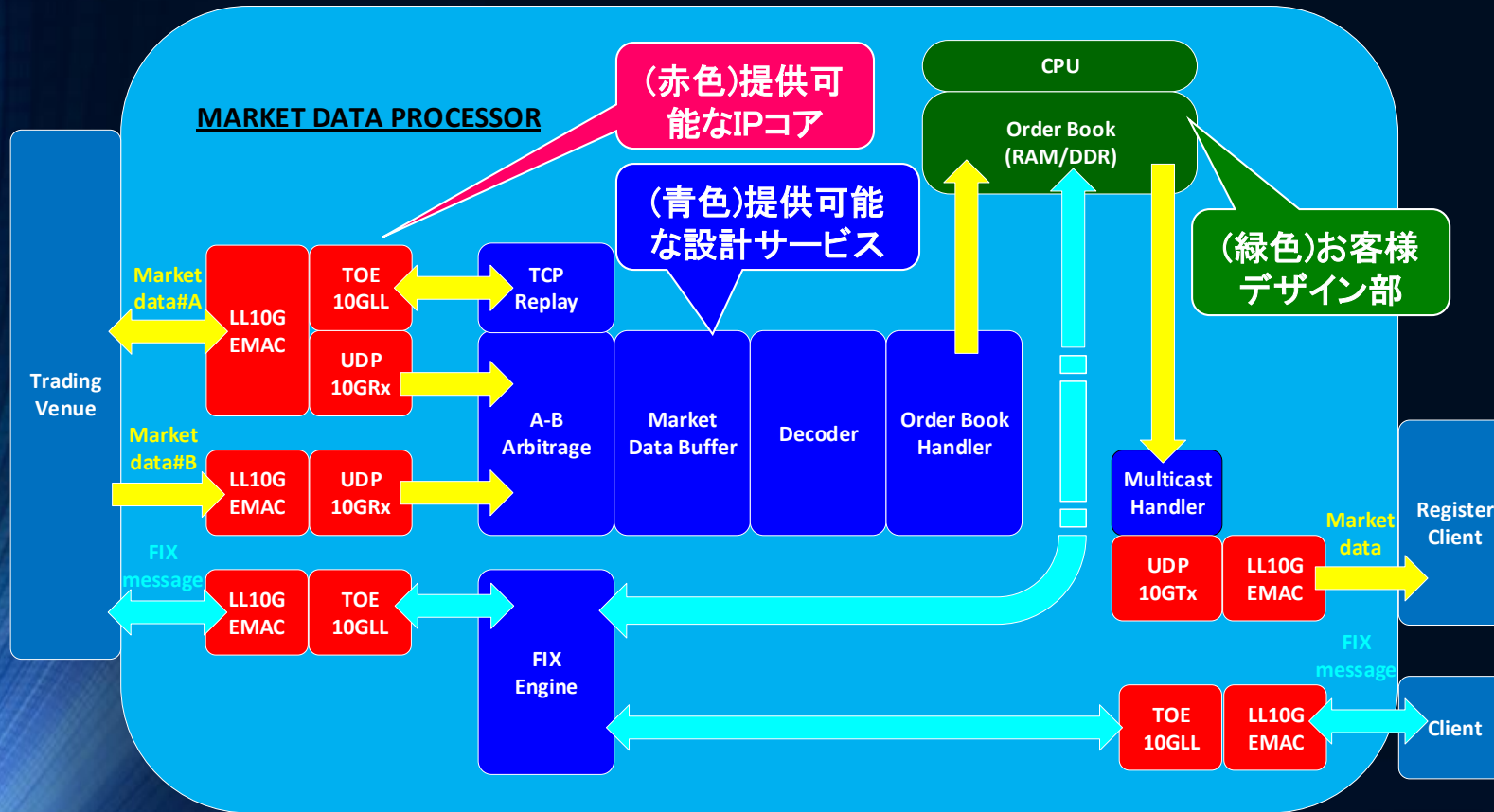
# デザイン・ゲートウェイの低レイテンシ・ネットワークIPコア

デザイン・ゲートウェイ社のネットワークIPコアは超低レイテンシの要望に応えるデザインで実装されています。

- 高度に統合化・最適化されたコア
  - TCPおよびUDPプロトコルを(CPUや外部メモリを不要として)完全にハード化したエンジンです。
  - FPGAトランシーバ向けにPCSと一体化した10GbE向けEMAC-IPコアを提供します。
  - 最少の消費リソースで最少レイテンシ・高速動作を実現します。
- 適用アプリケーション
  - HFT(高頻度取引)、市場データ処理、チケットレード・システムのようなFintechアプリケーションに最適
- FPGAでの統合ソリューションをご提供します
  - 低レイテンシIPコアと組み合わせ、お客様アプリケーションに特化したFPGAロジックのカスタマイズを含めた統合ソリューションをご提供します。

# FPGAでのFintech実装例

市場データ処理システムはXilinx製FPGA内で実装可能であり、市場データのトランザクションに対して低レイテンシかつ迅速な応答を可能とします。



## 提供可能IPコア

- LL 10GEMAC IP
- UDP10GRx-IP
- UDP10GTx-IP
- TOE10GLL-IP

## 提供可能な設計サービス

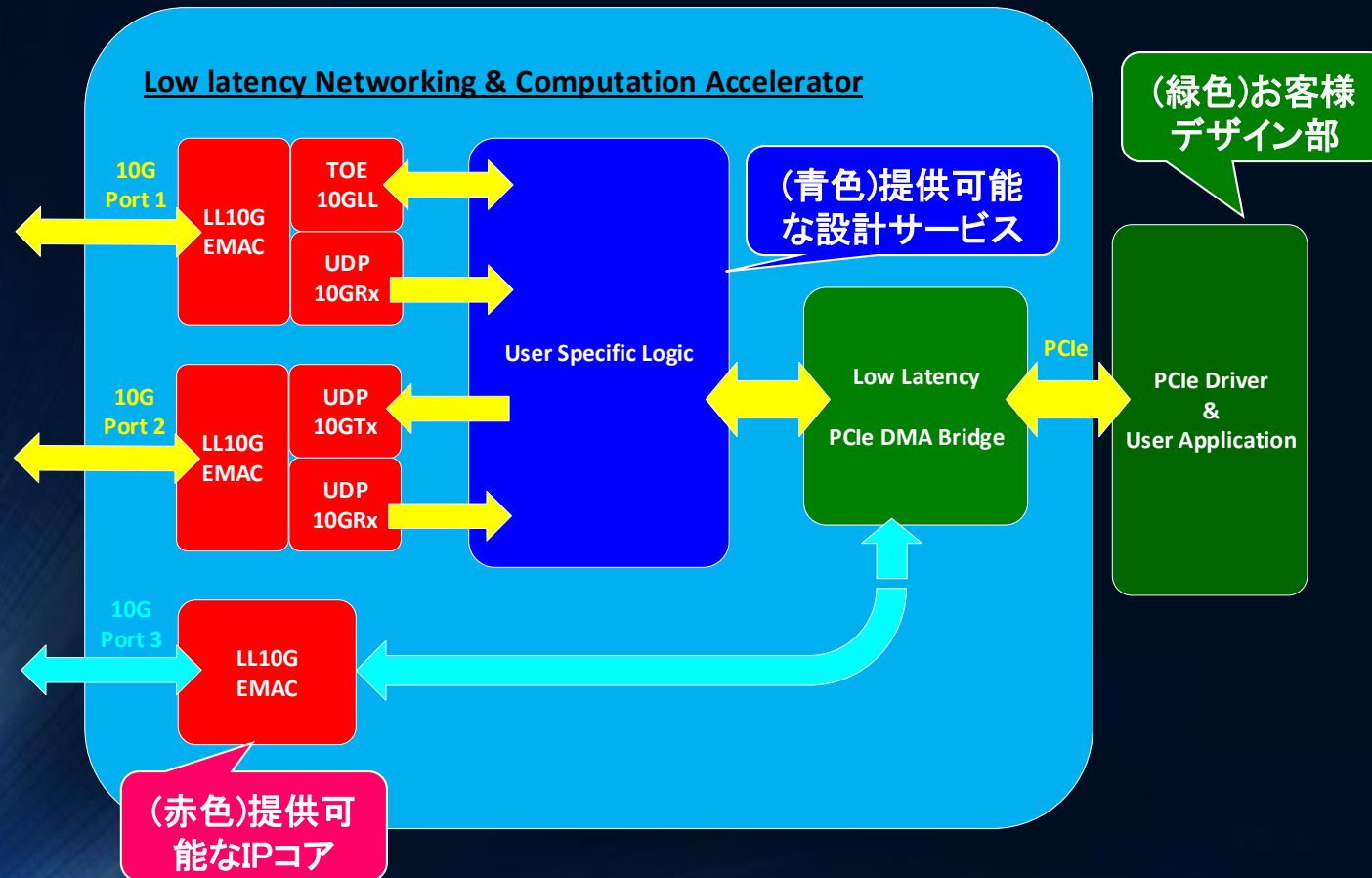
- User logic and IP cores interface implementation based on customer requirements
- High layer protocol handling by pure hardware logic such as
  - *FIX/FAST Encoder/Decoder*
  - *Trade/Order Handler on FPGA*

## お客様側でのデザイン部分

- Algorithm/ User Application

# Xilinx製FPGAアクセラレータ・カードへの適用例

低レイテンシ・ネットワークIPコアはアクセラレータ・カード上のXilinx製FPGAをサポートします。  
お客様のアプリケーションや要望に応じてFPGAロジックのカスタマイズに対応いたします。



## 提供可能IPコア

- LL 10GEMAC IP
- UDP10GRx-IP
- UDP10GTx-IP
- TOE10GLL-IP

## 提供可能な設計サービス

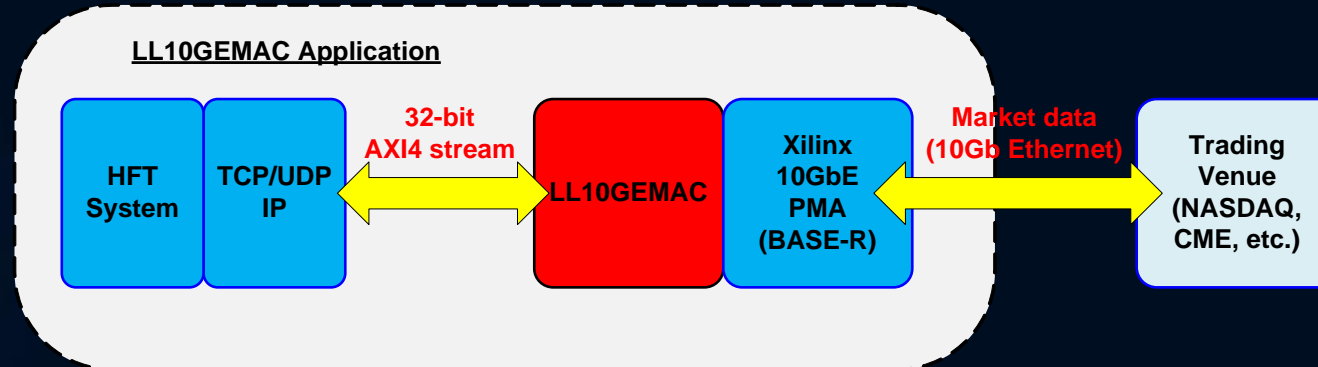
- User logic and IP cores interface implementation based on customer requirements
- High layer protocol handling by pure hardware logic

## お客様側でのデザイン部分

- PCIe Driver for Host OS
- Algorithm/ User Application

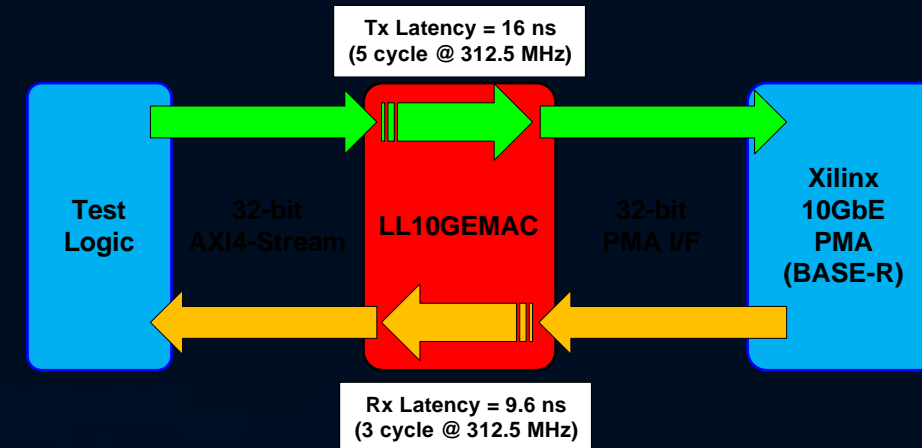
# 低レイテンシ10GEMAC-IP

HFT(高頻度取引)、市場データ処理、チケットトレード・システムの低レイテンシ要求に対応したPCS一体型10G EMACコア



## 特長

- 312.5MHzで動作する32ビットの超低レイテンシ・インターフェイス
  - 送信レイテンシ: 16ns
  - 受信レイテンシ: 9.6ns
- Xilinx社純正LL 10G MAC との比較
  - より低レイテンシ(DG製MAC16ns+9.6ns=25.6ns, Xilinx製MAC:36.8ns)
  - より少ないFPGA消費リソース
  - より低コスト
- デザイン・ゲートウェイ製低レイテンシ・ネットワークIPコアに最適



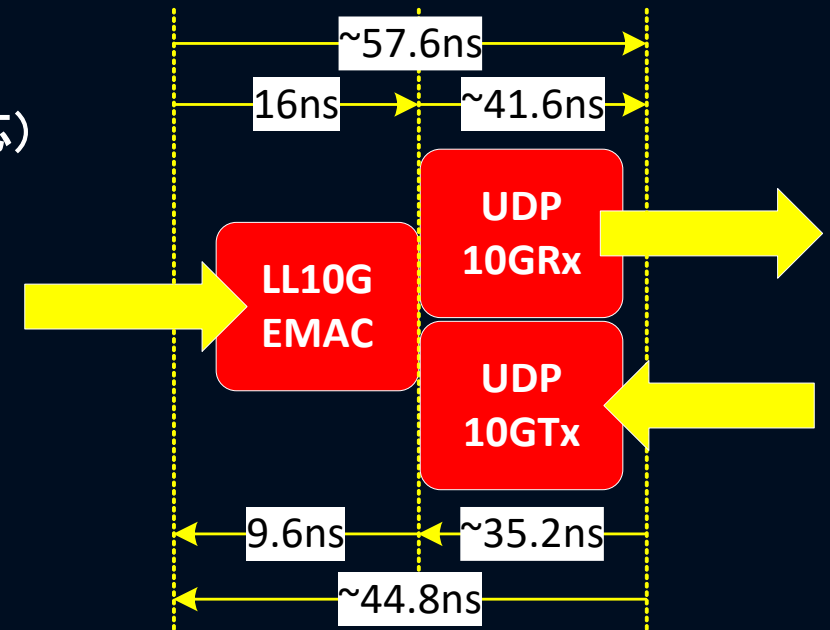


# 低レイテンシUDP10G Rx/Tx-IPコア



## UDP10G Rx/Tx-IPコアの特長

- ユニキャストおよびマルチキャストをサポート
- 最大4セッションの同時対応 (カスタマイズでセッション数の追加も対応)
- LL 10GEMAC-IPコアと直結
- IGMPv2プロトコルのJoin/Leaveメッセージに対応
- CPUおよび外部メモリなしで動作可能
- 最少の消費リソースとレイテンシを実現
- 受信レイテンシ: 41.6 ns (13 cycles @ 312.5 MHz)<sup>(1)</sup>
- 送信レイテンシ: 35.2 ns (11 cycle @ 312.5 MHz)<sup>(2)</sup>



### 注意:

- (1) 受信レイテンシ値はペイロード・サイズに関わらず一定
- (2) 送信レイテンシ値はペイロード・サイズ=4バイトでの値

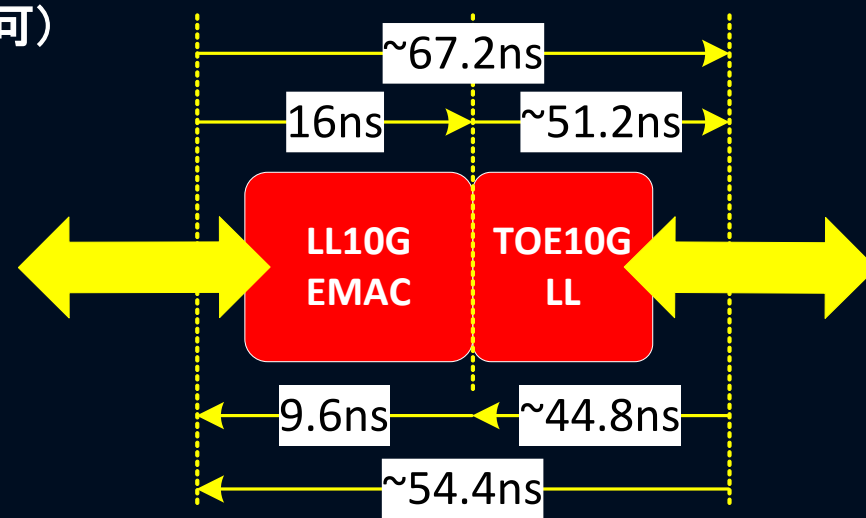
- \* EMAC入力からIPコア出力までの受信レイテンシ: ~57.6 ns<sup>(1)</sup>
- \* IPコア入力からEMAC出力までの送信レイテンシ: ~44.8 ns<sup>(2)</sup>
- \* レイテンシ値は10GBASE-R IPのレイテンシは含みません

# 低レイテンシTOE10G-IPコア



## TOE10G LL-IPコアの特長

- 1セッション接続をサポート (複数セッションはカスタマイズで対応可)
- LL 10GEMAC-IPコアと直結
- CPUおよび外部メモリなしで動作可能
- 最少の消費リソースとレイテンシを実現
- 受信レイテンシ : 51.2 ns (16 cycles @ 312.5 MHz)<sup>(1)</sup>
- 送信レイテンシ : 44.8 ns (14 cycles @ 312.5 MHz)<sup>(2)</sup>



### 注意:

- (1) 受信レイテンシ値はペイロード・サイズに関わらず一定
- (2) 送信レイテンシ値はペイロード・サイズ=4バイトでの値

- \* EMAC入力からIPコア出力までの受信レイテンシ : ~67.2 ns<sup>(1)</sup>
- \* IPコア入力からEMAC出力までの送信レイテンシ : ~54.4 ns<sup>(2)</sup>
- \* レイテンシ値は10GBASE-R IPのレイテンシは含みません

# サポートするXilinx製FPGAデバイス・ファミリ

- 対応デバイス・ファミリ: UltraScaleおよびUltraScale+ デバイス
- トランシーバ: 10GBASE-R PHY向けGTHまたはGTY
- 推奨するスピード・グレード: -2または-3
- サポート・デバイスの例
  - XCKU040FFVA1156-2E (KCU105評価ボードで検証)
  - XCZU9EG-FFVB1156-2-I (ZCU102評価ボードで検証)
  - XCVU6P-FLGA2104-2L (VCU118評価ボードで検証)



# 問い合わせ先

- 株式会社Design Gateway
- FAX : 050-3588-7915
- URL(日本語): <https://dgway.com/>
- URL(English): [https://dgway.com/index\\_E.html](https://dgway.com/index_E.html)
- E-mail(日本語) : <mailto:info@dgway.com>
- Email(English): <mailto:ip-sales@design-gateway.com>

## 改版履歴

リビジョン	日付	内容
1.0J	2020/4/23	英語版(初期版)を日本語翻訳