

# Arria V GX 対応 SATA-IP RAID リファレンス・デザイン説明書

Rev1.1J 2013/09/13

## 1. 概要

SATA ホスト・アプリケーションの1チャンネル版リファレンス・デザインについては以下の「Arria V GX 対応 SATA-IP ホスト・リファレンス・デザイン説明書」にて詳細を説明しています。

参照 URL: [http://www.dgway.com/products/IP/SATA-IP/Altera/dg\\_sata3\\_host\\_refdesign\\_ar5\\_jp.pdf](http://www.dgway.com/products/IP/SATA-IP/Altera/dg_sata3_host_refdesign_ar5_jp.pdf)

本 RAID リファレンス・デザインに先立って上記 1 チャンネル版のリファレンス・デザイン説明書を参照してください。本説明書では1チャンネル版のデザインと RAID0 システムとして動作する 4 チャンネル・デザインとで変更のある部分のみ説明します。

## 2. ハードウェアの説明

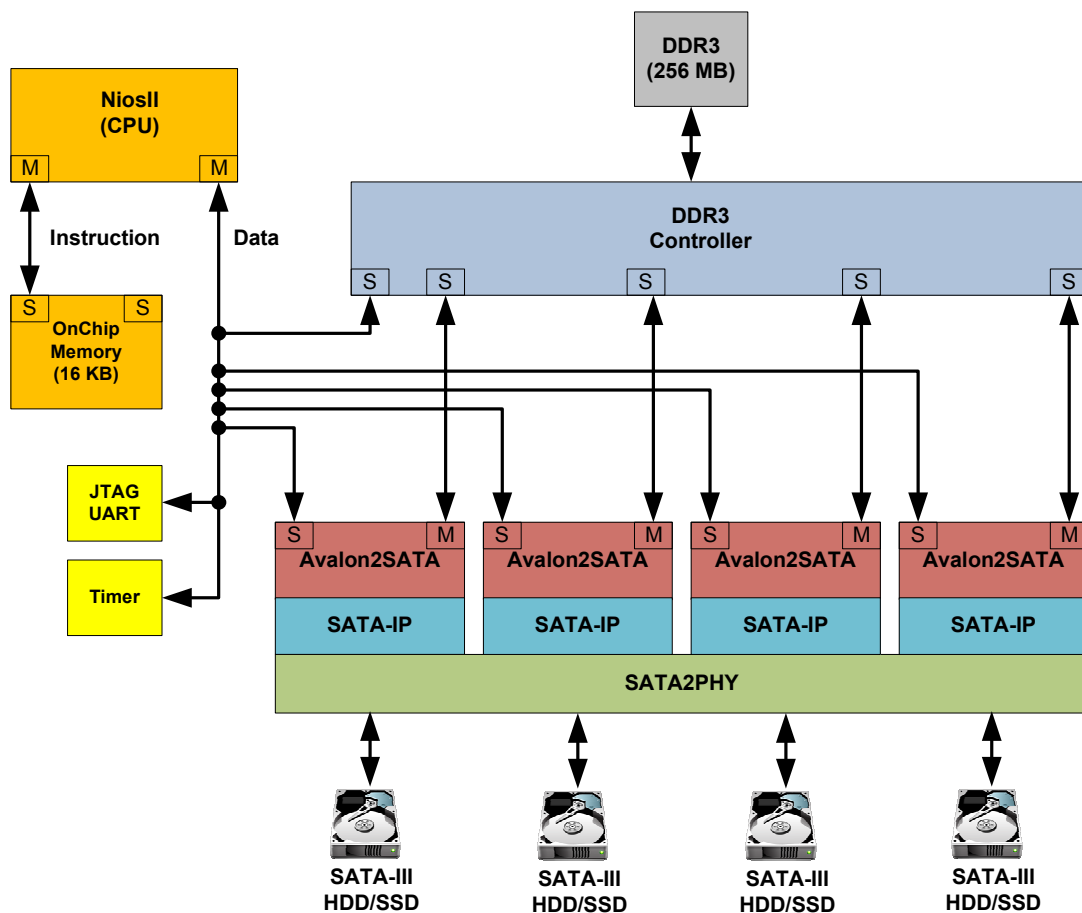


図 1: RAID リファレンス・デザインのブロック図

### ● 4ch RAID デザインの実装

4チャンネル RAID0 デザインのブロック図を上図 1 に示します。1チャンネルの SATA ホスト・デザインを 4チャンネル RAID0 デザインに編集するためには、1チャンネル版のデザインに 3チャンネル分の Avalon2SATA と SATA-IP を追加します。その追加したモジュールも制御信号は NiosII と接続し、データ信号は直接 DDR3 メモリ・コントローラと接続します。従って DDR3 や CPU の帯域を全 4SATA チャンネルで共有することになります。

RAID デザインの SATA PHY レイヤにおいて PHY コンポーネントと MegaWizard により生成されたリコンフィグレーション・モジュールは全4チャンネルを1つのファイルに結合します。いくつかのリセット信号も全 SATA チャンネルで共有するため、“PhyRstCtrl.vhd”デザインのみが全チャンネルのリセットを制御し、SATA バスを初期化するための OOB 制御回路は、図 2 に示す通り4チャンネルそれぞれ独立して実装されます。

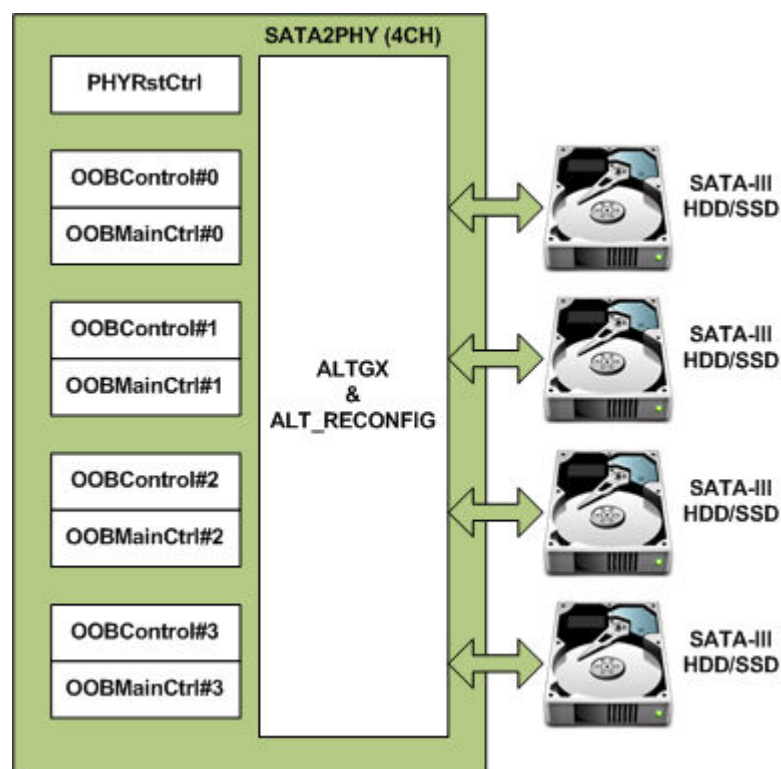


図 2: PHY RAID ブロックの構成

各 SATA チャンネルを独立して制御するため、NiosII にて以下のように 4 つのレジスタ空間を定義します。

BA: ベースアドレス

- (1) 0x0100\_0000: CN0 用 SATA 制御レジスタ空間
- (2) 0x0100\_0020: CN1 用 SATA 制御レジスタ空間
- (3) 0x0100\_0040: CN2 用 SATA 制御レジスタ空間
- (4) 0x0100\_0060: CN3 用 SATA 制御レジスタ空間

また、図 3 に示すように、本デザインで DDR3 メモリは 4 種類のメモリ空間に分割されています。

- (1) TX FIS: CPU から SATA デバイスへ送信する非データ FIS を格納する空間。全 4 チャンネルで同一の空間を共有し同一の FIS を送信する。
- (2) RX FIS#0-3: 各 SATA デバイスから受信した非データ FIS を格納する空間。それぞれのチャンネル毎に異なる専用のメモリ空間を用意し受信 FIS を格納。
- (3) TX DATA FIS#0-3: CPU から SATA デバイスへ送信するデータ FIS を格納する空間。それぞれのチャンネル毎に異なるデータを送るため専用のメモリ空間を用意。
- (4) RX DATA FIS#0-3: 各 SATA デバイスから受信したデータ FIS を格納する空間。それぞれのチャンネル毎に異なる専用のメモリ空間を用意し受信 FIS を格納。

4000_0000h	TX FIS
4000_1000h	RX FIS#0
4000_2000h	RX FIS#1
4000_3000h	RX FIS#2
4000_4000h	RX FIS#3
4800_0000h	TX DATA FIS#0 (16 MB)
4900_0000h	TX DATA FIS#1 (16 MB)
4A00_0000h	TX DATA FIS#2 (16 MB)
4B00_0000h	TX DATA FIS#3 (16 MB)
4C00_0000h	RX DATA FIS#0 (16 MB)
4D00_0000h	RX DATA FIS#1 (16 MB)
4E00_0000h	RX DATA FIS#2 (16 MB)
4F00_0000h	RX DATA FIS#3 (16 MB)

図 3: DDR3 メインメモリのメモリ・マップ

● リファレンス・デザインの動作について

本デザインの NiosII ファームウェアのソースコードは IP コア製品に同梱したリファレンス・プロジェクトにて、“software/Sata\_host/Sata\_host.c”内に格納されています。ただし本デザインはエラーチェックや異常発生時のリカバリなどの処理は含まれていません。従ってユーザが開発するソフトウェアにおいては、デバイスから Register- Device to Host FIS が送られたときにステータスやエラーをチェックし、必要な処理を追加する必要があります。

図 4 に本リファレンス・デザインを動作したときの PC 上のシリアル・ターミナル画面サンプルを示します。

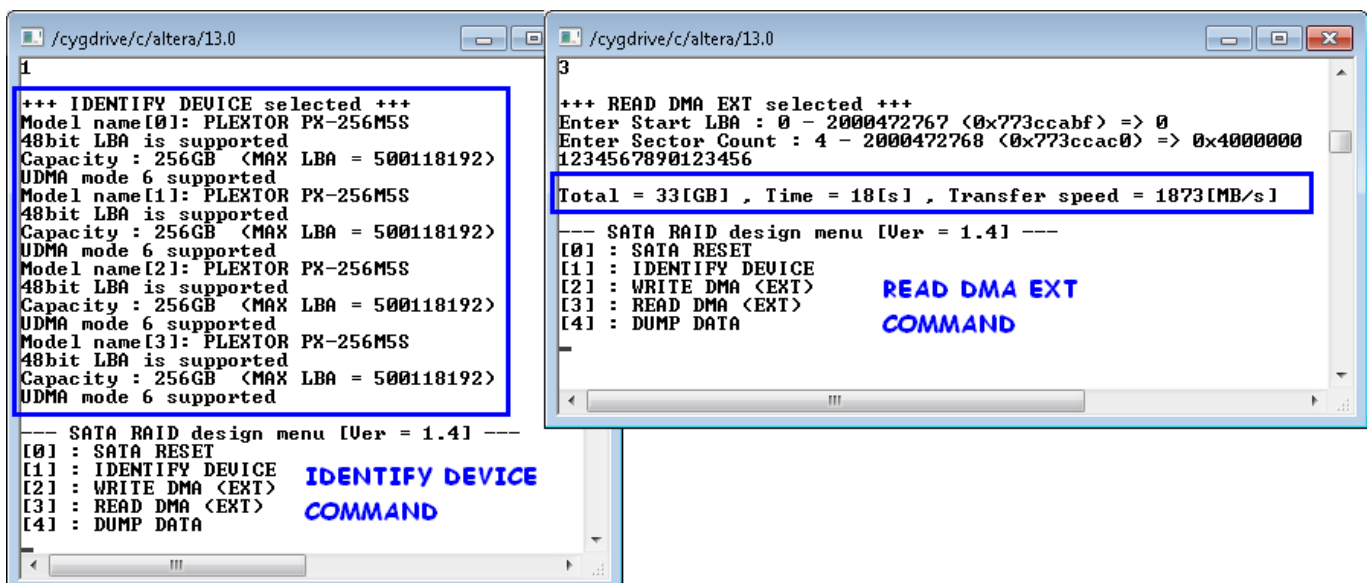


図 4: 本 RAID デザイン動作実行時のシリアル・ターミナル画面サンプル

### 3. 改版履歴

リビジョン	日付	説明
1.0J	2013/08/29	日本語版の初版発行
1.1J	2013/09/11	レジスタマップおよびユーザ I/F を含めたデザイン更新に伴う改版

Copyright: 2013 Design Gateway Co,Ltd.