

SATA ホスト IP リファレンス・デザイン説明書

Rev1.1J 2017/02/15

本ドキュメントは SATA ホスト IP デモのリファレンス・デザインに関する説明書となります。リファレンス・デザインを実装した SATA ホスト IP の具体的なデモ手順については以下のドキュメントを参照してください。

文書名: SATA ホスト IP デモ手順書

参照 URL: http://www.dgway.com/products/IP/SATA-IP/Altera/dg_satahostip_refdesign_alt_jp.pdf

1. 概要

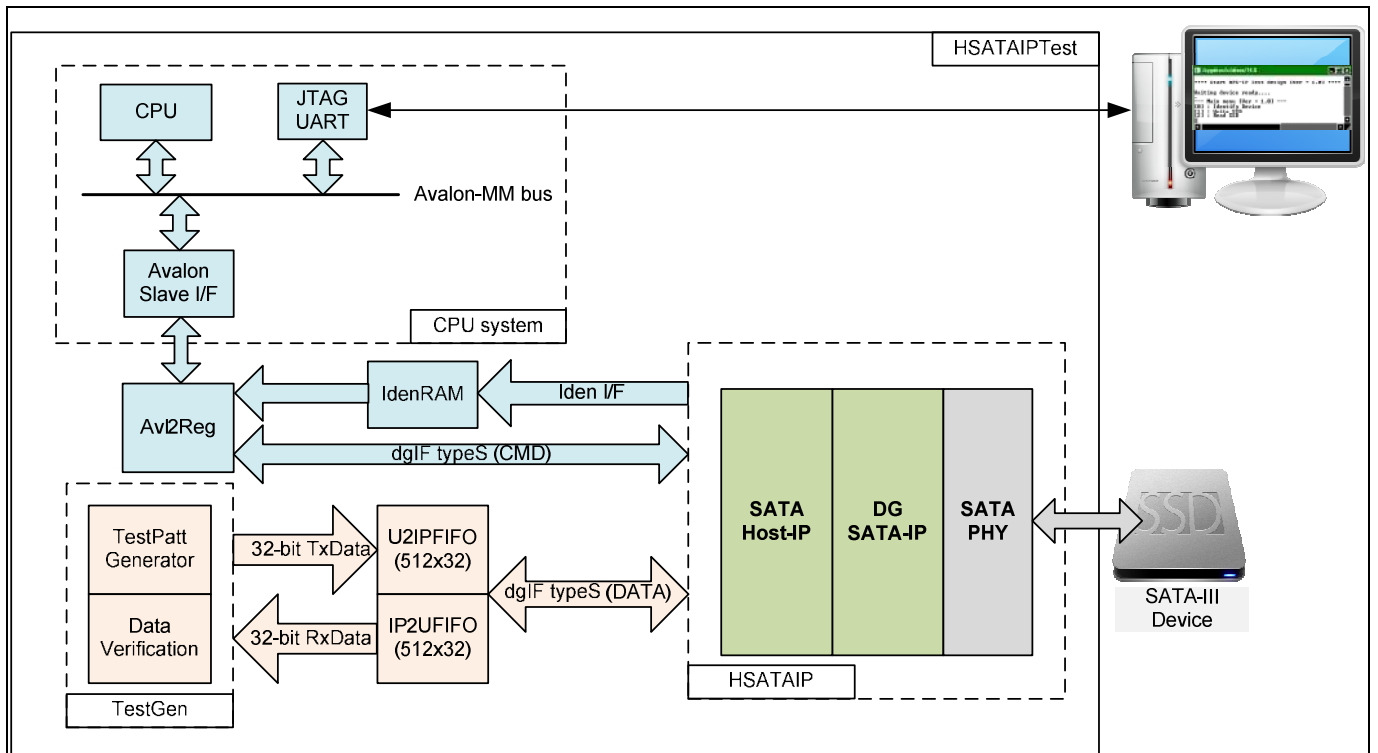


図 1: ホスト IP リファレンス・デザインのブロック図

このリファレンス・デザインは SATA ホスト IP コア、SATA-IP コア、および SATA-PHY の3モジュールを SATA ホストの標準プラットフォームとして実装したものです。簡単な外部ロジックにより SATA-IIIドライブに対して高速でライト・リードを実行します。NiosII-terminal コンソールを介したユーザ・インターフェイスを用意するため CPU が使われています。ユーザは開始アドレス・転送サイズ・コマンド等のパラメータを指定でき、デザイン内のロジックによりユーザ入力 が SATA ホスト IP へのパラメータとして変換されます。コマンドが完了すると、CPU はコマンド所要時間からライト・リードの実パフォーマンスを計算しユーザに出力します。CPU バスとのインターフェイスには Avl2Reg モジュールが使われ、ここで CPU バスのアドレスとデータをデコードし SATA ホスト IP コアの dgIF typeS 仕様のコマンド・インターフェイスに変換されます。IP コアのデータ・ポートはデータ・バッファとして機能する2つの FIFO と接続されます。これら 2つの FIFO の反対側のポートは TestGen モジュールと接続しており、テスト・パターンを発生し、また受信データをバリファイします。ユーザ・クロックの周波数は 166MHz ですが CPU 視ずエムは 50MHz クロックで動作します。このため Avl2Reg モジュールには非同期ロジックが含まれており、CPU システムとユーザ・ロジックで異なるクロック・ドメイン間の同期化をサポートします。

SATA ホスト IP コアのデータシートは以下の URL で参照できます、また無償の評価用 SOF ファイルもこのサイトでリクエストできます。実際の SATA 転送パフォーマンスは SATA デバイスに依存します。

URL: http://www.dgway.com/SATA-IP_A.html

2. CPU

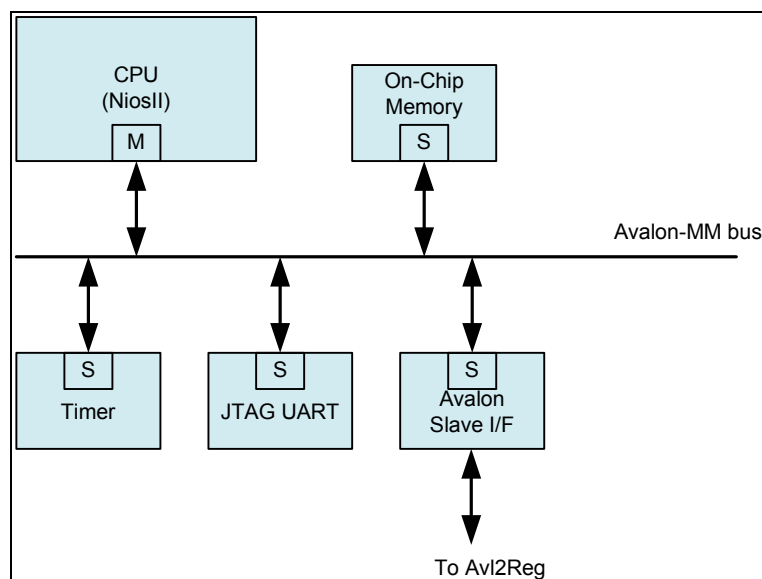


図 2: ホスト IP リファレンス・デザインの CPU システム

本リファレンス・デザインにて CPU 周辺モジュールとしては、ユーザ・インターフェイス用の JTAG UART、パフォーマンス計測用のタイマー、CPU ファームウェア格納用メモリがあります。NiosII はホスト IP コアの制御やモニタを行うため Avalon スレーブ I/F を通して Avalon-MM バスで接続します。Avalon-MM バスをアクセスする CPU メモリ・マップの詳細については以下に示します。

表 1: レジスタ・マップ

アドレス Rd/Wr	レジスタ名 (“hsataiptest.c”内のラベル名)	説明
BA+0x00 Wr	ユーザ・アドレス(下位)レジスタ (USRADRL_REG)	[31:0]: SATA ホスト IP のアクセス先開始アドレス下位 32 ビット UserAddr[31:0] (dglF typeS 規格)
BA+0x04 Wr	ユーザ・アドレス(上位)レジスタ (USRADRH_REG)	[15:0]: SATA ホスト IP のアクセス先開始アドレス上位 16 ビット UserAddr[47:32] (dglF typeS 規格)
BA+0x08 Wr	ユーザ転送長(下位)レジスタ (USRLENL_REG)	[31:0]: SATA ホスト IP の転送セクタ数下位 32 ビット UserLen[31:0] (dglF typeS 規格)
BA+0x0C Wr	ユーザ転送長(上位)レジスタ (USRLENH_REG)	[15:0]: SATA ホスト IP の転送セクタ数上位 16 ビット UserLen[47:32] (dglF typeS 規格)
BA+0x10 Wr	ユーザ・コマンド・レジスタ (USRCMD_REG)	[1:0]: SATA ホスト IP のユーザ・コマンド UserCmd (dglF typeS 規格) “00”-Identify device, “01”-Security Erase, “10”-Write SSD, “11”-Read SSD 本レジスタが書き込まれると SATA ホスト IP に対して新たなコマンド実行の要求を発生します。
BA+0x14 Wr	テスト・パターン・レジスタ (PATTSEL_REG)	[1:0]: テスト・パターン選択 “00”-インクリメンタル, “01”-デクリメンタル, “10”-オール 0, “11”-オール 1
BA+0x18 Wr	ユーザ・リセット・レジスタ (USRRST_REG)	[0]: ‘1’-テスト・システムのリセット、‘0’-リセット解除

アドレス Rd/Wr	レジスタ名 (“hsataiptest.c”内のラベル名)	説明
BA+0x100 Rd	ユーザ・ステータス・レジスタ (USRSTS_REG)	[0]: -IP の UserBusy フラグ ('0': アイドル, '1': ビジー) [1]: SATA ホスト IP からの UserError 出力 ('0': 通常, '1': エラー) [2]: データ・ベリファイ・エラー ('0': 通常, '1': ベリファイ・エラー発生) [4:3]: SATA リンク状態とリンク速度 “00”: 未リンク・アップ “01”: SATA Gen1 (サポートしていません) “10”: SATA Gen2 (サポートしていません) “11”: SATA Gen3
BA+0x104 Rd	総ドライブ容量(下位)レジスタ (LBASIZEL_REG)	[31:0]: SATA ホスト IP で報告される総ドライブ容量(単位:セクタ)下位 32 ビット LBASize[31:0] (dglF typeS 規格)
BA+0x108 Rd	総ドライブ容量(上位)レジスタ (LBASIZEH_REG)	[15:0]: SATA ホスト IP で報告される総ドライブ容量(単位:セクタ)上位 16 ビット LBASize[47:32] (dglF typeS 規格)
BA+0x10C Rd	ユーザ・エラー・タイプ・レジスタ (USRERRTYPE_REG)	[31:0]: SATA ホスト IP で報告されるユーザ・エラー・ステータス UserErrorType[31:0]
BA+0x120 Rd	比較エラー・アドレス(下位)レジスタ (RDFAILNOL_REG)	[31:0]: リード(ベリファイ)にてデータ比較エラーが発生したアドレス(バイト単位)の下位 32 ビット[31:0]
BA+0x124 Rd	比較エラー・アドレス(上位)レジスタ (RDFAILNOH_REG)	[24:0]: リード(ベリファイ)にてデータ比較エラーが発生したアドレス(バイト単位)の上位 24 ビット[56:32]
BA+0x130 Rd	期待値ワード 0 レジスタ (EXPPATW0_REG)	[31:0]: リード(ベリファイ)での期待値データ・ワード 0 [31:0]
BA+0x140 Rd	実リード値ワード 0 レジスタ (RDPATW0_REG)	[31:0]: リード(ベリファイ)での実リード値データ・ワード 0 [31:0]
BA+0x150 Rd	現在テスト・バイト(下位)レジスタ (CURTESTSIZEL_REG)	[31:0]: TESTGEN モジュール内の現在テスト・データ・サイズをバイト単位で表示 (bit[31:0])
BA+0x154 Rd	現在テスト・バイト(上位)レジスタ (CURTESTSIZEH_REG)	[23:0]: TESTGEN モジュール内の現在テスト・データ・サイズをバイト単位で表示 (bit[56:32])
BA+0x2000 - 0x21FF	Identify Device Command データ (IDENCTRL_REG)	512 バイトの Identify Device データ

初期化が完了すると本デザインの CPU はアイドル状態に移行し Nios2-terminal コンソールからのユーザ・コマンドを待機します。選択できるコマンドは Identify device、ライト、リードの 3 種類です。それぞれのコマンドは以下のシーケンスとなります。

Identify Device コマンド

- 1) USRCMD_REG に “00” をセットします。テストロジックはコマンドを発生し SATA ホスト IP コアに要求を出します。そして ビジー・フラグ (USRSTS_REG[0]) は ‘0’ から ‘1’ に遷移します。
- 2) CPU は USRSTS_REG の値をモニターすることで、コマンドの完了またはエラーを検出します。コマンドが完了した場合 Bit[0] が ‘0’ にクリアされ何らかのエラーが検出された場合 Bit[1] が ‘1’ にアサートされます。エラーを検出した場合エラー・メッセージを表示します。
- 3) テストの結果として IDENCTRL_REG からデコードした SATA デバイスのモデル名と LBASIZEL/H_REG から読み出したデバイスの容量情報をコマンド・シェルに表示します。

Security Erase コマンド

- 1) `USR_CMD_REG="01"` をセットします。テスト・ロジックは消去コマンドを SATA ホスト IP コアに対して発行します。Busy フラグ(`USRSTS_REG[0]`)は'0'から'1'へ変化します。
- 2) CPU は `USRSTS_REG` をモニタしてコマンドの完了を待ちます。コマンドが完了すると `Bit[0]` は'0'にクリアされます。この消去動作は比較的長時間かかるため、システムがハングアップしていないことを示すためコンソール上に1秒毎にダミーの表示(インクリメントする数字)を出力します。コマンド完了時に総所要時間をコンソールに表示します。

Write/Read コマンド

- 1) コマンド・シェルよりユーザが指定したスタート・アドレス、転送長、テスト・パターンを受け取ります。無効な入力があった場合動作はキャンセルします。
- 2) ユーザ入力パラメータから `USRADRL/H_REG`、`USRLENH/H_REG`、`USRCMD_REG` (ライトの場合"10"でリードの場合"11") をセットします。
- 3) Identify Device コマンドのシーケンス 2)と同様です、ただしリード・コマンドの場合は `USRSTS_REG[2]` もチェックしリードしたデータが正しいかも確認します。
- 4) コマンド実行中、`CURTESTSIZE_REG` から読み出した現在の転送済みサイズをコンソールに表示します。最後にコマンドが完了すると計算したパフォーマンス結果が表示されます。

3. Avl2Reg

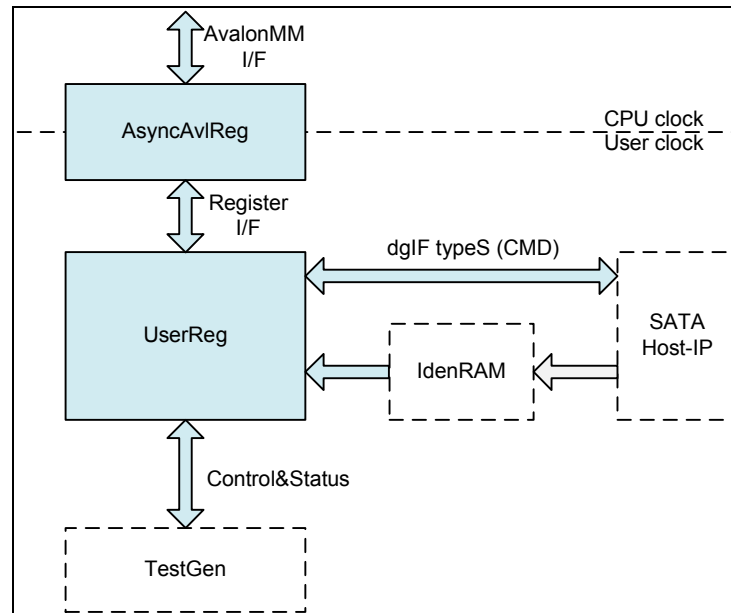


図 3: Avl2Reg インターフェイス

このモジュールは AsyncAvlReg および UserReg の2つのサブ・モジュールから構成されています。AsyncAvlReg モジュールは Avalon インターフェイスをレジスタ・インターフェイスに変換するようデザインされており、CPU クロックとユーザ・クロック・システム間の異なるクロック・ドメイン間を変換します。UserReg モジュールは表 1 に示したレジスタ・マップに沿ってライト/リード・アドレスをデコードします。ユーザからセットされたの転送方向・転送サイズ・アドレス等の転送パラメータは SATA ホスト IP コアのコマンド・インターフェイス(dgIF types)や TestGen モジュールの制御信号に変換されます。転送中 CPU はホスト IP コアの状態・TestGen モジュールのペリファイ結果・Identify デバイス・データなどをレジスタ経由でリードします。

4. TestGen

このモジュールには2種類の機能があります、すなわちひとつはユーザがライト・コマンドを選択した際に WrFf ポートへテスト・データを出力する機能で、もうひとつはリード・コマンドを選択した際に RdFf ポートからの受信データをペリファイする機能です。本モジュール内のロジック・デザイン詳細を下図 4 のブロック図で示します。

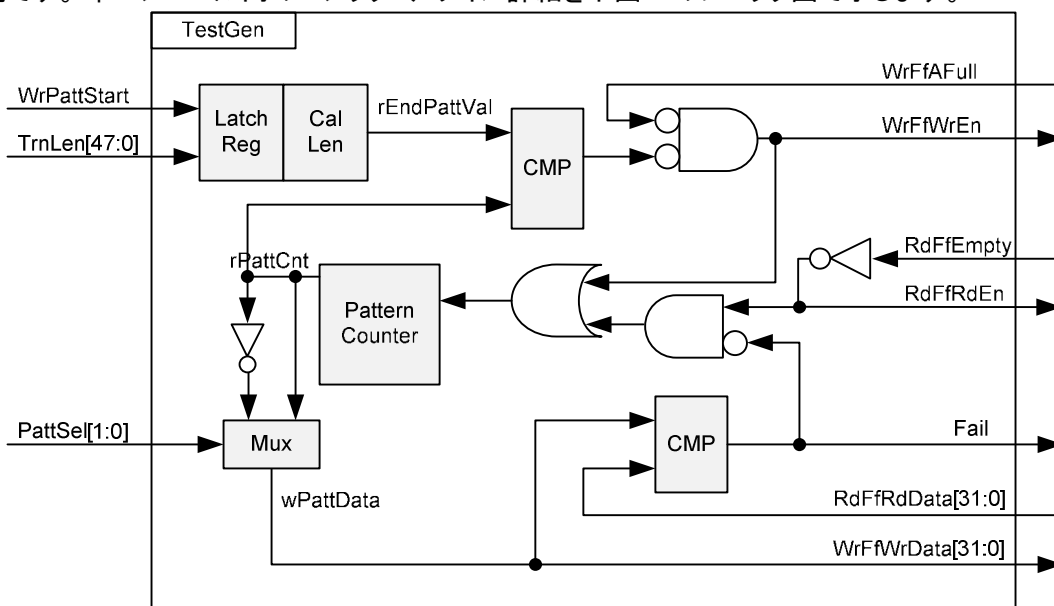


図 4: TestGen のロジック・デザイン

ライト時の転送においては WrPatStart がアサートされた後 Pattern Counter モジュールからのテスト・パターンが生成されます。WrFfAFull はモニタされ WrFf にテスト・データを格納する空きスペースがあることが確認されます。テスト・データは WrFf の FIFO に空きスペースがある場合に転送され、総転送サイズがユーザにより設定した値に達した時点で停止します。TrnLen はセクタ単位での総転送サイズの入力パラメータで、データ生成を停止するために使われます。PattSelにより4種類のテスト・パターンを選択できますが、それはインクリメンタル・デクリメンタル・オール0・オール1のいずれかとなります。

リード時の転送においては RdFf の RdFfEmpty 信号をモニタすることで FIFO 内に受信データがある場合にリード・イネーブルがアサートされます。テスト・データは期待値として発生し、RdFfRdData の値とペリファイします。データの不一致を検出した場合 Fail フラグがアサートされます。

5. 改版履歴

リビジョン	日付	説明
1.0	29-Oct-16	Initial Release (英語版の初版発行)
1.1J	2017/02/15	コアのユーザ I/F 仕様を dgIF typeS 準拠とする

Copyright: 2013 Design Gateway Co.,Ltd.