

# SATA ホスト IP コアによる RAID0 リファレンス・デザイン説明書

Rev1.1J 2017/02/15

本ドキュメントは SATA ホスト IP コアで構成された 4 チャンネル RAID デモのリファレンス・デザインに関する説明書となります。ホスト・コントローラに NiosII 等の CPU を用いるのではなく、純ハードワイヤード・ロジックによるホスト IP コアを RAID システムに適用することにより、理論上最高のリード・ライト・パフォーマンスが得られます。

本リファレンス・デザインを実装した 4 チャンネル RAID デモ・システムの具体的なデモ手順については以下のドキュメントを参照してください。

文書名: SATA ホスト IP コアによる RAID0 デモ手順書

URL: [http://www.dgway.com/products/IP/SATA-IP/Altera/dg\\_satahostraid\\_instruction\\_alt\\_jp.pdf](http://www.dgway.com/products/IP/SATA-IP/Altera/dg_satahostraid_instruction_alt_jp.pdf)

## 1 概要

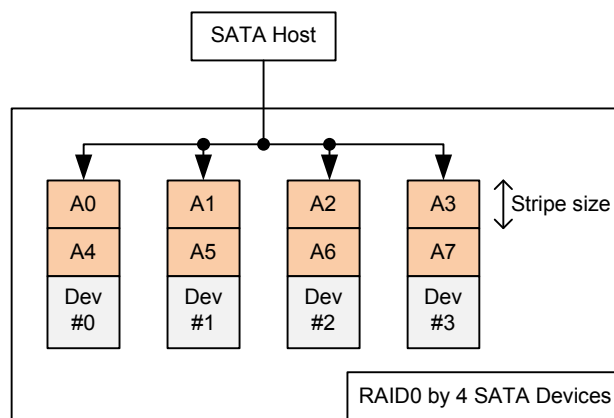


図 1: RAID0x4 データ・フォーマット

RAID0 システムは複数のストレージ・デバイスを N 個並列接続することにより、記録容量およびライト・リードのパフォーマンスを N 倍に拡張します。総デバイスを N 個としたとき、ホスト側からのライト命令でのデータは N ストライプに分割されます、このため 1 ストライプ分のデータは図 1 に示すように 1 デバイスでのみ記録されます。SATA デバイスの最小転送サイズは 1 セクタのため、最小ストライプ・サイズも 512 バイトとなります。

本 RAID0 リファレンス・デザインでは 4 台の SATA ドライブを使い各ドライブのストライプ・サイズは 1 セクタです。従って全デバイスの合計容量は 1 デバイスの 4 倍となり、パフォーマンスもほぼ 4 倍です。CPU ファームウェアで実装した RAID0 システムと比較すると、SATA ホスト IP コアによる各データ・パケット処理のオーバーヘッド時間は最小化されるため、CPU 処理より高いライト・パフォーマンスが得られます。

(ご注意) SATA 規格においてライト・コマンドはホストとデバイス間の通信を多数のパケットで転送しますがリード・コマンドの場合はライトより少ないパケットでの転送となります。このため CPU のパケット処理プロセスによるオーバーヘッドはライト・コマンドの方がより大きく影響を受けます。

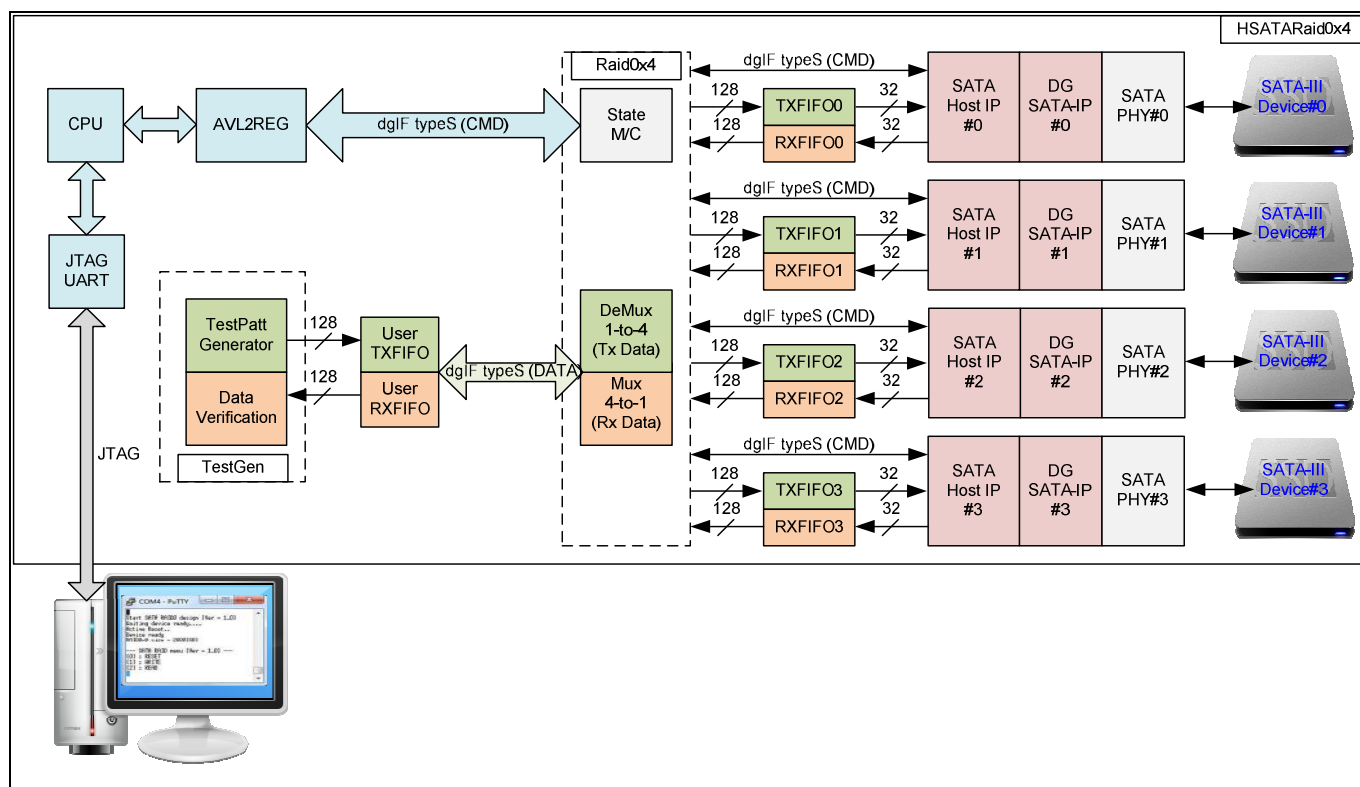


図 2: SATA ホスト IP コアを使った本 RAID0 デモ・システムのブロック図

1 チャンネルのみで動作する SATA ホスト IP デモと比較すると、本 RAID0 システムでは RAID0 コントローラとなる”RAID0x4 ブロック”が追加されています。1 チャンネル版の 4 倍のパフォーマンスを得るため、本 RAID0 システムのバス・サイズは 1 チャンネル版の 32bit から 128bit に拡張されています。Raid0x4 モジュールのインターフェイスは dgIF typeS 規格に対応します。Raid0x4 モジュールのコマンド・インターフェイスは AvI2Reg と接続し、データ・インターフェイスはユーザ・ロジックの送信 FIFO/受信 FIFO と接続します。ユーザ・ロジックはテスト・データ・パターンの発生回路とデータ・ベリファイ回路が含まれており RAID0 システムの動作をテストします。

本 RAID0 リファレンス・デザインを理解するため、まずは以下リンク先の SATA ホスト IP コア・データシートおよび 1 チャンネル版のリファレンス・デザイン説明書・デモ手順書で基本的な動作についてご確認ください。

データシート: [http://www.dgway.com/products/IP/SATA-IP/Altera/dg\\_sata\\_host\\_ip\\_datasheet\\_alt\\_jp.pdf](http://www.dgway.com/products/IP/SATA-IP/Altera/dg_sata_host_ip_datasheet_alt_jp.pdf)

デザイン説明書: [http://www.dgway.com/products/IP/SATA-IP/Altera/dg\\_satahostip\\_refdesign\\_alt\\_jp.pdf](http://www.dgway.com/products/IP/SATA-IP/Altera/dg_satahostip_refdesign_alt_jp.pdf)

デモ手順書: [http://www.dgway.com/products/IP/SATA-IP/Altera/dg\\_satahostip\\_instruction\\_alt\\_jp.pdf](http://www.dgway.com/products/IP/SATA-IP/Altera/dg_satahostip_instruction_alt_jp.pdf)

RAID0 動作を行うため Raid0x4 モジュールと SATA ホスト IP コア間の各 SATA 個別チャンネルにある送信 FIFO/受信 FIFO はバッファとして使われ、さらにデータ・バスのサイズを Raid0x4 側の 128ビットと 32ビットの SATA ホスト IP コア間で変換します。RAID0 ロジック・デザイン内部においては、各制御信号の発生とデータ信号のシーケンス制御のためステート・マシンが使われます。ユーザ・ロジックから 4 つの SATA ホスト IP コアへライト・データを出力するため、4 対 1 デマルチプレクサが使われており、データ・ソースから 4 つのうち 1 つの SATA ホスト IP コアへデータが送られるように切り替えます。SATA ホスト IP コアからユーザ・ロジックへのリード・データは、逆に 4 対 1 マルチプレクサを使ってひとつの SATA ホスト IP コアが選択されユーザ・ロジックへ転送されます。

1 チャンネル版の SATA ホスト IP デモと同様 TestGen はデータ生成とベリファイを行います。CPU システムは Nios2-terminal コンソールを通したユーザ・インターフェイスを実装するのでユーザはテストのパラメータを簡単に設定できます。

## 2 RAID0x4 ブロック

表 1 に示すように RAID0 コントローラのユーザ I/F(インターフェイス)は SATA ホスト IP コアとほぼ同一です。制御信号は dgIF typeS 規格です。ただし SATA ホスト IP コアとは Iden ポートとデータ・バス・サイズが異なります。

- Iden ポートは各 SATA ホスト IP コアと直結するため 4 セット分マップされます
- FIFO ポートのデータ・バス・サイズは 32 ビットから 128 ビットに拡張されます

### 2.1 ポート信号仕様

信号名	方向	説明
システム信号		
RstB	In	アクティブ Low のリセット信号、SATA ホスト IP コアの同名の RstB 信号と同一のリセット信号源と接続する必要がある。
Clk	In	ユーザ・クロック、SATA ホスト IP コア・クロックと同一のクロックを使うこと。
ユーザ I/F (dgIF typeS)		
UserCmd[1:0]	In	ユーザ・コマンド、'00': Identify device コマンド、'01': Security erase コマンド、'10': Write コマンド、'11': Read コマンド
UserAddr[47:0]	In	SATA デバイスのライト/リード開始アドレス、セクタ(512 バイト)単位で指定する。
UserLen[47:0]	In	総転送サイズ、セクタ(512 バイト)単位で指定する、有効な値は 1~(LBASize-UserAddr)
UserReq	In	コマンド要求、IP コアがアイドル中(UserBusy='0')の時のみアサートできる。UserCmd/UserAddr/UserLen に有効な値をセットした状態でアサートすること。
UserBusy	Out	IP コアのビジー信号、本信号が'1'の間中は次のコマンド要求ができない。
LBASize[47:0]	Out	デバイス総容量をセクタ単位で出力、初期値は 0、この値は IP#0 の LBASize 出力値の 4 倍と等しい値となる。
UserError	Out	エラー・フラグ、UserErrorType がゼロでない場合にアサートする。このフラグは RstB によるリセットでのみクリアされる。
UserErrorType[31:0]	Out	各 SATA ホスト IP コアからのエラー・ステータスがマップされる Bit[7:0] - IP#0 の UserRrrorType[7:0]をマップ Bit[15:8] - IP#1 の UserRrrorType[7:0]をマップ Bit[23:16] - IP#2 の UserRrrorType[7:0]をマップ Bit[31:24] - IP#3 の UserRrrorType[7:0]をマップ
UserFifoWrCnt[15:0]	In	ユーザ受信 FIFO のライト・カウンタ、FIFO の空き容量をチェックするために使う FIFO サイズが 16 ビットに満たない場合上位ビットに'1'を埋める必要がある UserFifoWrEn は本信号がオール'1'でない場合にアサートできる
UserFifoWrEn	Out	ユーザ受信 FIFO の書き込みイネーブル。
UserFifoWrData[127:0]	Out	ユーザ受信 FIFO のライト・データ・バス、RaidRxFfWrEn に同期する。
UserFifoRdCnt[15:0]	In	ユーザ送信 FIFO のリード・カウンタ、FIFO の格納データ数をチェックするために使う FIFO サイズが 16 ビットに満たない場合上位ビットに'0'を埋める必要がある UserFifoRdEn は本信号が非ゼロの場合にアサートできる
UserFifoEmpty	In	ユーザ送信 FIFO のエンpty・フラグ、このデザインでは本信号は使われない
UserFifoRdEn	Out	ユーザ送信 FIFO のリード有効信号
UserFifoRdData[127:0]	In	ユーザ送信 FIFO から出力されたリード・データ、UserFifoRdEn がアサートされた次クロックで有効な値が出力される。

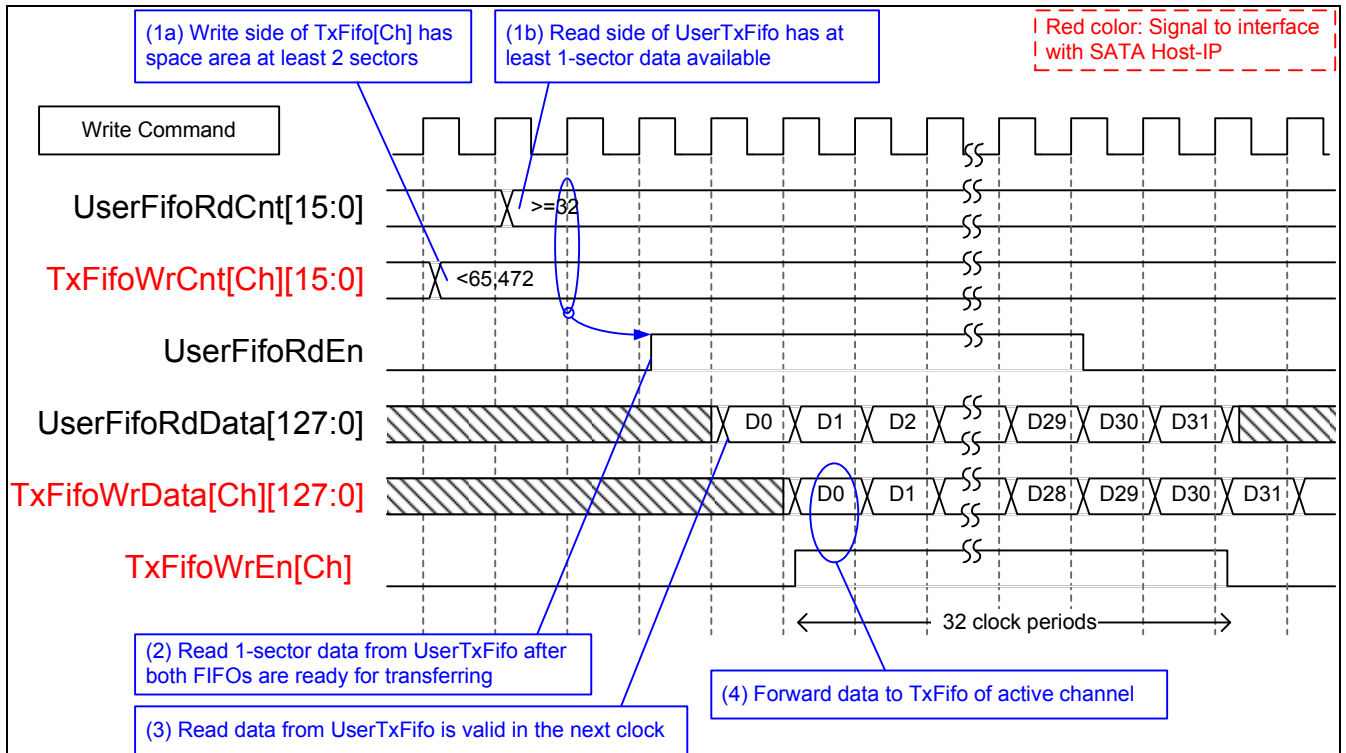
表 1: Raid0x4 ブロックの信号仕様 (ユーザ・インターフェイスのみ)

Signal	Dir	Description
その他 I/F		
TestPin[0-3][31:0]	Out	IP#0-IP#3 各 SATA ホスト IP コアのテストピン出力をマップ
TimeOutSel[31:0]	Out	全 SATA ホスト IP コアのタイムアウト値、クロック・ピリオド単位
TrnLinkup[3:0]	Out	IP#0-IP#3 の各 SATA-IP コアからのリンク状態信号
IdenWrAddr[0-3][6:0]	Out	IP#0-IP#3 の各 SATA ホスト IP コアからの IdenWrAddr を直接マップ
IdenWrEn[3:0]	Out	IP#0-IP#3 の各 SATA ホスト IP コアからの IdenWrEn を直接マップ
IdenWrData[0-3][31:0]	Out	IP#0-IP#3 の各 SATA ホスト IP コアからの IdenWrData を直接マップ

表 1: Raid0x4 ブロックの信号仕様 (ユーザ・インターフェイスのみ) 続き

## 2.2 タイミング・チャート

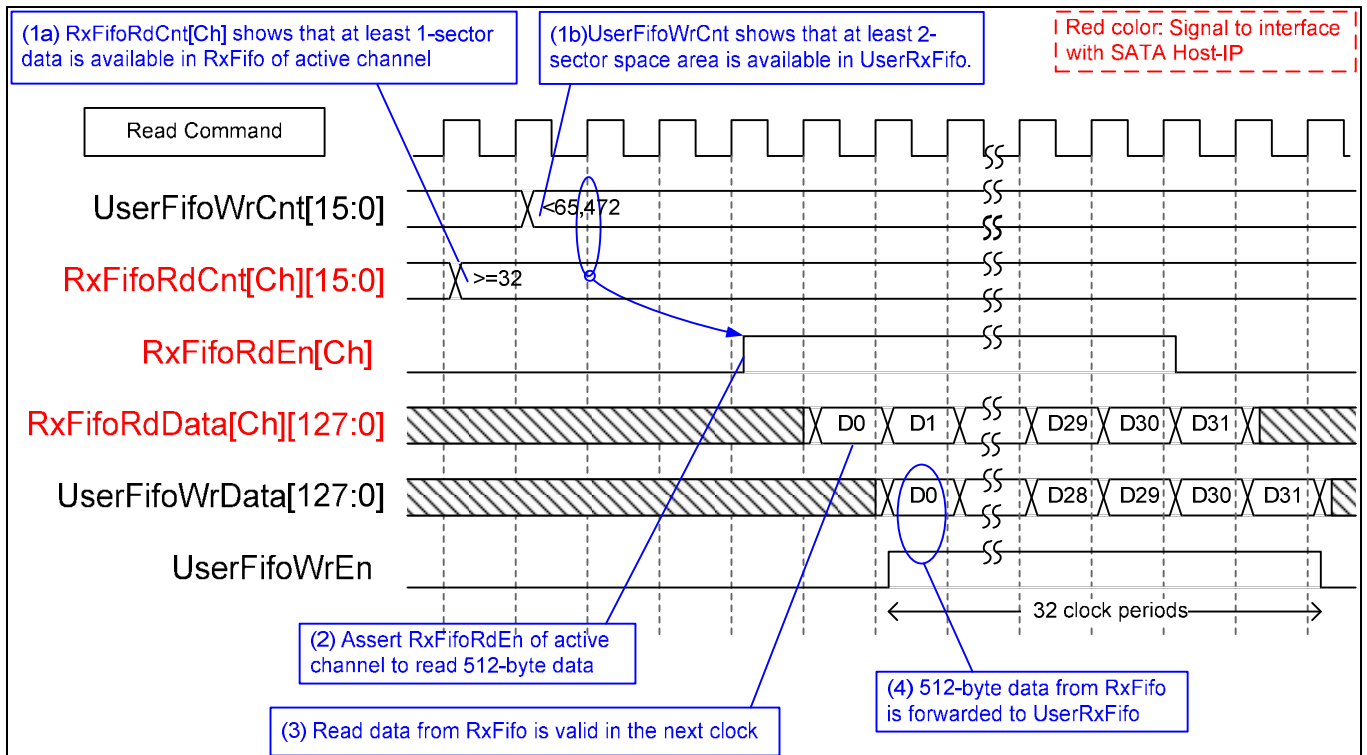
本 RAID0 デザインのユーザ・インターフェイスや Identify device インターフェイスは単体の SATA ホスト IP コアのインターフェイスほぼそのままなので、まずは SATA ホスト IP コアのデータシートを確認してください。データ FIFO インターフェイスについては以下に詳細を説明します。



- (1a) アクティブな SATA チャンルにおける送信 FIFO[Ch]のライト側に少なくとも2セクタ分の空き容量がある
- (1b) ユーザ送信 FIFO のリード側は少なくとも1セクタ分のライト・データが用意されている
- (2) アクティブな SATA チャンルの FIFO とユーザ送信 FIFO の両 FIFO 間の転送準備が整い、1セクタ分のデータをユーザ送信 FIFO から取り出す
- (3) ユーザ送信 FIFO から取り出したデータは次クロック期間で有効な値が出力される
- (4) データはアクティブな SATA チャンルの送信 FIFO へと転送される

図 3: ライト・コマンドにおける RAID FIFO のタイミング・チャート

ユーザが RAID システムへライト命令を指示するとデータはユーザ送信 FIFO より SATA チャンル個別の送信 FIFO(TxFifo[0]~[3])へと転送されます。このとき1セクタ分のデータは全4チャンネルのうちアクティブな SATA チャンルの送信 FIFO のみへ転送し、次のチャンネルに切り替わることで RAID0 動作を実行します。両 FIFO 間でのデータ転送に先立って UserFifoRdCnt(ユーザ送信 FIFO 内に格納されている有効なデータ数)と TxFifoWrCnt(アクティブな SATA チャンルの送信 FIFO での空き容量)がモニタされます。そしてユーザ送信 FIFO に少なくとも1セクタ分の有効データが溜まっておりアクティブな SATA チャンル内の送信 FIFO で少なくとも2セクタ分の空き容量があることを確認します。そして UserFifoRdEn が 32 クロック期間分アクティブとなり、1セクタ 512 バイト分のデータが転送されます。



- (1a) アクティブな SATA チャンネルにおける受信 FIFO[Ch]に少なくとも 1 セクタ分のリード・データがある
- (1b) ユーザ受信 FIFO のライト側は少なくとも 2 セクタ分の空き容量がある
- (2) アクティブな SATA チャンネルの受信 FIFO に対して RxFifoRdEn をアサートし 1 セクタ 512 バイト分のリード・データを受信 FIFO[Ch]から取り出す
- (3) アクティブな SATA 受信 FIFO から取り出したデータは次クロック期間で有効な値が出力される
- (4) 512 バイト・データはユーザ受信 FIFO へと転送される

図 4: リード・コマンドにおける RAID FIFO のタイミング・チャート

ユーザが RAID システムへリード命令を指示すると各 SATA チャンネル個別でリードしたデータは、図 4 に示すように SATA チャンネル個別の受信 FIFO(RxFifo[0]~[3])からユーザ受信 FIFO へと転送されます。ライト命令と同様、アクティブな SATA チャンネルの受信 FIFO のみが選択され 1 セクタ 512 バイトのデータをユーザ受信 FIFO へ転送すると次のセクタ用としてアクティブな SATA チャンネルが切り替わります。両 FIFO 間でのデータ転送に先立って UserFifoWrCnt(ユーザ受信 FIFO での空き容量)と RxFifoRdCnt(アクティブな SATA チャンネルの受信 FIFO で格納されている有効データ数)がモニタされます。そしてアクティブな SATA チャンネルの受信 FIFO に少なくとも 1 セクタ分の有効データが溜まっておりユーザ受信 FIFO で少なくとも 2 セクタ分の空き容量があることを確認します。そして UserFifoWrEn が 32 クロック期間分アクティブとなり、1 セクタ 512 バイト分のデータが転送されず。

### 3 CPU

本 RAID0 システムにおける CPU は 1 チャンネル版のホスト IP リファレンス・デザインと同様に機能します、ただし表 2 に示すようにデータ比較の期待データと検出データがそれぞれ 32 ビットから 128 ビットに拡張されています。

アドレス Rd/Wr	レジスタ名 (“hsataraidtest.c”内のラベル名)	説明
BA+0x00 Wr	ユーザ・アドレス(下位)レジスタ (USRADRL_REG)	[31:0]: SATA ホスト IP のアクセス先開始アドレス下位 32 ビット UserAddr[31:0] (dglF typeS 規格)
BA+0x04 Wr	ユーザ・アドレス(上位)レジスタ (USRADRH_REG)	[15:0]: SATA ホスト IP のアクセス先開始アドレス上位 16 ビット UserAddr[47:32] (dglF typeS 規格)
BA+0x08 Wr	ユーザ転送長(下位)レジスタ (USRLLENL_REG)	[31:0]: SATA ホスト IP の転送セクタ数下位 32 ビット UserLen[31:0] (dglF typeS 規格)
BA+0x0C Wr	ユーザ転送長(上位)レジスタ (USRLLENH_REG)	[15:0]: SATA ホスト IP の転送セクタ数上位 16 ビット UserLen[47:32] (dglF typeS 規格)
BA+0x10 Wr	ユーザ・コマンド・レジスタ (USRCMD_REG)	[1:0]: SATA ホスト IP のユーザ・コマンド UserCmd (dglF typeS 規格) “00”-Identify device, “01”-Security Erase, “10”-Write SSD, “11”-Read SSD 本レジスタが書き込まれると RAID0 システムに対して新たなコマンド実行の要求 を発生します。
BA+0x14 Wr	テスト・パターン・レジスタ (PATTSEL_REG)	[1:0]: テスト・パターン選択 “00”-インクリメンタル, “01”-デクリメンタル, “10”-オール 0, “11”-オール 1
BA+0x100 Rd	ユーザ・ステータス・レジスタ (USRSTS_REG)	[0]: -IP の UserBusy フラグ (‘0’: アイドル, ‘1’: ビジー) [1]: SATA ホスト IP からの UserError 出力(‘0’: 通常, ‘1’: エラー) [2]: データ・ベリファイ・エラー(‘0’: 通常, ‘1’: ベリファイ・エラー発生) [4:3]: SATA リンク状態とリンク速度、“00”: 未リンク・アップ、“01”/ “10”: サポートし ていません、“11”: SATA Gen3
BA+0x104 Rd	総ドライブ容量(下位)レジスタ (LBASIZEL_REG)	[31:0]: SATA ホスト IP で報告される総ドライブ容量(単位: セクタ) 下位 32 ビット LBASize[31:0] (dglF typeS 規格)
BA+0x108 Rd	総ドライブ容量(上位)レジスタ (LBASIZEH_REG)	[15:0]: SATA ホスト IP で報告される総ドライブ容量(単位: セクタ) 上位 16 ビット LBASize[47:32] (dglF typeS 規格)
BA+0x10C Rd	ユーザ・エラー・タイプ・レジスタ (USRERRTYPE_REG)	[31:0]: SATA ホスト IP で報告されるユーザ・エラー・ステータス UserErrorType[31:0]
BA+0x120 Rd	比較エラー・アドレス(下位)レジスタ (RDFAILNOL_REG)	[31:0]: リード(ベリファイ)にてデータ比較エラーが発生したアドレス(バイト単位)の 下位 32 ビット[31:0]
BA+0x124 Rd	比較エラー・アドレス(上位)レジスタ (RDFAILNOH_REG)	[23:0]: リード(ベリファイ)にてデータ比較エラーが発生したアドレス(バイト単位)の 上位 24 ビット[56:32]
BA+0x130 Rd	期待値ワード 0 レジスタ (EXPPATW0_REG)	[31:0]: リード(ベリファイ)での期待値データ[31:0]
BA+0x134 Rd	期待値ワード 1 レジスタ (EXPPATW1_REG)	[31:0]: リード(ベリファイ)での期待値データ[63:32]
BA+0x138 Rd	期待値ワード 2 レジスタ (EXPPATW2_REG)	[31:0]: リード(ベリファイ)での期待値データ[95:64]
BA+0x13C Rd	期待値ワード 3 レジスタ (EXPPATW3_REG)	[31:0]: リード(ベリファイ)での期待値データ[127:96]
BA+0x140 Rd	実リード値ワード 0 レジスタ (RDPATW0_REG)	[31:0]: リード(ベリファイ)での実リード値データ[31:0]
BA+0x144 Rd	実リード値ワード 1 レジスタ (RDPATW1_REG)	[31:0]: リード(ベリファイ)での実リード値データ[63:32]
BA+0x148 Rd	実リード値ワード 2 レジスタ (RDPATW2_REG)	[31:0]: リード(ベリファイ)での実リード値データ[95:64]
BA+0x14C Rd	実リード値ワード 3 レジスタ (RDPATW3_REG)	[31:0]: リード(ベリファイ)での実リード値データ[127:96]

表 2: レジスタ・マップ

Address Rd/Wr	Register Name (Label in the "hsataiptest.c")	Description
BA+0x150 Rd	現在テスト・バイト(下位)レジスタ (CURTESTSIZEL_REG)	[31:0]: TESTGEN モジュール内の現在テスト・データ・サイズをバイト単位で表示 (bit[31:0])
BA+0x154 Rd	現在テスト・バイト(上位)レジスタ (CURTESTSIZEH_REG)	[23:0]: TESTGEN モジュール内の現在テスト・データ・サイズをバイト単位で表示 (bit[56:32])
BA+0x2000 – 0x21FF	Identify Device Command データ (IDENCTRL_REG)	SATA CH#0 における 512 バイトの Identify Device データ
BA+0x2200 – 0x23FF		SATA CH#1 における 512 バイトの Identify Device データ
BA+0x2400 – 0x25FF		SATA CH#2 における 512 バイトの Identify Device データ
BA+0x2600 – 0x27FF		SATA CH#3 における 512 バイトの Identify Device データ

表 2: レジスタ・マップ (続き)



## 4 TestGen モジュール

1チャンネル版のホストIPリファレンス・デザインと比較するとテスト・パターン発生(TestGen)モジュールは図5に示すように32ビットから128ビットに拡張されています。

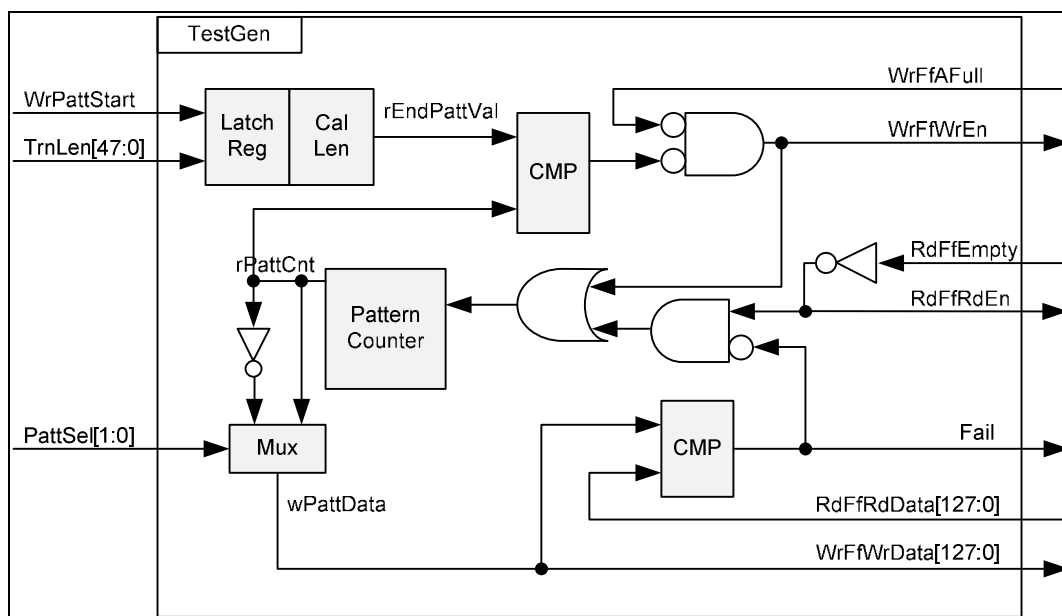


図 5: TestGen のブロック図

## 5 更新履歴

リビジョン	日付	説明
1.0	21-Nov-14	Initial version release
1.0J	2014/12/17	日本語版の初期版作成
1.1J	2017/02/15	英語版更新対応、dgIF typeS 規格に対応

Copyright: 2014Design Gateway Co.,Ltd.