

# SATA ホスト IP リファレンス・デザイン説明書

Rev1.4J 2017/08/04

本ドキュメントは SATA ホスト IP デモのリファレンス・デザインに関する説明書となります。リファレンス・デザインを実装した SATA ホスト IP の具体的なデモ手順については以下のドキュメントを参照してください。

文書名: SATA ホスト IP デモ手順書

参照 URL: [http://www.dgway.com/products/IP/SATA-IP/dg\\_satahostip\\_instruction\\_jp.pdf](http://www.dgway.com/products/IP/SATA-IP/dg_satahostip_instruction_jp.pdf)

## 1. 概要

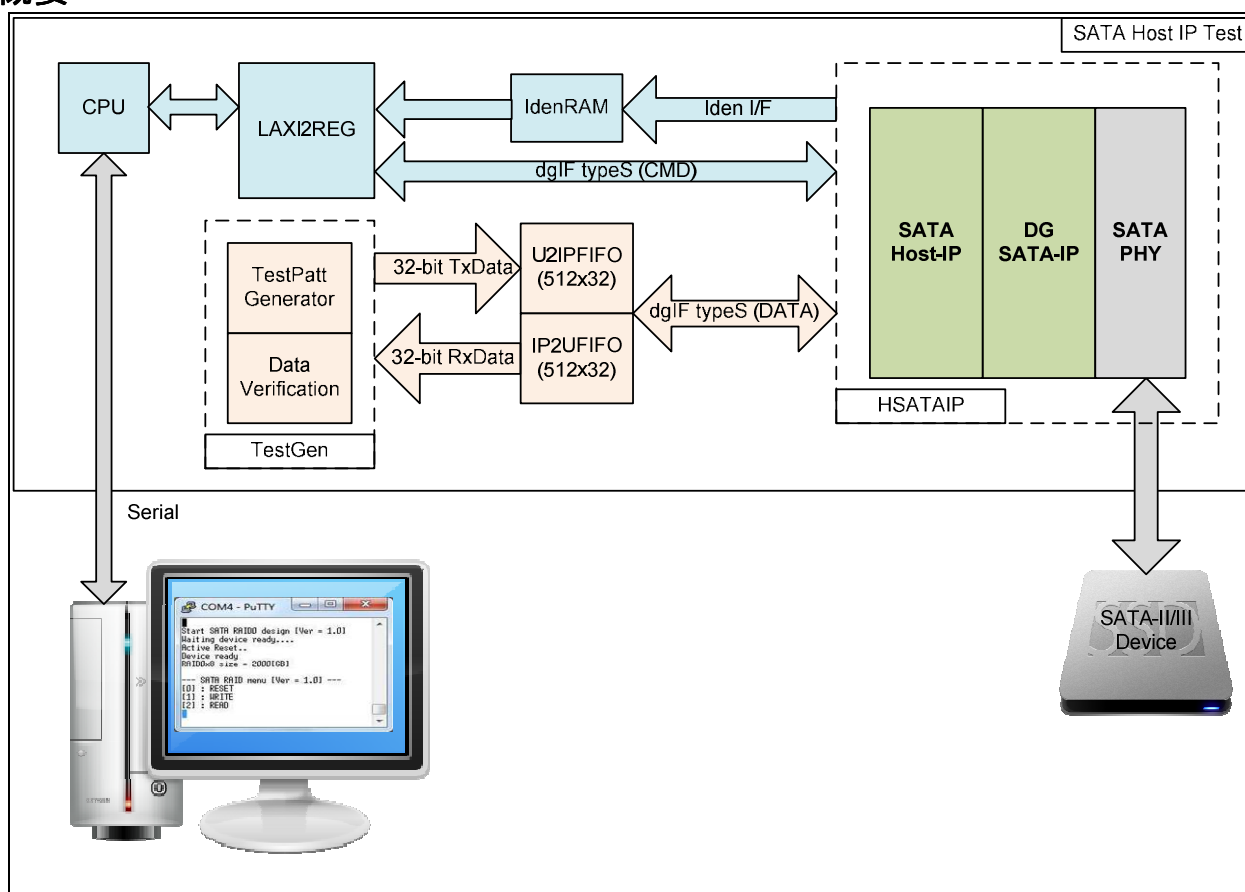


図1: ホスト IP リファレンス・デザインのブロック図

このリファレンス・デザインは SATA ホスト IP コア、SATA-IP コア、および SATA-PHY の3モジュールを SATA ホストの標準プラットフォームとして実装したものです。簡単な外部ロジックにより SATA-II/III ドライブに対して高速でライト・リードを実行します。シリアル・コンソールを介したユーザ・インターフェイスを用意するため CPU が使われています。ユーザは開始アドレス・転送サイズ・コマンド等のパラメータを指定でき、デザイン内のロジックによりユーザ入力が SATA ホスト IP へのパラメータとして変換されます。コマンドが完了すると、CPU はコマンド所要時間からライト・リードの実パフォーマンスを計算しユーザに出力します。CPU バスとのインターフェイスには LAXI2REG モジュールが使われ、ここで CPU バスのアドレスとデータをデコードし SATA ホスト IP コアの dgIF typeS 仕様のコマンド・インターフェイスに変換されます。SATA ホスト IP コアと TestGen モジュール間のバッファとして2つの FIFO が使われます。本リファレンス・デザインのユーザ・クロック周波数は 200MHz ですが、CPU システムは 100MHz で動作します。従って LAXI2REG モジュールには非同期回路が必要となります。

SATA ホスト IP コアのデータシートは以下の URL で参照できます、また無償の評価用ビット・ファイルもこのサイトでクエストできます。実際の SATA 転送パフォーマンスは SATA デバイスに依存します。

URL: [http://www.dgway.com/SATA-IP\\_X.html](http://www.dgway.com/SATA-IP_X.html)

## 2. CPU

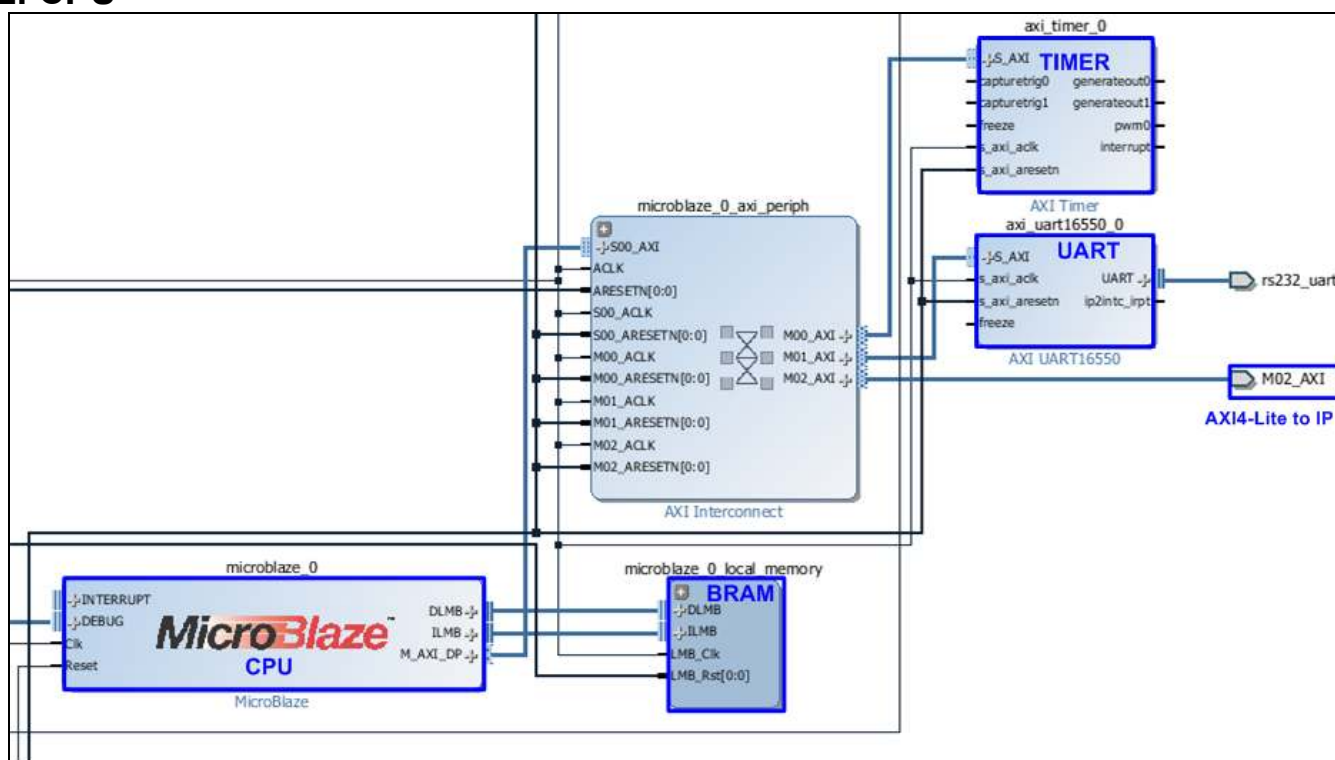


図 2: ホスト IP リファレンス・デザインの CPU システム

本リファレンス・デザインにて CPU 周辺モジュールとしては、ユーザ・インターフェイス用の UART、パフォーマンス計測用のタイマー、CPU ファームウェア格納用 BRAM があります。MicroBlaze と周辺モジュールとは 32 ビット AXI4-Lite バスの SATA ホスト IP コアの制御/モニタ用インターフェイスも含めて AXI インターコネクトで接続します。AXI4-Lite におけるメモリ・マップの詳細については以下に示します。

表 1: レジスタ・マップ

アドレス Rd/Wr	レジスタ名 (“hsataiptest.c”内のラベル名)	説明
BA+0x00 Wr	ユーザ・アドレス(下位)レジスタ (USRADRL_REG)	[31:0]: SATA ホスト IP のアクセス先開始アドレス下位 32 ビット UserAddr[31:0] (dgIF typeS 規格)
BA+0x04 Wr	ユーザ・アドレス(上位)レジスタ (USRADRH_REG)	[15:0]: SATA ホスト IP のアクセス先開始アドレス上位 16 ビット UserAddr[47:32] (dgIF typeS 規格)
BA+0x08 Wr	ユーザ転送長(下位)レジスタ (USRLENL_REG)	[31:0]: SATA ホスト IP の転送セクタ数下位 32 ビット UserLen[31:0] (dgIF typeS 規格)
BA+0x0C Wr	ユーザ転送長(上位)レジスタ (USRLENH_REG)	[15:0]: SATA ホスト IP の転送セクタ数上位 16 ビット UserLen[47:32] (dgIF typeS 規格)
BA+0x10 Wr	ユーザ・コマンド・レジスタ (USRCMD_REG)	[1:0]: SATA ホスト IP のユーザ・コマンド UserCmd (dgIF typeS 規格) “00”-Identify device, “01”-Security Erase, “10”-Write SSD, “11”-Read SSD 本レジスタが書き込まれると SATA ホスト IP に対して新たなコマンド実行の要求 を発生します。
BA+0x14 Wr	テスト・パターン・レジスタ (PATTSEL_REG)	[2:0]: テスト・パターン選択 “000”-インクリメンタル, “001”-デクリメンタル, “010”-オール 0, “011”-オール, “100”-LFSR

アドレス Rd/Wr	レジスタ名 (“hsataipctest.c”内のラベル名)	説明
BA+0x100 Rd	ユーザ・ステータス・レジスタ (USRSTS_REG)	[0]: -IP の UserBusy フラグ ('0': アイドル, '1': ビジー) [1]: SATA ホスト IP からの UserError 出力 ('0': 通常, '1': エラー) [2]: データ・ベリファイ・エラー ('0': 通常, '1': ベリファイ・エラー発生) [4:3]: SATA リンク状態とリンク速度 “00”: 未リンク・アップ “01”: SATA Gen1 (全デザインでサポートしていません) “10”: SATA Gen2, (KCU105 ではサポートしていません) “11”: SATA Gen3
BA+0x104 Rd	総ドライブ容量(下位)レジスタ (LBASIZEL_REG)	[31:0]: SATA ホスト IP で報告される総ドライブ容量(単位:セクタ)下位 32 ビット LBASize[31:0] (dgIF typeS 規格)
BA+0x108 Rd	総ドライブ容量(上位)レジスタ (LBASIZEH_REG)	[15:0]: SATA ホスト IP で報告される総ドライブ容量(単位:セクタ)上位 16 ビット LBASize[47:32] (dgIF typeS 規格)
BA+0x10C Rd	ユーザ・エラー・タイプ・レジスタ (USRERRTYPE_REG)	[31:0]: SATA ホスト IP で報告されるユーザ・エラー・ステータス UserErrorType[31:0]
BA+0x11C Rd	テストピン・レジスタ (TESTPIN_REG)	[31:0]: SATA ホスト IP 出力の TestPin[31:0]
BA+0x120 Rd	比較エラー・アドレス(下位)レジスタ (RDFAILNOL_REG)	[31:0]: リード(ベリファイ)にてデータ比較エラーが発生したアドレス(バイト単位)の下位 32 ビット[31:0]
BA+0x124 Rd	比較エラー・アドレス(上位)レジスタ (RDFAILNOH_REG)	[23:0]: リード(ベリファイ)にてデータ比較エラーが発生したアドレス(バイト単位)の上位 24 ビット[56:32]
BA+0x130 Rd	期待値ワード 0 レジスタ (EXPPATW0_REG)	[31:0]: リード(ベリファイ)での期待値データ・ワード 0 [31:0]
BA+0x140 Rd	実リード値ワード 0 レジスタ (RDPATW0_REG)	[31:0]: リード(ベリファイ)での実リード値データ・ワード 0 [31:0]
BA+0x150 Rd	現在テスト・バイト(下位)レジスタ (CURTESTSIZEL_REG)	[31:0]: TESTGEN モジュール内の現在テスト・データ・サイズをバイト単位で表示 (bit[31:0])
BA+0x154 Rd	現在テスト・バイト(上位)レジスタ (CURTESTSIZEH_REG)	[23:0]: TESTGEN モジュール内の現在テスト・データ・サイズをバイト単位で表示 (bit[56:32])
BA+0x2000 - 0x21FF	Identify Device Command データ (IDENCTRL_REG)	512 バイトの Identify Device データ

初期化が完了すると本デザインの CPU はアイドル状態に移行しシリアル・コンソールからのユーザ・コマンドを待機します。選択できるコマンドは Identify device、ライト、リードの3種類です。それぞれのコマンドは以下のシーケンスとなります。

#### Identify Device コマンド

- 1) USRCMD\_REG に“00”をセットします。テストロジックはコマンドを発生し SATA ホスト IP コアに要求を出します。そしてビジー・フラグ(USRSTS\_REG[0])は'0'から'1'に遷移します。
- 2) CPU は USRSTS\_REG の値をモニターすることで、コマンドの完了またはエラーを検出します。コマンドが完了した場合 Bit[0]が'0'にクリアされ何らかのエラーが検出された場合 Bit[1]が'1'にアサートされます。エラーを検出した場合エラー・メッセージを表示します。
- 3) テストの結果として IDENCTRL\_REG からデコードした SATA デバイスのモデル名と LBASIZEL/H\_REG から読み出したデバイスの容量情報をコマンド・シェルに表示します。

### Security Erase コマンド

- 1) USR\_CMD\_REG="01"をセットします。テスト・ロジックは消去コマンドを SATA ホスト IP コアに対して発行します。Busy フラグ(USRSTS\_REG[0])は'0'から'1'へ変化します。
- 2) CPU は USRSTS\_REG をモニタしてコマンドの完了を待ちます。コマンドが完了すると Bit[0]は'0'にクリアされます。この消去動作は比較的長時間かかるため、システムがハングアップしていないことを示すためコンソール上に1秒毎にダミーの表示(インクリメントする数字)を出力します。コマンド完了時に総所要時間をコンソールに表示します。

### Write/Read コマンド

- 1) コマンド・シェルよりユーザが指定したスタート・アドレス、転送長、テスト・パターンを受け取ります。無効な入力があった場合動作はキャンセルします。
- 2) ユーザ入力パラメータから USRADRL/H\_REG、USRLENH/H\_REG、USRCMD\_REG(ライトの場合"10"でリードの場合"11")をセットします。
- 3) Identify Device コマンドのシーケンス 2)と同様です、ただしリード・コマンドの場合は USRSTS\_REG[2]もチェックしリードしたデータが正しいかも確認します。
- 4) コマンド実行中、CURTESTSIZE\_REG から読み出した現在の転送済みサイズをコンソールに表示します。最後にコマンドが完了すると計算したパフォーマンス結果が表示されます。

### 3. LAXI2REG

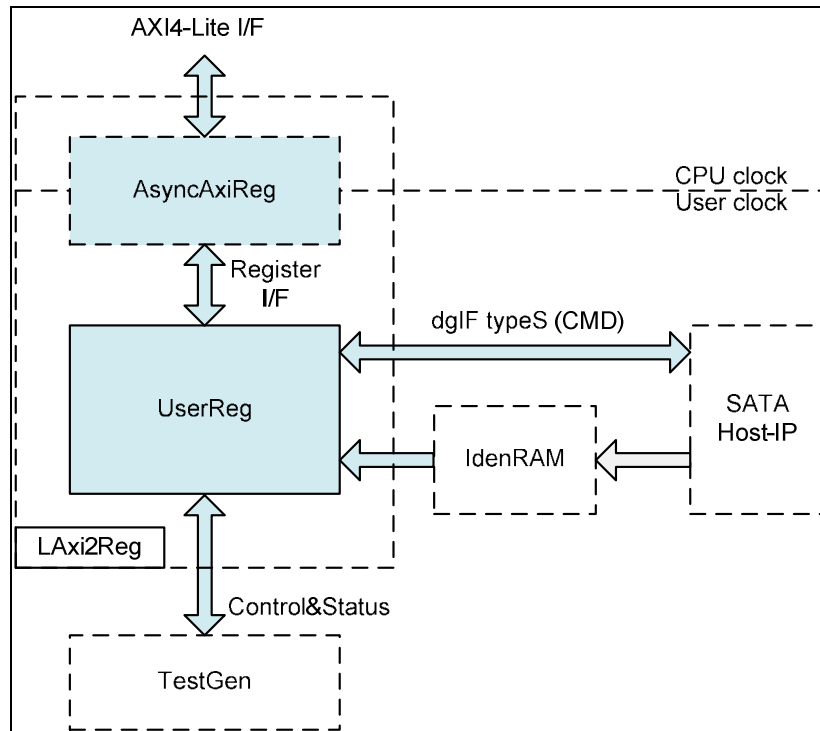


図 3: LAXI2REG インターフェイス

このモジュールは AsyncAXIReg と UserReg の 2 サブ・モジュールで構成されます。AsyncAXIReg は AXI4-Lite バスをレジスタ・インターフェイスに変換しさらに CPU クロックとユーザ・クロック間のクロック・ドメイン間の変換を行います。UserReg モジュールはライト/リード・アドレスをデコードするロジックを内蔵し、アクセス先のレジスタを選択します。

アドレスは表 1 に示すマッピングでデコードされます。ユーザから指定された転送方向・サイズ・アドレスなどの転送パラメータは dglF typeS の制御インターフェイスに変換され、TestGen モジュールへの制御信号に変換されます。転送中 CPU はレジスタをリードし SATA ホスト IP コアや TestGen 結果や Identify Device データなどのステータスを監視します。

## 4. TestGen

このモジュールには2種類の機能があります、すなわちひとつはユーザがライト・コマンドを選択した際に WrFf ポートへテスト・データを出力する機能で、もうひとつはリード・コマンドを選択した際に RdFf ポートからの受信データをペリファイする機能です。本モジュール内のロジック・デザイン詳細を下図 4 のブロック図で示します。

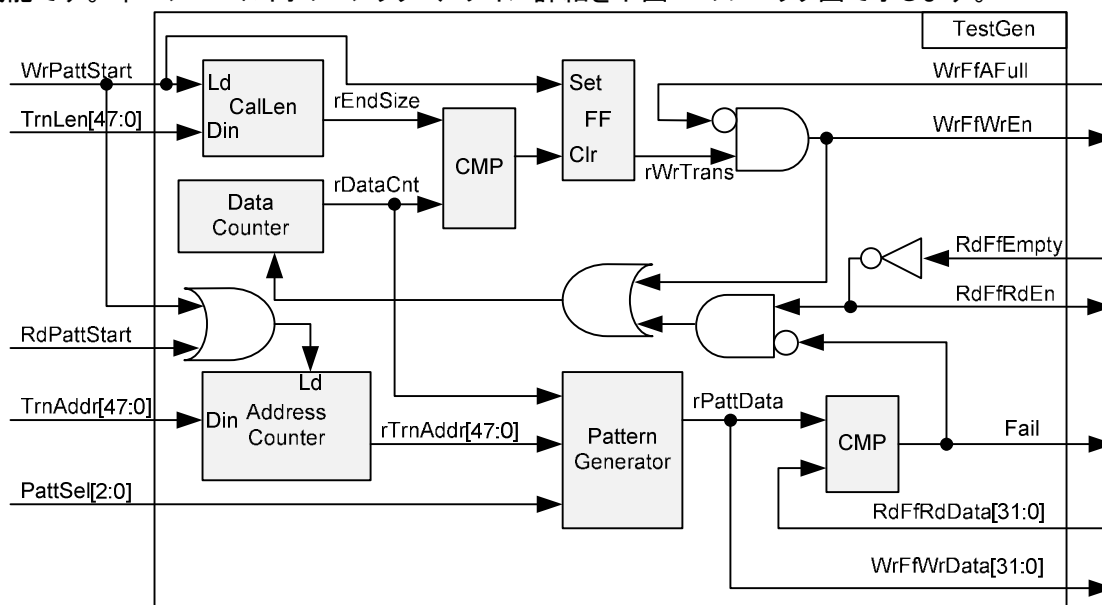


図 4: TestGen のロジック・デザイン

ライト転送の開始にて、有効な値がセットされた TrnLen および TrnAddr とともに WrPattStart が '1' にアサートされます。TrnLen はライト転送の終了位置を計算するために使われます。rWrTrans は WrFf ポートへのライト・イネーブル信号として使われますが WrPattStart および終了位置信号(rEndSize)により制御されます。WrFfAFull はライト転送のフロー制御に使います。この信号が '1' アサートされると WrFfWrEn は '0' ネゲートされデータ発生が抑制されます。

このモジュールには2つのカウンタが内蔵されます、すなわちひとつはデータ・カウンタ(Sata Counter)で転送の終了タイミングを検出するために総転送サイズをカウントします。もう一つはセクタ (512 バイト) 単位で現在のセクタ・アドレスをカウントするアドレス・カウンタ(Address Counter)です。このアドレス・カウンタは TrnAddr 信号から開始アドレス値をロードします。そして 512 バイトの転送終了毎にインクリメントします。パターン発生器(Pattern Generator)は rTrnAddr からの現在アドレスを各セクタの 64 ビットのヘッダ値として読み込みます。そしてこの値は 32 ビット・インクリメント、32 ビット・デクリメント、32 ビット LFSR のテスト・パターン開始値として使われます。rPattData はライト転送時の WrFfWrData として、あるいはリード転送時の期待値として使われます。

リード転送において RdPattStart はアドレス・カウンタのロード信号としてのみ使われます。RdFfRdEn は RdFfEmpty で制御されます。このデザインでは簡単に RdFfRdEn は RdFfEmpty を反転しています。RdFf ポートからの RdFfRdData がテスト・パターンと不一致であった場合に Fail フラグは '1' アサートされます。

## 5. テスト結果例

本デザインを 256GB Samsung 850PRO で評価した結果を下図 5 に示します。

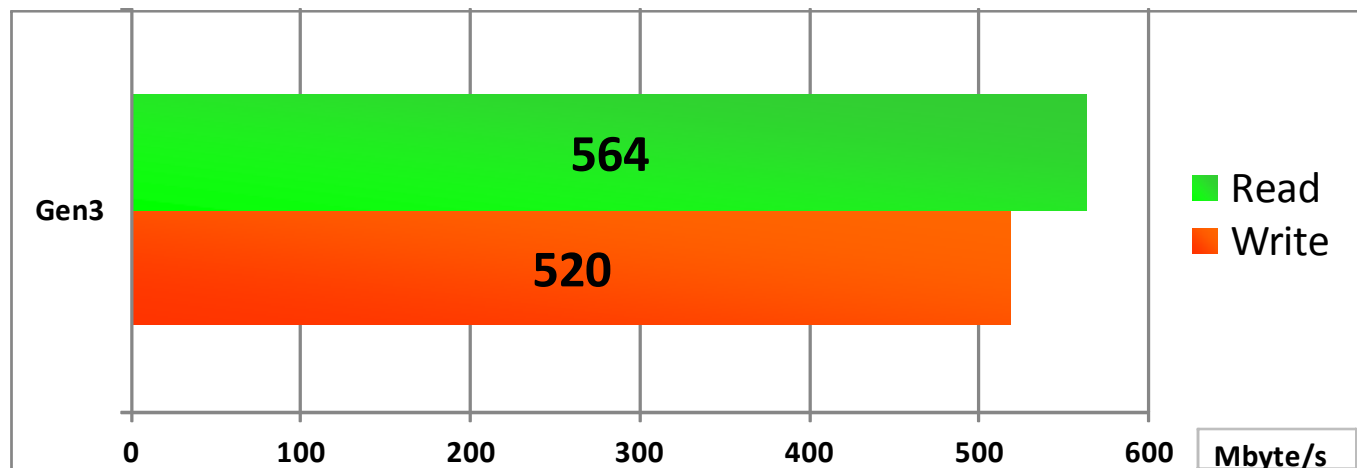


図 6: SATA ホスト IP デモ・デザインを Samsung 850Pro SSD で評価したパフォーマンス結果

SATA Gen3 の KCU105 ボードにて Samsung 850Pro SSD を使って評価した結果、ライト・パフォーマンスは約 520Mbyte/sec でリード・パフォーマンスは約 564Mbyte/sec でした。

## 6. 更新履歴

リビジョン	日付	説明
1.0	13-Oct-14	Initial Release (English Version)
1.0J	2014/10/22	日本語版の初期版作成
1.1J	2016/09/20	シリアル・コンソールによるユーザ I/F を実装するため CPU システムを追加
1.2J	2016/12/27	Security Erase コマンドの追加
1.3J	2017/02/09	dgIF typeS 仕様に対応
1.4J	2017/08/04	32 ビット LFSR パターンを追加

Copyright: 2014 Design Gateway Co.,Ltd.