

TOE10G-IP 同時送受信リファレンス・デザイン説明書

(Xilinx 版)

Rev1.0J 2014/10/3

このドキュメントは Xilinx 製 FPGA 評価ボードで動作する TOE10G-IP コアの同時送受信リファレンス・デザインに関して説明したものです。同時送受信デモの具体的な手順につきましては以下の手順書を参照してください。

題名: TOE10G-IP 同時送受信デモ手順書(Xilinx 版)
 ファイル名: dg_toe10gip_fulldup_instruction_xilinx_jp.pdf

1. はじめに

本同時送受信デザインにおいてユーザ回路モジュールは、送信または受信いずれかの片方向でのデータ転送を実装する標準リファレンス・デザインから、送受信の双方向転送を同時に実行するよう編集されています。本ドキュメントにおいては標準デザインからの変更箇所のみを説明するため、ベースとなる以下の標準リファレンス・デザイン説明書を先に確認してください。

題名: TOE10G-IP 標準リファレンス・デザイン説明書(Xilinx 版)
 ファイル名: dg_toe10gip_refdesign_xilinx_jp.pdf

2. ハードウェアの説明

同時送受信デザインでは、標準リファレンス・デザインと比較するとユーザ回路のみが編集され接続 PC との送受信を同時に実行できるようになっています。同時送受信デモにおいて PC 側テスト・アプリケーションはテスト・パターンを生成し FPGA に対して 10Gbit イーサネット経由で送信します。TOE10G-IP コアは TCP パケットを受信し TCPRxFf ポートを介してユーザ回路に出力します。ユーザ回路内のテスト・ロジックは TCPRxFf ポートの受信データをそのまま TCPTxFf ポートへ出力しループバックを形成します。従って PC からの全データはそのまま PC へと返送され、テスト・アプリケーション内でベリファイが実行されます。

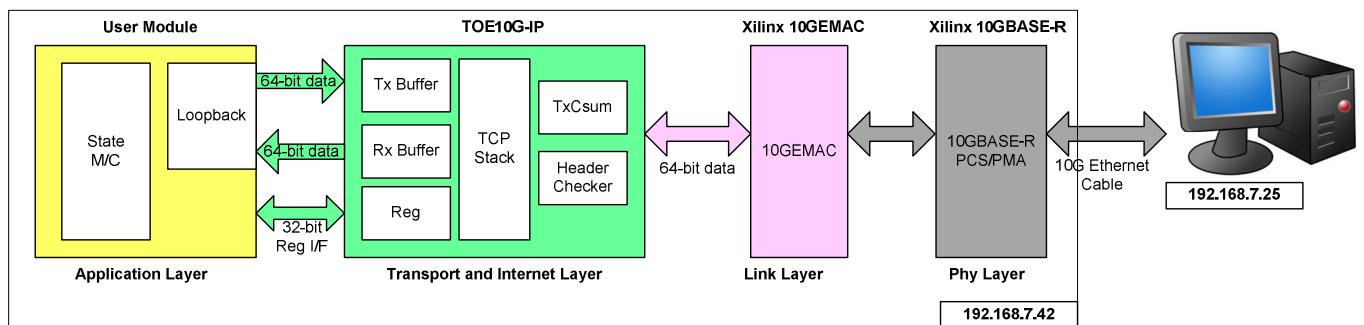


図 1: 同時送受信デザインのハードウェア構成

● ユーザ回路

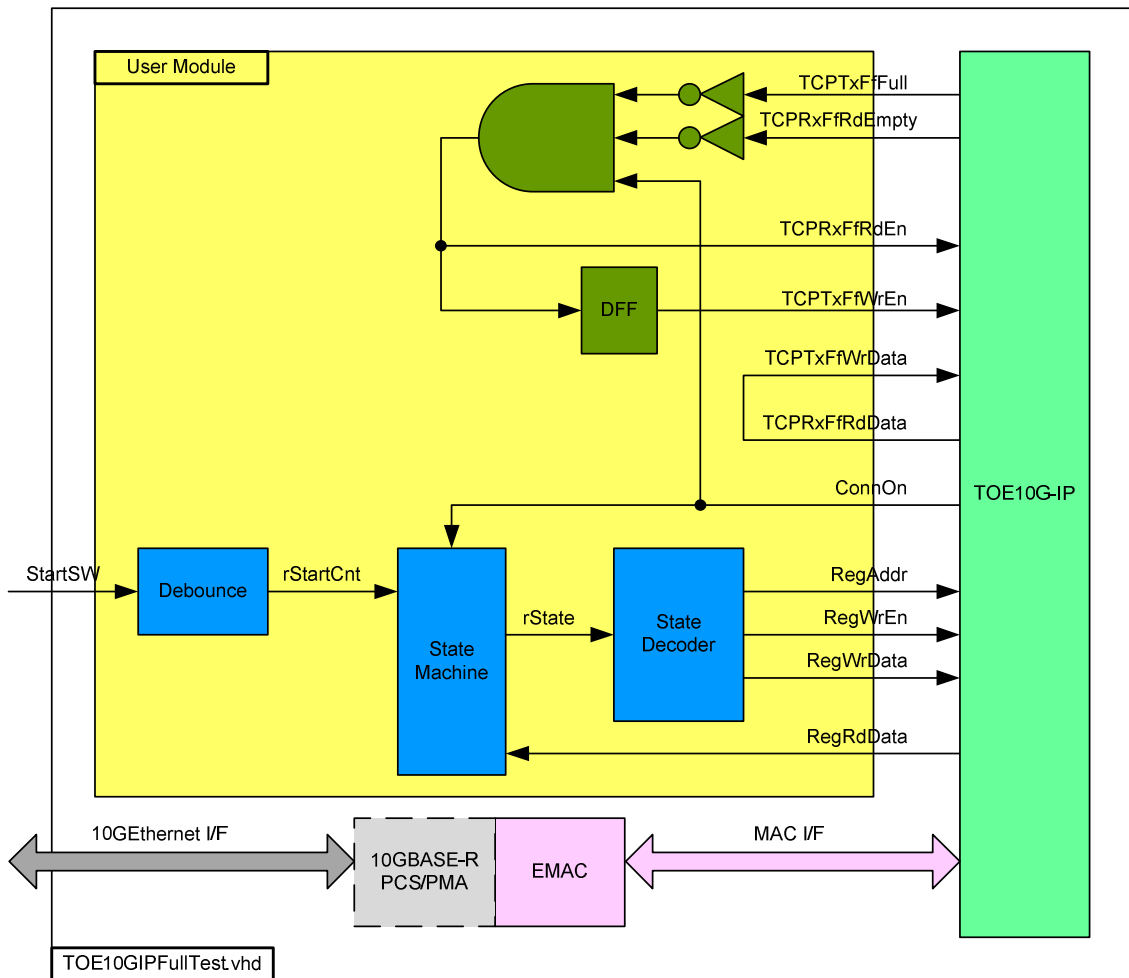


図 2: 同時送受信リファレンス・デザインのユーザ回路ブロック図

標準デモ・デザインと同様、同時送受信デザインでは純ハード・ロジックによるステートマシンでレジスタ制御インターフェイスを実装しています。

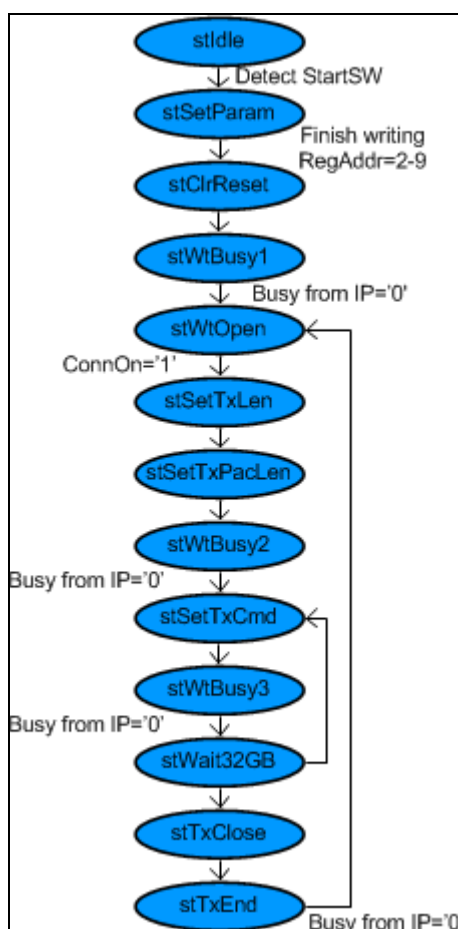


図 3: ユーザ回路で実装したステートマシンの状態遷移図

FPGA ボード上の StartSW ボタン押下によりユーザから動作開始が指示されると、システムは初期化を実行し stWtOpen ステートに移行します。ここまでは標準デモの動作と同一です。その後システムはユーザが PC にてテストアプリケーション(tcp_client_txxr_10G.exe)を実行し TCP コネクションが FPGA と PC 間で確立されるのを待ちます。PC によりコネクションがオープンされると、ConnOn がアサートされるのでステートマシンはレジスタに対して送信パラメータをセットします。総送信データ数は 4GByte(TDL レジスタ値 = 0xFFFF_FFF8)固定で、stSetTxLen ステートでセットします。送信パケット・サイズは 8960 バイト(PKL レジスタ値 = 0x2300)固定で、stSetPacLen ステートでセットします。そしてデータ送信を指示する前に、stWtBusy2 ステートにて Busy ステータスをチェックしますが、これは PC からの受信データを IP コア内で処理中の可能性があるためです。IP コアが Busy でなくコマンドを発行できる状態となれば stSetTxCmd ステートにて送信コマンドを発行し stWtBusy3 ステートに遷移します。ここで IP コアからの Busy フラグがネゲートされ全 4GByte のデータ転送が完了するのを待ちます。次の stWait32GB ステートは 4GB 転送を 8 回繰り返し総転送サイズが 32GByte となるためのステートです。最後に stTxClose ステートにて、IP コアに対してアクティブ・クローズを実行するよう指示します。PC 側では、ポートがクローズされたことにより一連のデータ送受信が完了したことを検出します。

3. PC 側テスト・アプリケーション

本リファレンス・デザインの実機動作を検証するため、接続相手の PC 側にて“tcp_client_txrx_10G”アプリケーションを実行します。このアプリケーションにて 32GByte データが生成され 10G ビット・イーサネットを通して送信されます。またそれと同時に、受信ファンクションが呼び出されベリファイありまたはなしにてデータを受信します。このアプリケーションは起動時に以下3つの引数を必要とします。

1. FPGA 側 IP アドレス:

本デモ・デザインでは“192.168.7.42”に固定されています。この IP アドレスを変更するためにはユーザ回路デザインにて HDL ソース・コードを編集する必要があります。

2. FPGA 側ポート番号:

本デモ・デザインでは“4000”に固定されています。このポート番号を変更するためにはユーザ回路デザインにて HDL ソース・コードを編集する必要があります。

3. モード(ベリファイ ON/OFF):

'0'の場合、送信ファンクションではオール・ゼロのダミー・データが生成され、また受信ファンクションでベリファイ処理は行われません。これはパフォーマンスを評価するためのモードです。

'1'の場合、送信ファンクションでは 32bit インクリメンタル・データが生成され、また受信ファンクションではベリファイ処理が行われます。これはデータの信頼性を評価するためのモードです。

このテスト・アプリケーションの動作シーケンスは以下となります。

- ① コマンドラインから3つのパラメータを取得します。
- ② ソケットを生成し送信バッファと受信バッファのプロパティをセットします。
- ③ 引数から IP アドレスとポート番号をセットしてポートをオープンします。
- ④ 送信バッファ内のデータ・パターンをオール・ゼロまたはインクリメンタルでセットし、データを送信します。各送信ファンクションを呼び出すごとに 60KByte データが送信されます。
- ⑤ 60KByte データ送信後に受信ファンクションを呼び出し、受信バッファにデータを取得します。ベリファイが指定されていた場合、受信データは 32bit インクリメンタル値と比較されます。受信データが送信データに合致していない場合、エラー・メッセージが表示されます。
- ⑥ 送信および受信ファンクションは交互に呼び出され全 32GByte の送受信を実行します。現在の送信/受信情報は 1 秒ごとにコンソールに表示されます。
- ⑦ FPGA 側からソケットがクローズされるので、テスト結果として総転送データ数とパフォーマンス実測値が表示されます。もし総受信データ量が総送信データ量と合致していない場合、エラー・メッセージが表示されます。
- ⑧ ステップ②に戻りユーザからキャンセル指示があるまでこのループを繰り返します。

4. 改版履歴

リビジョン	日付	履歴
1.0	18-Sep-2014	English version initial release
1.0J	2014/10/3	日本語第 1 版作成

Copyright: 2014 Design Gateway Co,Ltd.