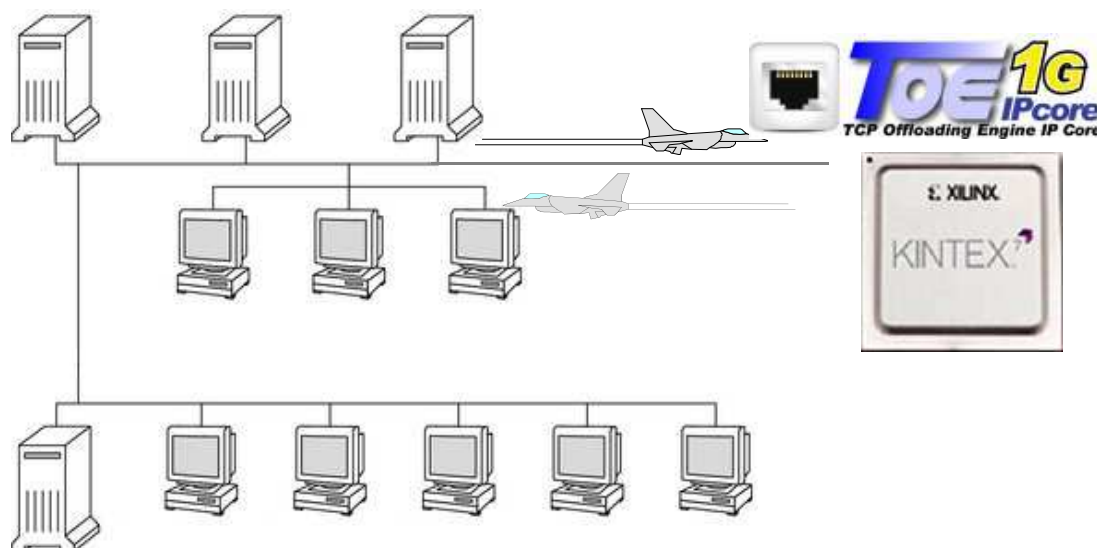


# Xilinx版TOE1G-IP (旧製品名: TOE2-IP) コアのご紹介

Ver1.4J



## 超高速のTCPを今すぐお届けします

2016/9/1

Design Gateway

Page 1

## アジェンダ

- ・ GbEでのTCP/IP実装メリット・デメリット
- ・ TOE1G-IPコアの概要
- ・ コアの動作
  - 初期化
  - 高速送信
  - 高速受信
- ・ ユーザI/F・バッファ容量のパラメタライズ
- ・ リファレンス・デザイン
- ・ リソース例・実機パフォーマンス例



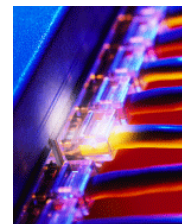
2016/9/1

Design Gateway

Page 2

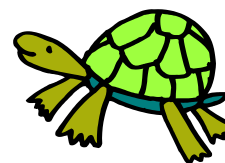
## GbEでのTCP/IP実装メリット

- ・ GbE (ギガビット・イーサネット)の実装メリット
  - 理論上限は1Gbpsと高速転送
  - どのパソコンにもGbEのポートが標準で搭載
  - 広く普及し、装置、ケーブルのコストが安い
- ・ TCP/IPの実装メリット
  - イーサネットの標準プロトコル規格
  - データの欠損がなく転送データの信頼性が確保される
  - 多くのOSが標準でプロトコルスタックを持っている



## GbEでのTCP/IP実装デメリット

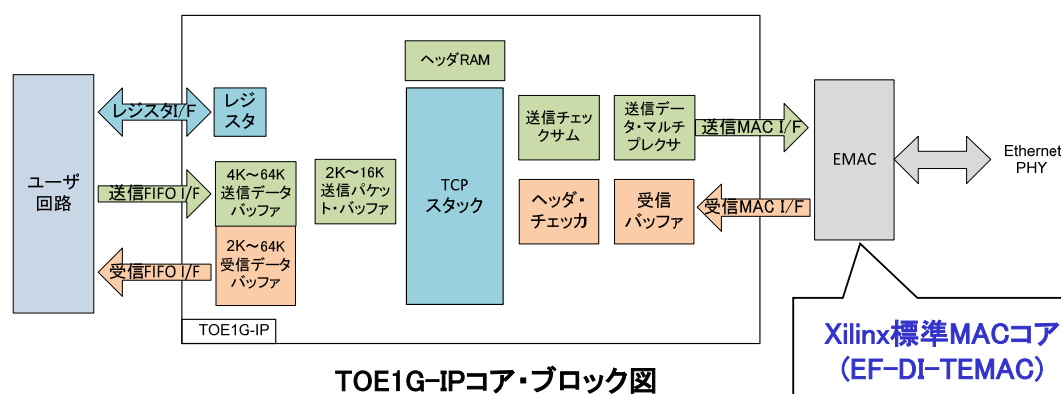
- ・ パフォーマンスが出ない
  - プロトコル処理が複雑
  - 実装には高性能のCPUが必要
  - それでも200~300Mbps程度が実情
- ・ 高性能の外部CPUが必要
  - FPGA内蔵CPU(MicroBlaze)ではパフォーマンスが出ない
  - 外部にハイエンドの高価なCPUが必要となる
  - Zynqで実装するとCPUリソースの大半を消費してしまう



⇒TOE1G-IPがこの悩みを解決します！

## TOE1G-IPコアの概要

- ・ 第2世代のTCP/IPオフロード・エンジン・コア
- ・ ユーザ回路とXilinx製TEMACコアの間に挿入
- ・ **TCPの送信・受信の両方向の処理を完全HW化**
- ・ **Full Duplex(送受信同時)通信をサポート**



## TOE1G-IPコアの特長1

- ・ TCP/IP処理を完全ロジック・ハードウェア化
  - CPUなしでの組込みシステム実装が可能！
  - CPUシステムではCPU負荷がゼロ!
- ・ 送信のみ/受信のみ/同時送受信を高速転送
  - 片方向で110MByte/secの実パフォーマンス
  - 同時送受信(Full Duplex)でも送受信とも100MByte/sec
- ・ 転送データの信頼性を確保
  - 送信時: ACK抜け/重複/タイムアウト等で自動リトライ
  - 受信時: シーケンス番号を評価し返信ACKを自動制御



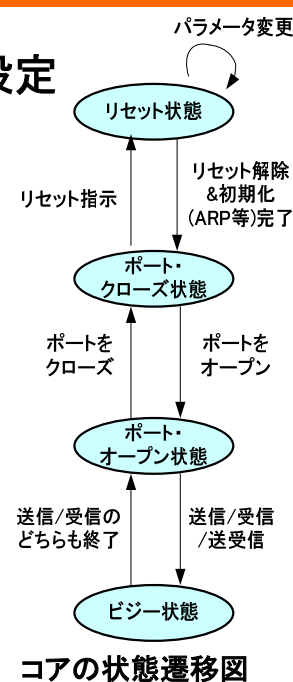
## TOE1G-IPコアの特長2

- ・ データバッファ容量を選択可能
  - FPGAメモリ・リソースとパフォーマンスからユーザが選択
- ・ Xilinx純正MACコア(EF-DI-TEMAC)に対応
  - 直結可能のため接続用の外部ロジック不要
- ・ 豊富な実機動作リファレンス・デザイン
  - Xilinx評価ボードで動作するプロジェクト
  - 購入前にパフォーマンス・信頼性の実機評価を検証可能
  - 製品のリファレンスはコア以外の全回路をソースで添付
  - 高速(TOE1G-IP)/低速(CPU)の2ポート・デザインあり
  - TOE1G-IPコア応用高速FTPサーバーのデザインあり



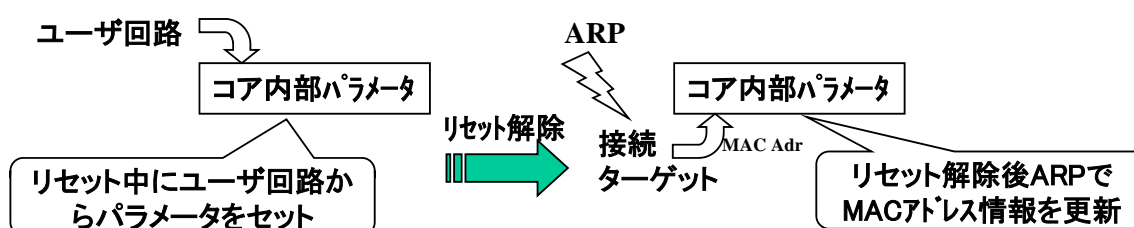
## TOE1G-IPコアの動作概要

- ・ リセット状態でパラメータ(IP&MACアドレス等)を設定
- ・ リセット解除で初期化(ARP等)を実行
- ・ 初期化完了でアイドル(コマンド待ち)状態
- ・ その後ポートをオープン(アクティブ/パッシブ)
- ・ 送信・受信は独立して動作(同時送受信可)
- ・ パラメータ変更はリセット状態で実施  
(転送長/パケット長はビジー状態以外で変更可)



## 初期化動作

- ・ パラメータの初期値設定
  - コアのリセット維持中にユーザ回路より設定
  - IPおよびMACアドレス・ポート番号を指定
  - 設定を完了するとリセットを解除
- ・ リセット解除後ARP実行
  - 接続ターゲットに対してARPを発行
  - 実行結果からターゲットMACアドレス情報を自動更新



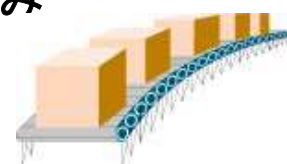
2016/9/1

Design Gateway

Page 9

## 高速送信

- ・ 送信パケットの生成
  - ユーザ回路は送信データをFIFO I/Fで書込み
  - 送信データをフレームサイズで分割
  - ヘッダと送信データを結合しEMACへ出力
- ・ 自動再送機能
  - ターゲットからのACKを常時チェック
  - ACK抜け/重複/タイムアウト等の異常ACKを検出
  - 異常ACKの種類に応じて適切な再送データを用意



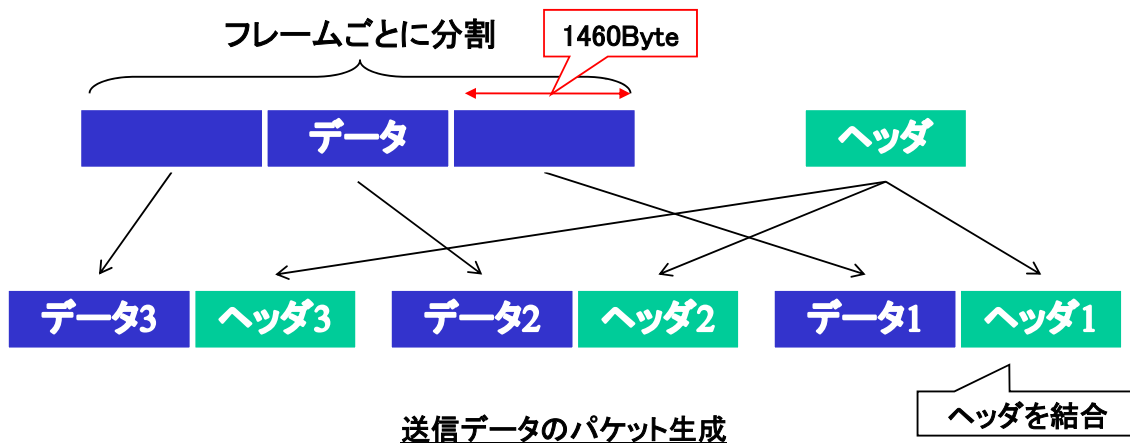
2016/9/1

Design Gateway

Page 10

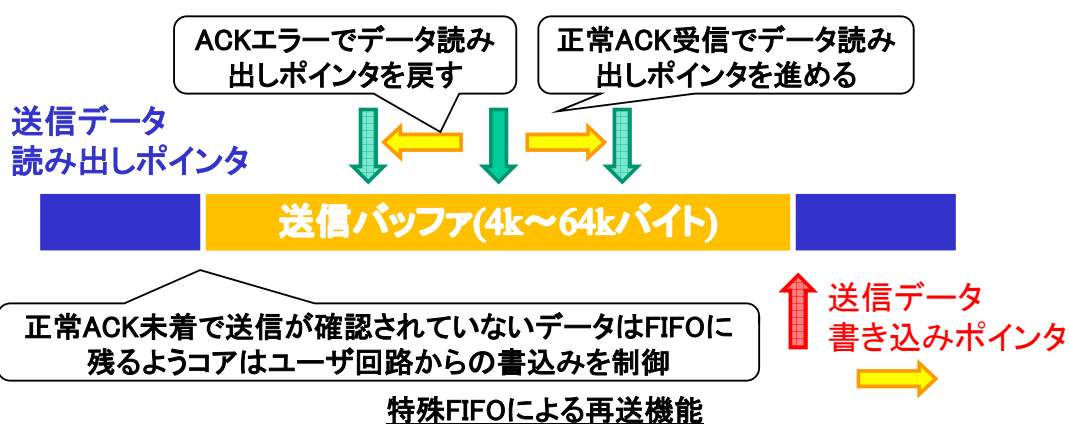
## 送信パケットの生成

- 送信データにヘッダを自動的に付加しEMACへ転送
  - データはコア内にてフレーム・サイズで分割
  - チェックサムやシーケンス番号などもコアが自動生成






## 自動再送機能

- 専用設計された特殊なFIFOで再送を実装
  - 正常ACKで読み出しポインタを進める
  - 異常ACKの場合コアは適切な位置にポインタを戻す
  - ポインタ制御・再送の実行をコアが自動制御



## 高速受信

- ・ 受信パケットのヘッダ・チェック 
  - 受信対象でない場合やチェックサム・エラーの場合は破棄
- ・ データ並び替え 
  - シーケンス番号の入れ替え発生時に並び替え
  - 受信済みデータの再送要求を防ぎ転送効率を維持
  - 並び替え処理できない場合は重複ACKで再送要求
- ・ 重複データの結合 
  - 受信データが前回受信パケットと重複する部分を検出
  - 重複箇所のみ破棄し連続データとして復元
- ・ フロー制御
  - Window Sizeの復活でWindow Updateパケット自動送信

## 受信パケットのヘッダ・チェック

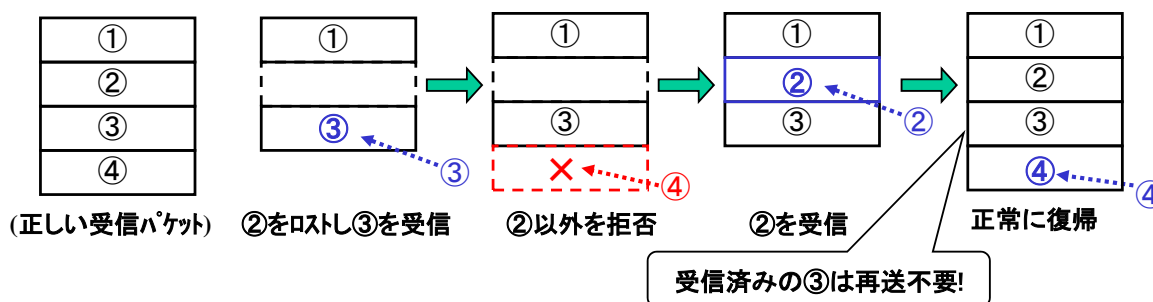
- ・ 受信ヘッダのチェック・サムが正しいことを確認
  - 更に以下の条件を満たすこともコアが確認

Byteオフセット	プロトコル	データ内容	確認条件
0-5	ICMP	あて先MACアドレス	SML/SMHLレジスタで設定したコアのMACアドレスと一致
6-11	ICMP	送信元MACアドレス	ARPで検出した通信ターゲットのMACアドレスと一致
12-13	ICMP	タイプ	0x0800 (IPパケット)であること
14	IP	バージョン/ヘッダ長	0x45 (IPv4, IPヘッダ長=20)であること
20	IP	フラグ/フラグメントOFS	下位6ビットがゼロ(フラグメントの有無チェック)であること
23	IP	プロトコル番号	0x06(TCPパケット)であること
26-29	IP	送信元IPアドレス	DIPLレジスタで設定した通信ターゲットのIPアドレスと一致
30-33	IP	あて先IPアドレス	SIPLレジスタで設定したコアのIPアドレスと一致
34-35	TCP	送信元ポート番号	DPNLレジスタで設定/パッシブオープンで取得した通信ターゲットのポート番号と一致
36-37	TCP	あて先ポート番号	SPNLレジスタで設定したコアのポート番号と一致
38-41	TCP	シーケンス番号	前回処理時のシーケンス番号との差分がコアで処理可能範囲内

受信パケット・ヘッダの確認条件

## データ並び替え

- シーケンス番号がスキップした(ロスト)場合に機能
  - ロスト状態を解消するパケット以外は受信しない
  - スキップ部のデータを回復するロスト解消パケットのみ受信
- データ並び替え
  - ロスト解消パケットからデータの連続性を完全に復元
  - 受信済みデータは再送要求せずパフォーマンスを維持



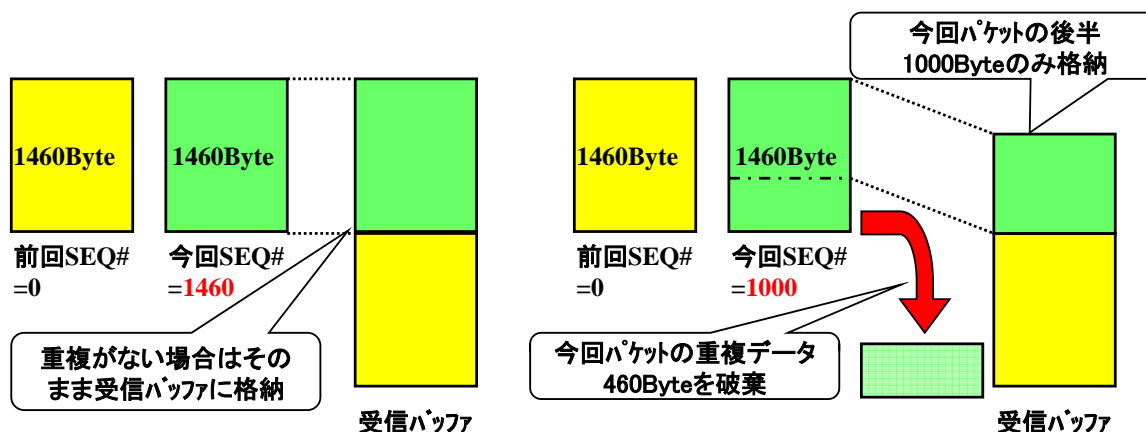
2016/9/1

Design Gateway

Page 15

## 重複データの結合

- データの重複を検出し自動的に補正
  - シーケンス番号から受信データの重複を検出
  - 重複箇所のみ破棄し連続データとして復元



2016/9/1

Design Gateway

Page 16



## フロー制御 (Window Update自動送信機能)

- ・ TCP Window Update (ACK)パケット生成
  - 受信データ・バッファの空きスペース復活を検出
  - 設定した閾値でWindow Updateパケットを自動送信
  - PC側ではWindowサイズ復活で送信が再開可能

IP末尾42=FPGA    IP末尾25=PC

Source	Destination	Protocol	Length	Info
192.168.11.42	192.168.11.25	TCP	60	4000-50223 [ACK] Seq=1 Ack=61321 win=4213 Len=0
192.168.11.42	192.168.11.25	TCP	60	4000-50223 [ACK] Seq=1 Ack=62781 win=2753 Len=0
192.168.11.42	192.168.11.25	TCP	60	4000-50223 [ACK] Seq=1 Ack=64241 win=1298 Len=0
192.168.11.42	192.168.11.25	TCP	60	[TCP window Update] 4000-50223 [ACK] Seq=1 Ack=64241 win=3352 Len=0
192.168.11.42	192.168.11.25	TCP	60	[TCP window Update] 4000-50223 [ACK] Seq=1 Ack=64241 win=5406 Len=0
192.168.11.42	192.168.11.25	TCP	60	[TCP window Update] 4000-50223 [ACK] Seq=1 Ack=64241 win=7460 Len=0
192.168.11.42	192.168.11.25	TCP	60	[TCP window Update] 4000-50223 [ACK] Seq=1 Ack=64241 win=9514 Len=0
192.168.11.25	192.168.11.42	TCP	1514	50223-4000 [PSH, ACK] Seq=64241 Ack=1 win=256960 Len=1460
192.168.11.25	192.168.11.42	TCP	1514	50223-4000 [ACK] Seq=65701 Ack=1 win=256960 Len=1460
192.168.11.25	192.168.11.42	TCP	1514	50223-4000 [ACK] Seq=67161 Ack=1 win=256960 Len=1460

(PC->FPGAの受信  
に対する通常ACK)

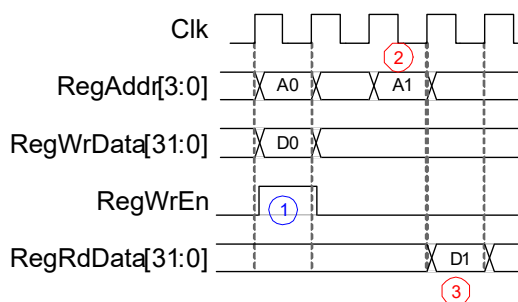
Windowサイズ復活  
後PCからのデータ  
送信を再開

### Window Updateパケットの自動送信

Windowサイズ復活でコ  
アからWindow Update  
パケットを自動発行

## ユーザ・インターフェース(制御)

- ・ レジスタI/F、送信FIFO I/F、受信FIFO I/Fの3種類
  - レジスタI/Fは初期パラメータの設定、方向切り替え指示
  - 送信データ・受信データ用I/Fは標準的なFIFO I/F

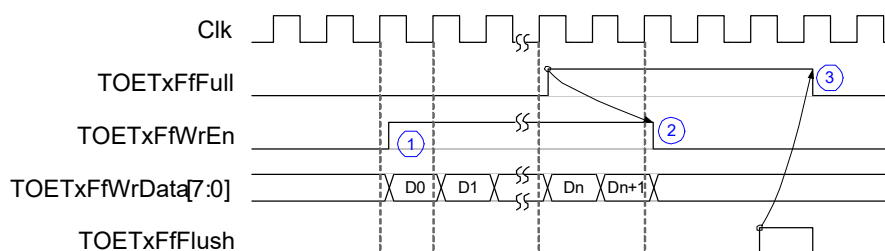


[レジスタの書込み]  
①アドレスとデータを  
設定しWrEnで書込み

[レジスタの読出し]  
②アドレスを与えたる  
③次クロックで有効  
データが出力

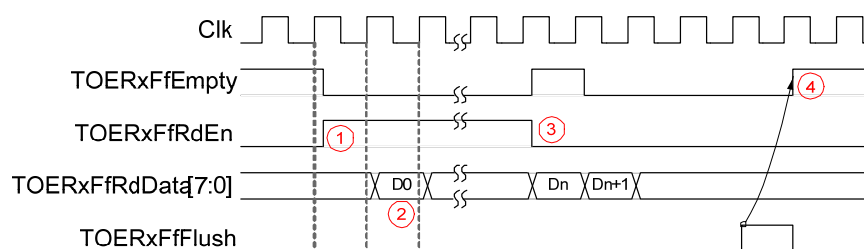
レジスタI/Fのタイムチャート

# ユーザ・インターフェース(データ)



[送信データの書込み]  
 ①データをWrEnで書込み  
 ②Fullになってから4クロック以内にライト中断  
 ③FlushでFIFOクリア

送信FIFO I/Fのタイムチャート



[受信データの読み出し]  
 ①非EmptyでRdEnにて読出し  
 ②次のクロックでデータ出力  
 ③Emptyではリード禁止  
 ④FlushでFIFOクリア

受信FIFO I/Fのタイムチャート

# データ・バッファ容量の設定

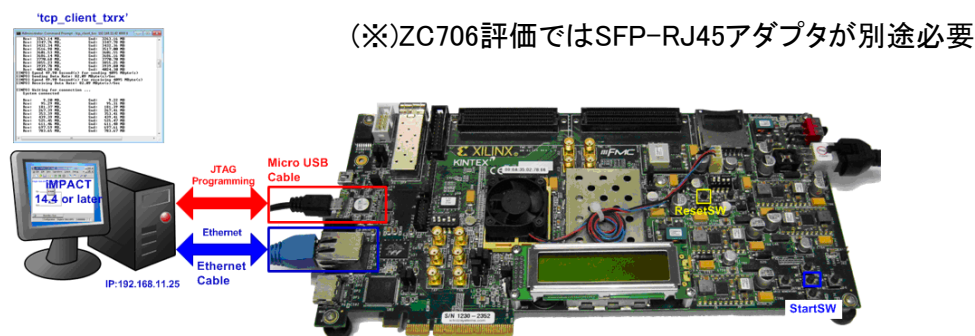
- ・ 3種類のデータ・バッファをパラメタライズで設定可能
  - ① 送信データ・バッファ: 4KByte~64KByte
  - ② 送信パケット・バッファ: 2KByte~16KByte
  - ③ 受信データ・バッファ: 2KByte~64KByte
- ・ リソースとパフォーマンスの最適点を調整できる

ジェネリック名	設定範囲	説明
TxBufBitWidth	12-16	送信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 12 の場合 4K バイト、16 の場合 64K バイトとなります。
TxPacBitWidth	11-14	送信パケット・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、14 の場合 16K バイトとなります。
RxBufBitWidth	11-16	受信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、16 の場合 64K バイトとなります。

各データ・バッファはパラメタライズで設定できる

## 評価用BITファイル

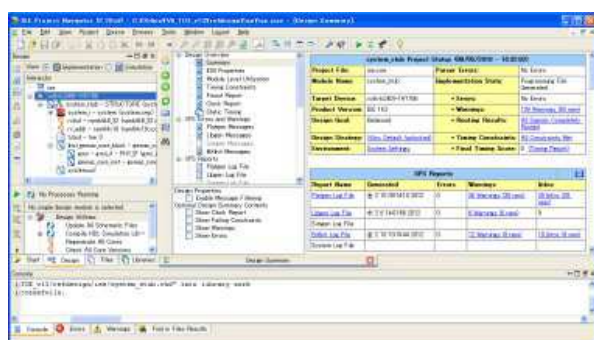
- ・ Xilinx各評価ボードで動作するbitファイル
  - VC707/KC705/AC701/ZC706(※)で評価可能
  - 片方向(送信or受信)/同時双方向を実機評価
  - 転送パフォーマンス測定・データベリファイ確認
  - 2ポート(高速+低速)評価版/FTP評価版あり



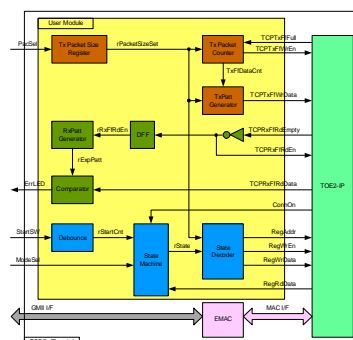
Xilinx評価ボードを使った実機検証環境

## リファレンス・デザイン概要

- ・ 実機動作するデザインプロジェクト
  - コア(ネットリスト)部以外の全回路をソースコードで提供
  - 標準デモと同時送受信デモのデザインを製品に標準添付
  - 正規ユーザに2ポート版/FTPデモのプロジェクト無償提供



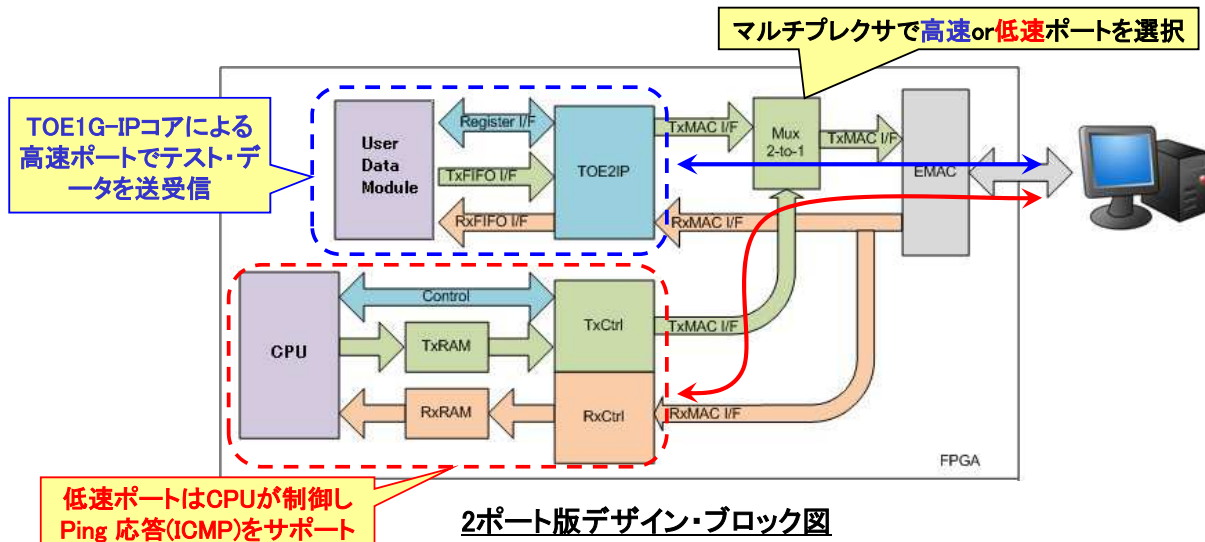
実動作するVivado/EDKプロジェクト



リファレンス・デザイン・ブロック図

## リファレンス・デザイン(2ポート版)

- ・ TOE1G-IPによる高速ポートとCPUによる低速ポートを実装
- ・ 高速ポートのデータ送受信と低速ポートのPing応答をサポート
- ・ プリンタ/計測機等の実製品システムをエミュレーション



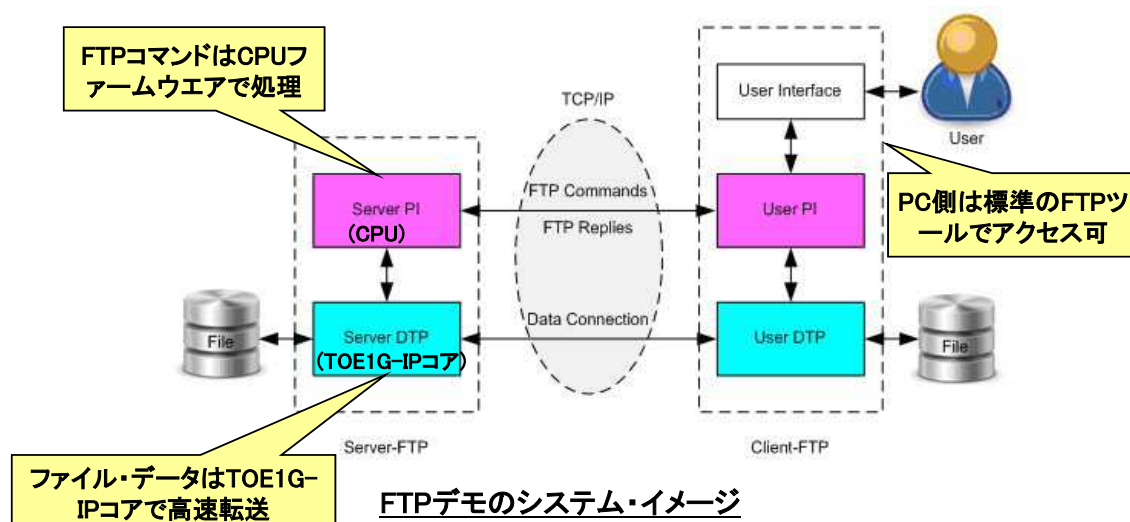
2016/9/1

Design Gateway

Page 23

## リファレンス・デザイン(FTP版)

- ・ FPGAボードが高速FTPサーバーとして動作
- ・ ファイル・データの転送はTOE1G-IPコアで超高速転送
- ・ FTPコマンド処理はCPU(MicroBlaze)ファームウェアで実装



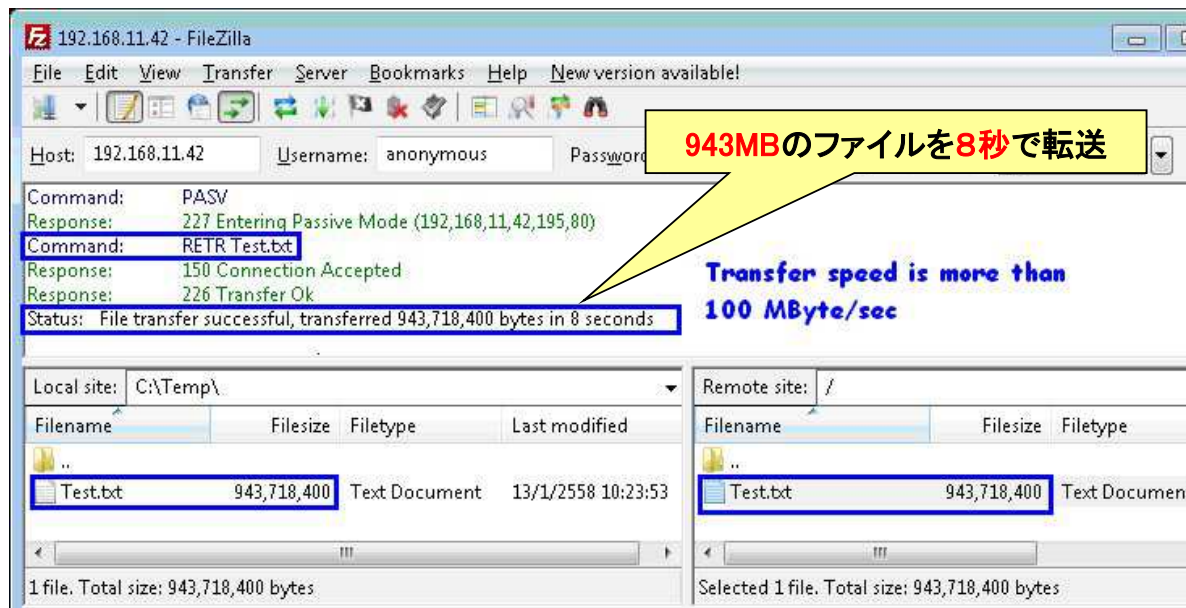
2016/9/1

Design Gateway

Page 24

## リファレンス・デザイン(FTP版:続き)

- ・ 100MB/sを超えるファイル転送パフォーマンス!



943MBのファイルを8秒で転送

Transfer speed is more than 100 MByte/sec

Command: PASV  
Response: 227 Entering Passive Mode (192,168,11,42,195,80)  
Command: RETR Test.txt  
Response: 150 Connection Accepted  
Response: 226 Transfer Ok  
Status: File transfer successful, transferred 943,718,400 bytes in 8 seconds

Local site:	Remote site:														
C:\Temp\	/														
<table border="1"> <thead> <tr> <th>Filename</th> <th>Filesize</th> <th>Filetype</th> <th>Last modified</th> </tr> </thead> <tbody> <tr> <td>Test.txt</td> <td>943,718,400</td> <td>Text Document</td> <td>13/1/2558 10:23:53</td> </tr> </tbody> </table>	Filename	Filesize	Filetype	Last modified	Test.txt	943,718,400	Text Document	13/1/2558 10:23:53	<table border="1"> <thead> <tr> <th>Filename</th> <th>Filesize</th> <th>Filetype</th> </tr> </thead> <tbody> <tr> <td>Test.txt</td> <td>943,718,400</td> <td>Text Document</td> </tr> </tbody> </table>	Filename	Filesize	Filetype	Test.txt	943,718,400	Text Document
Filename	Filesize	Filetype	Last modified												
Test.txt	943,718,400	Text Document	13/1/2558 10:23:53												
Filename	Filesize	Filetype													
Test.txt	943,718,400	Text Document													

1 file. Total size: 943,718,400 bytes

Selected 1 file. Total size: 943,718,400 bytes

FTPアプリ(FileZilla)で943MBのファイルをPCへダウンロードした結果例

2016/9/1

Design Gateway

Page 25

## リファレンスと実機評価による開発

- ・ リファレンス+評価ボードによる確実な開発
  - まず最初に製品添付のリファレンスで実機動作を確認
  - そこからユーザ製品に向け少しずつ編集
  - 編集ごとに実機動作をStep by Stepで確認
  - 問題があれば1ステップ前に戻るだけで動く状態にすぐ復帰できる



大きな後戻りがなく確実に短期間での製品開発が可能!

# 消費リソース

## コアの消費リソース

- 送信データ・バッファ=64KByte、送信パケット・バッファ=16KByte、受信データ・バッファ=64KByteの最大設定時



Family	Example Device	Fmax (MHz)	Slice Regs	Slice LUTs	Slices <sup>1</sup>	RAMB 36E1	Design Tools
Artix-7	XC7A200T-2FBG676	125	2674	2502	1020	37	Vivado2014.1
Kintex-7	XC7K325T-2FFG900	125	2674	2502	1087	37	Vivado2014.1
Zynq-7000	XC7Z045-2FFG900	125	2674	2052	1119	37	Vivado2014.1
Virtex-7	XC7VX485T-2FFG1761	125	2674	2502	1086	37	Vivado2014.1

### TOE1G-IPコア単体コンパイル結果

メモリ消費量は送受信ともバッファを最大に設定した場合です。  
バッファ容量を削減すれば内部メモリ消費リソースを節約できます。

# 転送パフォーマンス

## 同時送受信(Full Duplex)での実機パフォーマンス

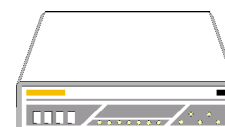
```

Administrator: C:\Windows\system32\cmd.exe - tcp_client_brx 192.168.11...
C:\$SW>tcp_client_txrx 192.168.11.42 4000 0
@@@ Start Full-Duplex Check @@@
Server: 192.168.11.42, Port: 4000, Send_Cnt: 262143, Vrf: DIS
[INFO] Waiting for connection ...
System connected
Rcv: 31.37 KB,Snd: 32.00 KB
Rcv: 62.73 KB,Snd: 64.00 KB
Rcv: 111.48 MB,Snd: 111.50 MB
|
Rcv: 3785.90 MB,Snd: 3785.92 MB
Rcv: 3897.42 MB,Snd: 3897.44 MB
Rcv: 4008.90 MB,Snd: 4008.92 MB
[INFO] Spend 39.34 Second(s) for sending 4095 MByte(s)
[INFO] Sending Data Rate: 104.11 MByte(s)/Sec
[INFO] Spend 39.55 Second(s) for receiving 4095 MByte(s)
[INFO] Receiving Data Rate: 103.58 MByte(s)/Sec
    
```

送受信同時で100MByte/secの  
高速転送を実現

## TOE1G-IPのアプリケーション

- ・ FAなどにおけるデータ転送
  - 医療系の画像処理装置の採用例が多い
  - 欠落が許されないセンサーデータなどをPCに転送
- ・ NAS, iSCSIなどのTCPを用いたストレージ
  - TCPの負荷を大幅に軽減し、転送速度UP
- ・ 監視カメラデータの転送
  - TCPの負荷が軽くなり、コストダウン、低消費電力化が可能



## 問い合わせ

- ・ ホームページに詳細な技術資料を用意
  - [http://www.dgway.com/TOE1G-IP\\_X.html](http://www.dgway.com/TOE1G-IP_X.html)
- ・ 問い合わせ
  - 株式会社Design Gateway
  - E-mail : [info@dgway.com](mailto:info@dgway.com)
  - FAX : 050-3588-7915

