



TOE1G-IP コア
(旧製品名: TOE2-IP コア)

2016/10/20

データシート

Rev2.7J



Design Gateway Co.,Ltd

本社: 〒184-0012
東京都小金井市中町 3-23-17
電話/FAX: 050-3588-7915
E-mail: sales@dgway.com
URL: www.dgway.com

特長

TCP/IP プロトコルの GbE 送受信に対応
IPv4 に対応

全二重通信で送信および受信を同時高速転送
送受信処理を完全にハードウェア化したため CPU
レスのシステム構築が可能

サーバおよびクライアントの両モード(Passive/Active オープン/クローズ)をサポート

送受信の各バッファ・サイズがスケラブルに設定可能

使いやすいインタフェース(データ I/F は FIFO タイプ、制御 I/F はレジスタタイプ)

125MHz 固定の単一クロック・ドメインで動作

Altera 純正の評価ボードで購入前のコア実機評価が可能

実機動作するリファレンス・プロジェクトを製品に同梱、コア以外は全てソースコードで提供

豊富なリファレンス・デザイン、半二重通信/全二重通信/FTP サーバー例/2ポート・デザイン

安心の国内サポート

ジャンボ・フレームに対応(* オプション)

(注* オプションのジャンボ・フレーム対応については DesignGateway 社までお問い合わせください)

Core Facts

コアの提供情報	
納品物	<ul style="list-style-type: none"> ● IP コア(暗号化されたネットリスト) ● リファレンス・デザイン・プロジェクト ● ドキュメント一式
納品 ドキュメント	<ul style="list-style-type: none"> ● データシート ● リファレンスデザインマニュアル ● 実機デモ手順書
制約ファイル	● リファレンスデザインの制約ファイルを提供
検証方法	● Altera 純正評価ボードによる実機検証
デザイン例使用言語	● VHDL
その他	● コア購入前の評価用 SOF ファイル提供可
技術サポート	
デザインゲートウェイ・ジャパンによる国内サポート	

表 1: コンパイル結果例

Family	Example Device	Fmax (MHz)	Combinational ALUTs ¹ / Logic Elements	Registers ¹	Block		Design Tools
					Pin ²	Memory bit ³	
Stratix IV GX	EP4SGX230KF40C2	125	2,226	2,778	137	1,181,696	QuartusII 14.0
CycloneV E	5CEFA7F3117	125	2,052	3,084	137	1,181,696	QuartusII 15.1
ArriaV GX	5AGXFB3H4F35C5	125	2,064	3,002	137	1,181,696	QuartusII 14.0
Arria10 SX	10AS066N3F40E2SGE2	125	2,028	3,050	137	1,181,696	QuartusII 16.0

備考:

- 1) 実際のリソース消費カウントはユーザロジックやフィット条件等に依存します。
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります。
- 3) ブロックメモリの消費リソース数は送信データ・バッファ 64K バイト、送信パケットバッファ 16K バイト、受信データバッファ 64K バイト時の値となります。バッファ容量の最小設定はそれぞれ 4K バイト、2K バイト、2K バイトです。

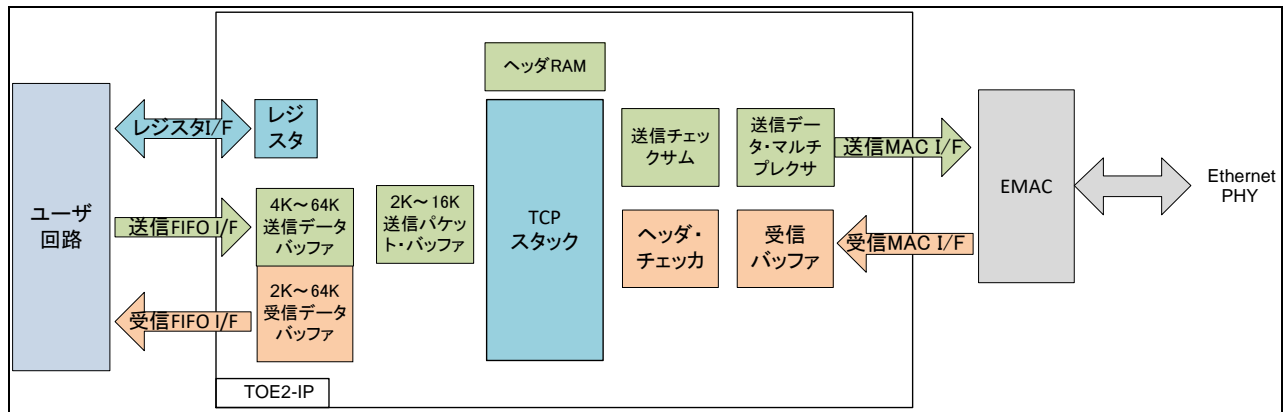


図1：TOE1G-IPコア内部ブロック図

コア概要

本 TOE1G-IP コアは DesignGateway 社製の TOE-IP(TCP/IP オフロード・エンジン IP)コアの第 2 世代の IP コアです。第 1 世代のコアと比べて、TCP/IP の送信と受信の両方向の同時高速転送を単一のコアでサポートするよう改良されております。また、TCP/IP のプロトコル制御スタックをコア内部のロジックで完全にハードウェア化したため、CPU の介在なしで動作します。さらには CPU あるいは追加ロジックをコア外に用意することにより DHCP, ICMP, SMTP などのプロトコルにも柔軟に対応できます。

本コアは Altera 製 EMAC IP コア(IP-TRIETHERNET)と組み合わせて動作します。本 TOE1G-IP コアと EMAC コアを内蔵した FPGA を外部の PHY チップと合わせてシステム実装することで、TCP/IP プロトコルを通してデータの送受信を高速に実行するネットワーク装置が実現できます。

アプリケーション情報

本 IP が有効に機能するアプリケーションとしては、ネットワーク・プリンタ、医療画像システム、計測器、ビデオデータ・ストリームなどギガビット帯域を必要とする TCP/IP 対応の組み込みイーサネット・システムなどです。TCP/IP は可搬性の高い魅力的なプロトコルですがその反面、負荷の重い処理が求められるため、従来は高価なハイエンド CPU が必要とされてきました。本 IP をシステムに適用することにより、ギガビット・ネットワーク環境で高速性が求められる TCP/IP プロトコル処理を、CPU を使わない純ハードウェア・ロジックでのシステム実装が可能となります。さらに、完全 Full Duplex に対応しているため、高速送信と高速受信を同時に実行することが求められるシステムにも最適です。

コアの構成と動作

本 TOE1G-IP コアは3種類のインターフェイスを持ちます。すなわちユーザ回路からのレジスタ・アクセスによる制御 I/F、ユーザ回路と送受信データを通信する FIFO I/F および EMAC と接続する MAC I/F です。

システムの初期化時においては、コアがリセットを維持したままの状態ユーザ回路側よりレジスタ・アクセスを介してパケットサイズ、ポート番号、IP 番号などのシステム・パラメータを設定します。パラメータの設定が終わりユーザ回路がリセットを解除すると、コアは設定したパラメータに従って回路を初期化し、さらに通信相手(本データシートでは”ターゲット”とします)に対して ARP パケットを自動実行して相手の MAC アドレスを取得し、その後の通信で使用します。

データ転送はアクティブおよびパッシブの2種類のモードいずれかでオープンできます。アクティブ・モードの場合、ユーザ回路はレジスタ・インタフェース経由でコネクションをオープンまたはクローズし、送信データバッファからターゲットに対してオープンまたはクローズ要求を送信します。パッシブモードの場合、ターゲットからのポートのオープンまたはクローズ要求をコアが認識し処理します。

本 IP コアを動作させるために3種類の FIFO が必要となります。そのうち2個はデータ送信用すなわち送信データ・バッファと送信パケット・バッファの FIFO です。それぞれの FIFO サイズは IP コアへのパラメータで選択します。送信データ・バッファのサイズを大きくすると送信パフォーマンスも高くなりますがその分 FPGA 内部メモリ・リソースを消費します。また、送信パケット・バッファのサイズはユーザ回路からレジスタ I/F を介して設定した送信パケット・サイズより大きくなくてはなりません。3番目の FIFO は受信データ・バッファです。受信バッファ・サイズを大きくすると受信パフォーマンスが向上します。

データの送信時は送信データ・バッファ内のデータは指定されたパケット・サイズに分割され、送信パケット・バッファに転送されます。送信パケット・バッファに転送されたデータはヘッダ RAM 内のヘッダ・データと結合して EMAC に出力されます。TCP および IP のチェックサムはコア内部で自動計算されます。送信パケットに対応したアクノリッジは受信側からコアに報告され、コアはアクノリッジ番号を評価することで、送信バッファ内のデータ・パケットを再送するかあるいは次のパケットに進むかを決定します。ACK タイムアウトが発生した場合や3回の重複 ACK の受信によりターゲットからエラーの通知があった場合、コアは該当するエラーが起きた時点のデータに戻って自動的に再送します。レジスタ内のビジー・フラグは予めユーザ回路から設定されたデータ転送サイズ分のデータ転送が完了するとクリアされます。ユーザ回路はこのフラグをレジスタアクセスまたは IP コアの出力信号のいずれかをモニタすることで転送状態をチェックできます。

データの受信時は、まず受信パケットが一時バッファに格納され、コアは受信パケット内のヘッダとチェック・サムを照合します。ヘッダ内容にチェックサム・エラーがあった場合、受信パケットの信頼性が失われていると判断しそのパケットは一切処理せず無視します。シーケンス番号の期待値との不一致などでヘッダ内容が受信設定に合致しない場合、受信データの順番入れ替えで復旧可能であれば入れ替えを行うことでデータを復旧します。しかし復旧できずにパケットのロストと判断した場合、3回の重複 ACK を送信し転送相手に再送を促します。正しく受信できたデータ・パケットは受信データ・バッファに転送され、同時にアクノリッジ・パケットを自動的に送信することでターゲットに対して次のデータ・パケットの転送を要求します。受信パケットがそれ以上送られてこないことをコアが検出し、さらに受信データ・バッファ内のデータが全てユーザ回路により読み出されるとビジー・フラグをクリアしてアイドル状態に戻ります。

本 IP コアは全二重通信(フル・デュプレックス)をサポートしているため、オープン状態のポートでデータ送信中に同時に同一ポートに対するデータ受信が可能です。また、IP コアが送受信転送を実行していないアイドル時には、ユーザ回路はポートをクローズしないままパケット・サイズや送信データ・サイズを変更することができます。

コアの機能ブロック

本 IP コアは、制御ブロック、送信ブロック、受信ブロックの3ブロックに分かれています。

制御ブロック

• レジスタ

ユーザ回路は TCP/IP オペレーションに関するパラメータをレジスタ・インタフェースにより設定できます。レジスタ・アドレスは全 4 ビットで 11 レジスタが実装されています。それぞれのレジスタのアドレス・マッピングを表 2 に示します。RST レジスタによるリセットが解除されると、各パラメータを設定したレジスタを初期値として動作が開始されます。

• TCP スタック

ユーザ回路からアクティブ・コマンドの操作が指示されると TCP スタックはユーザ・コマンドを解析し送信ブロックに対してパケットの出力を開始させます。さらに TCP スタックは受信パケットをモニタしアクノリッジ・パケットの受信を検出します。

ターゲットからのパッシブ・コマンドにおいては、TCP スタックは受信ブロックにて受信パケットをモニタし、続いて送信ブロックからアクノリッジ・パケットを出力します。

表 2: レジスタ・マップ定義

レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明	
0000b	RST	Wr/ Rd	[0]	IP リセット。'1' でリセットし '0' でリセットを解除する。初期状態は '1' (リセット状態) で、ユーザ回路が動作に必要な全パラメータをレジスタにセットしてから本レジスタに '0' を書き込むことでコアの動作が開始する。ユーザ回路が SML, SMH, DIP, SIP, DPN, SPN レジスタの値を変更する必要性が生じた場合、本レジスタを一旦 '1' としコアをリセット状態に移行させてから変更し、その後 '0' としてリセットを解除しなくてはならない。	
0001b	CMD	Wr	[1:0]	アクティブ・モードでのユーザ・コマンド。"00": データ送信、"10": オープン・コネクション (アクティブ)、"11": クローズ・コネクション (アクティブ)、"01": 未定義 (指定しないこと)。本レジスタによってアクティブ・コマンドを開始する前に、ユーザ回路は本レジスタの bit[0] をチェックしてコアは動作中でないことを確認しなくてはならない。本レジスタをセットするとコアは指定されたアクティブ・コマンド動作を自動的に開始する。	
			Rd	[0]	システム・ビジー・フラグ。'0': アイドル状態、'1': ビジー状態
				[3:1]	現在の動作状態、"000": データ受信ありまたはなしでデータ送信中、"001": アイドル状態、"010": アクティブ・オープン・コネクション、"011": アクティブ・クローズ・コネクション、"100": 送信データなしでデータ受信中、"101": 未定義、"110": パッシブ・オープン、コネクション、"111": パッシブ・クローズ・コネクション
0010b	SML	Wr/ Rd	[31:0]	コアの MAC アドレスの下位 32bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。	
0011b	SMH	Wr/ Rd	[15:0]	コアの MAC アドレスの上位 16bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。	

レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明
0100b	DIP	Wr/ Rd	[31:0]	ターゲット側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0101b	SIP	Wr/ Rd	[31:0]	本システム側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0110b	DPN	Wr/ Rd	[15:0]	コネクションを行うターゲット側のポート番号を 16bit で指定する。アクティブ・オープンでコネクションを行う場合は RST レジスタをクリアする前に本レジスタでターゲット側のポート番号を指定する必要がある。パッシブ・オープンの場合、受信したオープン・パケットでターゲットのポート番号は自動的に決定される。
0111b	SPN	Wr/ Rd	[15:0]	本システム側のポート番号を 16bit で指定する。RST レジスタをクリアする前に本レジスタで自身のポート番号を指定する必要がある。パッシブ・オープンの場合、受信したオープン・パケット内でターゲットから指定されたポート番号が本 SPN 値と合致しない場合そのオープン要求は無視される。アクティブ・オープンの場合、本システム側のポート番号をターゲットへ通知するために使う。
1000b	TDL	Wr	[31:0]	送信データ数をバイト単位で指定する。有効な値は 1~0xFFFFFFF。CMD レジスタに"00"をセットする前に本レジスタで送信データ数をセットする必要がある。再度同じデータ数を送信する場合は本レジスタに再セットする必要はない。
		Rd	[31:0]	まだ送信されていない残りデータ数をバイト単位で表示する。
1001b	TMO	Wr	[31:0]	全てのコマンドにて、受信パケットの待ち時間タイムアウト値を設定する。本レジスタは 125MHz のカウンタで動作するためタイマ設定値は 8ns の単位で指定する。本レジスタ値は 0x6000 以上の値としなくてはならない。
		Rd		各タイムアウト等のステータス、それぞれのビット定義は以下の通り [0] ARP で返信パケットをタイムアウト時間内に受信しなかった → タイムアウト後コアは ARP 応答を受信するまで ARP 要求を再送する [1] アクティブ・オープン時に SYN と ACK フラグをタイムアウト時間内に受信しなかった → タイムアウト後コアは SYN パケットを 16 回まで再送しその後 FIN パケットを送信してコネクションをクローズする [2] パッシブ・オープン時に ACK フラグをタイムアウト時間内に受信しなかった → タイムアウト後コアは SYN/ACK パケットを 16 回まで再送しその後 FIN パケットを送信してコネクションをクローズする [3] アクティブ・クローズ時に FIN と ACK フラグをタイムアウト時間内に受信しなかった → タイムアウト後コアは RST パケットを送信しコネクションを強制クローズする [4] パッシブ・クローズ時に ACK フラグをタイムアウト時間内に受信しなかった → タイムアウト後コアは FIN/ACK パケットを 16 回まで再送しその後 FIN パケットを送信してコネクションをクローズする [5] データ送信時に ACK フラグをタイムアウト時間内に受信しなかった → タイムアウト後コアは前回のデータ・パケットを再送する [6] 受信パケットをロストした、受信データ FIFO が一杯になった、あるいは誤ったシーケンス番号などの要因により、データ受信中タイムアウトとなった → コアは重複 ACK パケットを送信しデータの再送を要求する [23] 受信データ FIFO が一杯のため受信パケットを受け損ねた [27] 受信パケットのロストを検出した [30] 受信パケット中に RST フラグが検出された [31],[29:29],[26:24] コアのテスト用内部ステータス

レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明
1010b	PKL	Wr/ Rd	[15:0]	バイト単位で指定する送信パケットのデータ長。1~16000 の範囲で指定する必要がある。デフォルト値は 1460 バイト(非ジャンボ・フレームの最大サイズ) この値はデータ転送(Busy フラグ=1)中に変更してはならない。次の転送でも同じパケット・サイズの場合、コア内部で前の値は保持されているのでユーザ回路は本レジスタを再度セットする必要はない。
1011b	PSH	Wr/ Rd	[1:0]	送信モードの指定(デフォルト値は全ビット'0')、本レジスタはアイドル中(CMD レジスタの bit0='0')のみ変更可能。注 3 参照 [0] '0': TDL≤PKL の場合(1 送信指示が 1 パケット)に同一パケットを自動再送する '1': TDL≤PKL の場合の自動再送機能を禁止する(1 パケットのみの送信とする) [1] PSH フラグをセット, 送信時のパケット内 PSH フラグに'1'をセットする

注意:

1. ターゲットの MAC アドレスは ARP の返信パケットにてコアが自動検出・設定するためユーザ回路側でこのパラメータを設定する必要はありません。
2. ターゲットのポート番号はパッシブ・オープンの場合は受信パケットから自動設定されます。
3. PSH の bit0 における自動再送機能(デフォルトで機能 ON)は、1 パケットのみの送信の場合、受信側の PC の ACK 応答が非常に遅くなる現象を回避するための機能です。その機能が不要な場合このビットを'1'として自動再送機能を禁止してください。

送信ブロック

送信データ・バッファ、送信パケット・バッファ、および受信データ・バッファの各容量はユーザがバッファのアドレス・ビット数を示す有効ビット幅で指定できます。各バッファで指定できる設定範囲を表 3 に示します。例えば送信にジャンボフレームを使わない場合、送信データ・バッファは最小の 4KByte、送信パケット・バッファは 2KByte に設定できます。受信データ・バッファについてはジャンボフレームを使わない場合は最小の 2KByte でも対応できますが、受信パフォーマンスを向上するためにはバッファ・サイズを増やすことが推奨されます。

表 3: 各バッファの容量パラメータ

有効なビット幅	バッファ容量	送信データ・バッファ有効ビット幅	送信パケット・バッファ有効ビット幅	受信データ・バッファ有効ビット幅
11	2kByte	No	Valid	Valid
12	4kByte	Valid	Valid	Valid
13	8kByte	Valid	Valid	Valid
14	16kByte	Valid	Valid	Valid
15	32kByte	Valid	No	Valid
16	64kByte	Valid	No	Valid

• 送信データ・バッファ

このデータ・バッファの容量は IP コアの "TxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 12(4K バイト)~16(64K バイト)です。このバッファ・サイズは PKL レジスタで設定する送信パケット・サイズの少なくとも2倍かそれ以上のサイズおする必要があります。ユーザ回路からの送信データはこのバッファ内部に保持されます。ユーザ回路からのコマンドにより送信データの転送が指示された場合、1パケット分のデータが本バッファから送信パケット・バッファに転送され次の処理を待ちます。本バッファ・サイズは送信パフォーマンスに影響します。TOE1G-IP コアは送信先ターゲットからのアクリッジ到着を待たずに、本バッファ内に転送可能なデータが残っている限り連続的に送信します。このため各転送パケットごとの処理オーバーヘッドを削減できます。ユーザ回路から TDL レジスタで設定した総転送サイズ以上のデータをライトした場合、バッファ内に残ったデータは次の転送で送信されます。バッファ内データはポートがクローズした時点かリセットが発行された時点で破棄されます。バッファ内のデータ量が現在のトランザクションに必要なパケット・サイズに足りない場合、コアはパケット・サイズ分のデータがユーザ回路からライトされるまで待機しパケットを送信しません。

• 送信パケット・バッファ

このバッファの容量は IP コアの "TxPacBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 11(2K バイト)~14(16K バイト)です。このバッファ・サイズは PKL レジスタで設定する送信パケット・サイズと同じかそれ以上とする必要があります。送信データ・バッファからの1パケット分のデータを格納します。送信パケット・バッファ内のデータは EMAC および送信先ターゲットのデータ受信の準備が完了すると出力されます。

• ヘッダ RAM

この RAM には送信パケットのヘッダ部を格納します。ユーザ回路から RST レジスタによるリセット解除でヘッダ RAM 内のパラメータは更新されます。いくつかのパラメータは ARP 応答やパッシブ・オープン・パケットによって更新されます。

• 送信チェックサム

送信パケットが送出される前に本モジュールによりチェックサムが計算されます

• 送信データ・マルチプレクサ

本モジュールによりヘッダ RAM と送信データ・バッファ内のデータが結合されイーサネット MAC を介して外部に送出されます。

受信ブロック

- **受信バッファ**

このバッファはヘッダ・チェックで処理される前のイーサネット MAC からの全ての受信パケットを一時的に保持します。

- **ヘッダ・チェック**

受信パケット内のヘッダをチェックしユーザ回路からの設定値と比較します。ヘッダの内容が設定パラメータと適合しなかった場合やチェックサムがエラーであった場合は該当するパケットは破棄されます。適合した場合、TCP データのみが分離され受信データ・バッファに転送されます。

- **受信データ・バッファ**

このバッファの容量は IP コアの "RxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 11(2K バイト)~16(64K バイト)です。このバッファ・サイズは TCP コネクションのウィンドウ・サイズにマップされます。バッファ・サイズを増やすと、送信元からのデータは本コアからのアクノリッジを待たずにデータを連続して送信できるため、受信パフォーマンスが向上します。TOE1G-IP コアからのアクノリッジはネットワークの経路やデータ送信元側での処理、受信データ・バッファのフルなどにより遅延することがあります。また、バッファサイズを増やすことでネットワークの経路等により受信パケットのシーケンスに狂いが生じた場合でもコア内にて受信データを正しく並び替える機会を増やすことができます。

ユーザ回路

ユーザ回路はレジスタ I/F を通してパラメータの設定やコア状態のモニタを行い、また、送信 FIFO I/F を介した送信データの書き込みや受信 FIFO I/F を介して受信データの読み出しを行います。ユーザ回路はシンプルなハードウェア・ロジックで実装できるので、NiosII などのプロセッサを使わずにシステムを構築することも可能です。

EMAC

EMAC は Altera 社の標準 MAC-IP コア (IP-TRIETHERNET) と直結できるよう設計されています。

コアの I/O 信号

コアのパラメータを表 4 に、全 I/O 信号を表 5 で説明します。MAC インターフェイスは Altera 製 EMAC ポートと直結できます。

表 4: コアのパラメータ

ジェネリック名	設定範囲	説明
TxBufBitWidth	12-16	送信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 12 の場合 4K バイト、16 の場合 64K バイトとなります。
TxPacBitWidth	11-14	送信パケット・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、14 の場合 16K バイトとなります。
RxBufBitWidth	11-16	受信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、16 の場合 64K バイトとなります。

表 5: コアの I/O 信号

信号名	方向	クロック	説明
共通 I/F 信号			
RstB	In		IP コアのリセット: ロウ・アクティブ信号である。
Clk	In		125MHz 固定のユーザ I/F および MAC 通信 I/F 用クロック。
ユーザ I/F			
RegAddr[3:0]	In	Clk	レジスタの 4bit アドレスバス
RegWrData[31:0]	In	Clk	ライト・レジスタの 32bit 書き込みデータ・バス
RegWrEn	In	Clk	レジスタのライト・イネーブル、アドレスおよびデータに有効な値をセットし本信号にパルスを与えることで書き込みを実行する。
RegRdData[31:0]	Out	Clk	レジスタの 32bit 読み出しデータ・バス、レジスタアドレスをセットしてから1クロックのレイテンシ後に有効なリード・データが本バス上に現れる。
ConnOn	Out	Clk	コネクション状態('1': コネクションはオープン状態、'0': コネクションはクローズ状態。
TimerInt	Out	Clk	タイマ割り込み、タイムアウト発生時に本信号が 1 クロック期間分 H アサートされる。ユーザ回路は TMO[6:0]レジスタを読むことで割り込み要因を確認することができる。
Busy	Out	Clk	IP コアのビジー状態('0': コアはアイドル、'1': コアはビジー) この信号は CMD レジスタの bit0 と同一である
送信 FIFO I/F			
TCPTxFfFlush	Out	Clk	コアの送信データ・バッファをクリアする。コネクションのクローズ時やリセット実行時に、コアは本信号を 1 クロック期間アサートして送信バッファをフラッシュする。
TCPTxFfFull	Out	Clk	コアの送信データ・バッファの Full フラグ。ユーザ回路は本信号が H アサートされてから 4 クロック期間以内に送信データの書き込みを停止しなくてはならない。
TCPTxFfWrEn	In	Clk	送信データ・バッファのライト・イネーブル。送信データを書き込む際にアサートする。
TCPTxFfWrData[7:0]	In	Clk	送信データ・バッファの 32bit 書き込みデータ・バス、TCPTxFfWrEn に同期する。
受信 FIFO I/F			
TCPRxFfFlush	Out	Clk	コアの受信データ・バッファをクリアする。コネクションのオープン時やリセット実行時に、コアは本信号を1クロック期間アサートして受信バッファをフラッシュする。
TCPRxFfRdCnt[15:0]	Out	Clk	受信データ・バッファ内の受信データ総量を示す FIFO データ・カウンタ
TCPRxFfRdEmpty	Out	Clk	受信データ・バッファの FIFOEmpty フラグ。ユーザ回路は本信号が H アサートされたら直ちにデータの読み出しを停止しなくてはならない。
TCPRxFfRdEn	In	Clk	受信データ・バッファの読み出しイネーブル。受信データを読み出す際にアサートする。
TCPRxFfRdData[7:0]	Out	Clk	受信データ・バッファの 32bit 読み出しデータ・バス、TOERxFfRdEn をアサートしてから1クロック期間のレイテンシ後に有効なリードデータが出力される。

※ MAC I/F は Altera 社の標準 MAC-IP コア(IP-TRIETHERNET)と直結する I/F となります。

信号名	方向	クロック	説明
MAC I/F			
MacTxSOP	Out	Clk	MAC へのパケット送信開始信号
MacTxData[7:0]	Out	Clk	MAC への送信データ・バス
MacTxEOP	Out	Clk	MAC へのパケット送信終了信号
MacTxValid	Out	Clk	MAC への送信データ有効信号
MacTxReady	In	Clk	MAC からのデータ送信レディ信号
MacRxClk	In		MAC からの受信同期クロック
MacRxSOP	In	MacRxClk	MAC からのパケット受信開始信号
MacRxData[7:0]	In	MacRxClk	MAC からの受信データ・バス
MacRxEOP	In	MacRxClk	MAC からのパケット受信終了信号
MacRxValid	In	MacRxClk	MAC からの受信データ有効信号

タイミング・チャート

ユーザ回路からの IP コア内部レジスタへのリードライト・アクセスは図2に示すタイミングにより実行します。

アクセス先レジスタのアドレスマップは表 2 で示されます。レジスタへの書込みは RegAddr と RegWrData にそれぞれ有効なライト先のアドレスとデータをセットし1クロック期間 RegWrEn='1' とします。レジスタからの読み出しの際は、有効な RegAddr がコアに与えられた次のクロック期間に RegRdData にリードデータが出力されます。

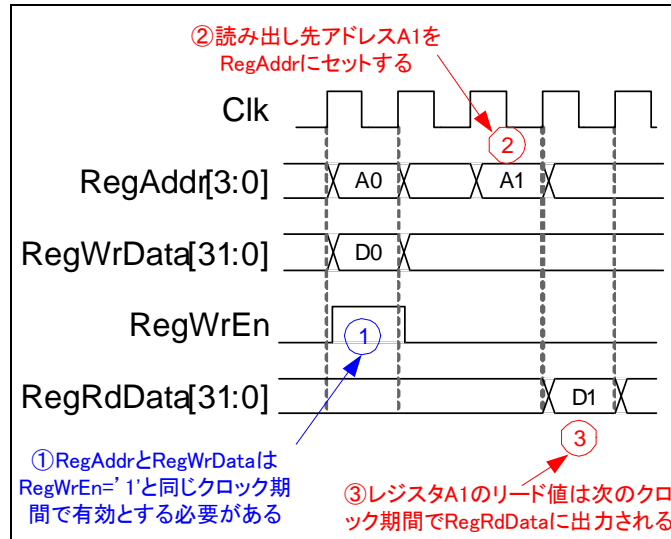
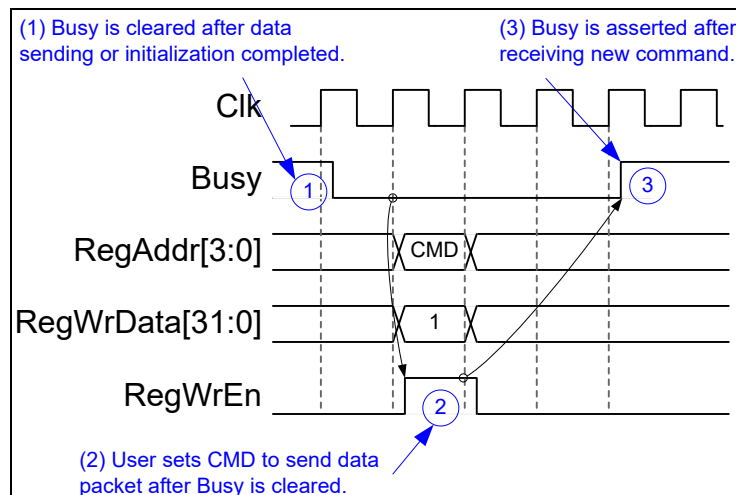


図 2: レジスタ I/F のタイミング・チャート

ユーザ回路は CMD レジスタをセットする前にコアの Busy ピンをモニタするかあるいは CMD レジスタの bit0 をリードすることでビジー・フラグがアサートされていないことを確認する必要があります。CMD レジスタをセットしコマンドを発行すると、図 3 に示すようにコアはビジー・フラグを '1' にアサートし指定されたコマンドを開始したことを示します。



- (1) コアは初期化や前回のデータ送信が完了するとビジーをクリアする
- (2) ユーザ回路はビジーがネゲートされていることを確認し CMD レジスタをセット
- (3) コアはユーザ回路からのコマンドを認識するとビジーをアサートする

図 3: ビジーがネゲート状態で CMD レジスタをセットする

ユーザ回路から IP コアを介して送信するデータは FIFO インターフェイスに類似した図 4 に示すタイミングで送信バッファに書き込みます。データを送信する前にユーザ回路は Full フラグ(TCPTxFfFull)が '1' にアサートされていないことおよび ConnOn='1' でポートがオープン状態であることを確認する必要があります。そして TCPTxFWrEn='1' とし送信データを TCPTxFWrData に出力します。TCPTxFfFull が '1' にアサートされた場合は4クロック以内にデータの送信を停止しなくてはなりません。また、接続がクローズされた時点で IP コアは TCPTxFfFlush を '1' にアサートして送信データ・バッファ内の全データがクリアされたことをユーザ回路に通知します。このとき TCPTxFfFull も再度アサートすることでユーザ回路からのデータ書き込みを防止しますがその詳細は次ページで説明します。

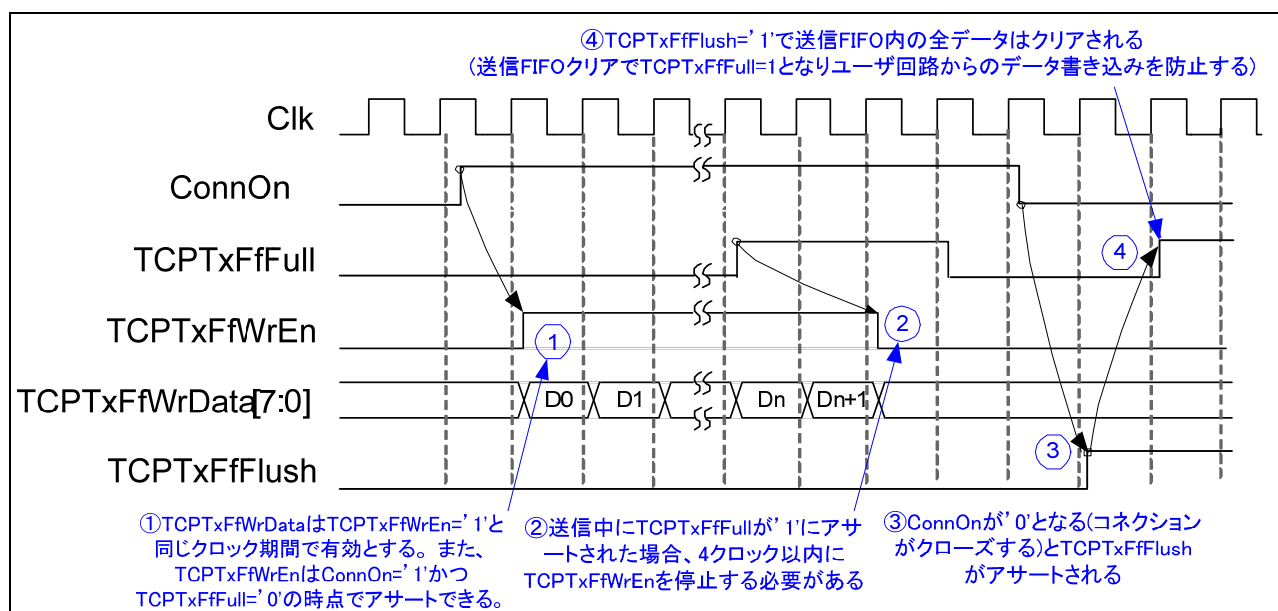


図 4: 送信データ・バッファ I/F のタイミング・チャート

送信データ・バッファは一般的な FIFO と異なり、TCP プロトコルでの再送を実現するため特殊なデザインで実装されています。例えばハードウェア・リセットとなる RstB 信号が Low にアサートされた場合、TOE1G-IP コアは TCPTxFfFull を High にアサートし、ユーザ回路からのデータ書き込みを防止します。

通常の動作においてアサートされた TCPTxFfFull は以下2つのケースでネゲートします。

- 1) RstB を Low アサートすると IP コアはリセット状態となります。その後コアはリセット状態を継続しますが、この間にユーザ・ロジックは各パラメータをコアに書き込みます。ユーザ・ロジックがパラメータの設定を終え RST レジスタに'0'をライトするとコア動作が開始され、TCPTxFfFull がネゲートされます。このコアのリセット期間内ではコア内の送信データ・バッファも同じくリセット状態のため、TCPTxFfFull フラグをアサートすることでユーザ・ロジックからのデータ書き込みを防止します。

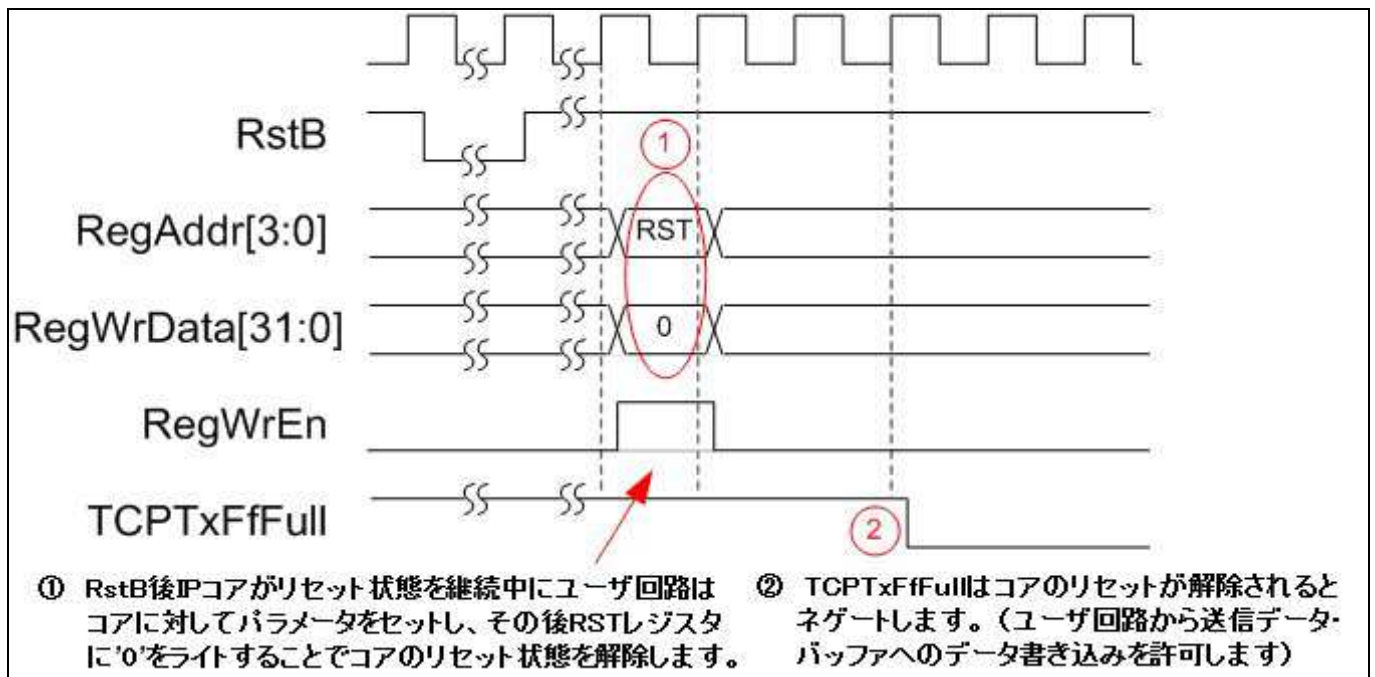


図 5: TCPTxFfFull はコアのリセット解除でネゲート

- 2) ConnOn が '1' となって接続が確立されたが CMD レジスタがデータ送信にセットされていない状態で TCPTxFfFull はアサート状態となります。送信データ・バッファのリード・ポインタは受信した ACK パケットのアクノリッジ番号に関係しているためです。ConnOn='1' でポートがオープンされるとアクノリッジ番号とリード・ポインタも更新され TCPTxFfFull がアサートされます。送信データ・バッファのライト・ポインタはユーザ回路から CMD レジスタにデータ送信を指示されると更新されるため、TCPTxFfFull は図 6 に示すタイミングでネゲートします。

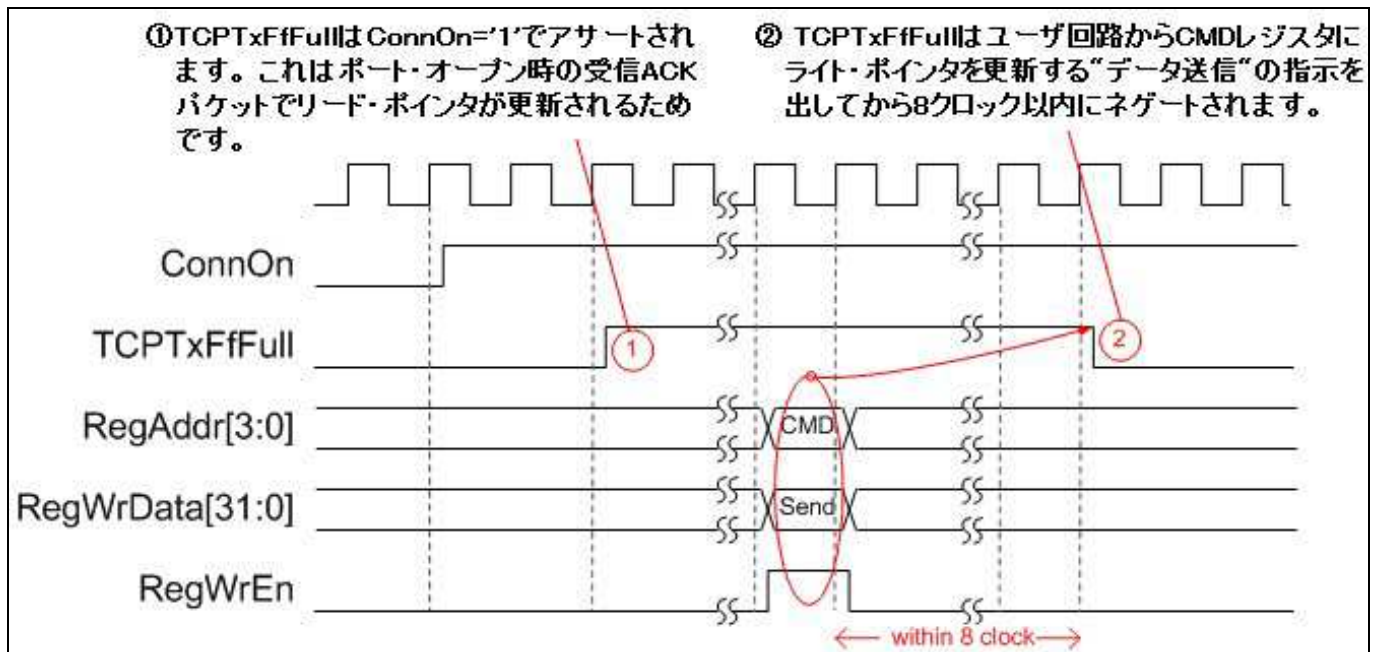


図 6: TCPTxFfFull はポートのオープンでアサートされるが送信指示でネゲートされる

IP コアがターゲットからデータを受信すると受信データ・バッファ内に保存されます。ユーザ回路は FIFO インターフェイスを介して受信データを図 7 に示すタイミングで読み出すことができます。ユーザ回路は TCPRxFfEmpty をモニタしてデータの読み出しが可能かどうかを確認します。TCPRxFfEmpty が '0' にクリアされていればデータを読み出すことができます。受信データ・バッファの読み出しは TCPRxFfRdEn を '1' にセットして行いますが、受信データは次のクロック期間に TCPRxFfRdData に出力されます。データの読み出し中に TCPRxFfEmpty が '1' にアサートされた場合、ユーザ回路は TOERRxFfRdEn を同じクロック期間内で '0' としなくてはなりません。送信データ・バッファと似ていますが、IP コアは接続のオープン時に TCPRxFfFlush を '1' にアサートして受信データ・バッファをクリアするのでユーザ回路はこの信号をモニタすることで受信バッファがクリアされたことを知ることができます。

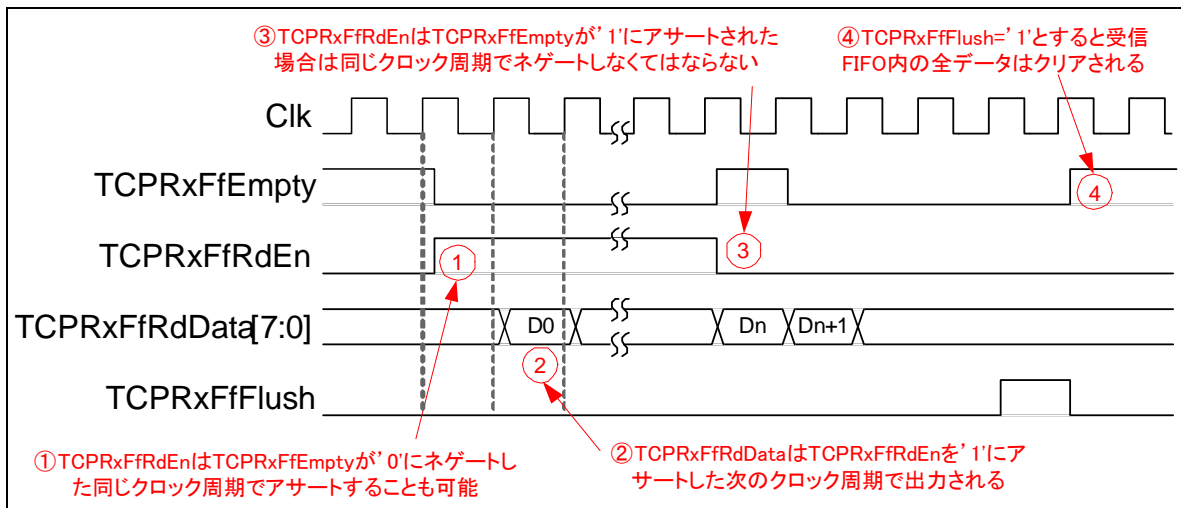


図 7: Empty フラグによる受信データ・バッファ I/F のタイミング・チャート

更に受信 FIFO の状態は TCPRxFfRdCnt から確認することができます。この信号は受信 FIFO 内の残りデータ量を示します。このためユーザ回路は図 8 に示すように TCPRxFfRdEn='1' として読み出すデータ量をこの信号の残量情報で決めることができます。

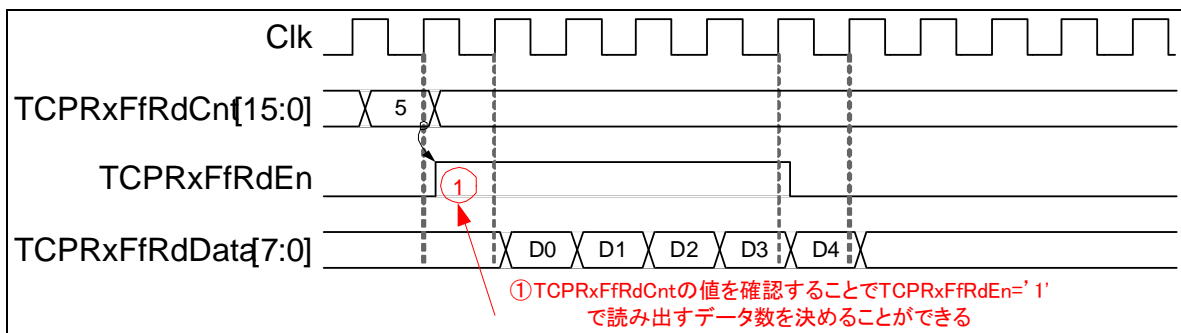
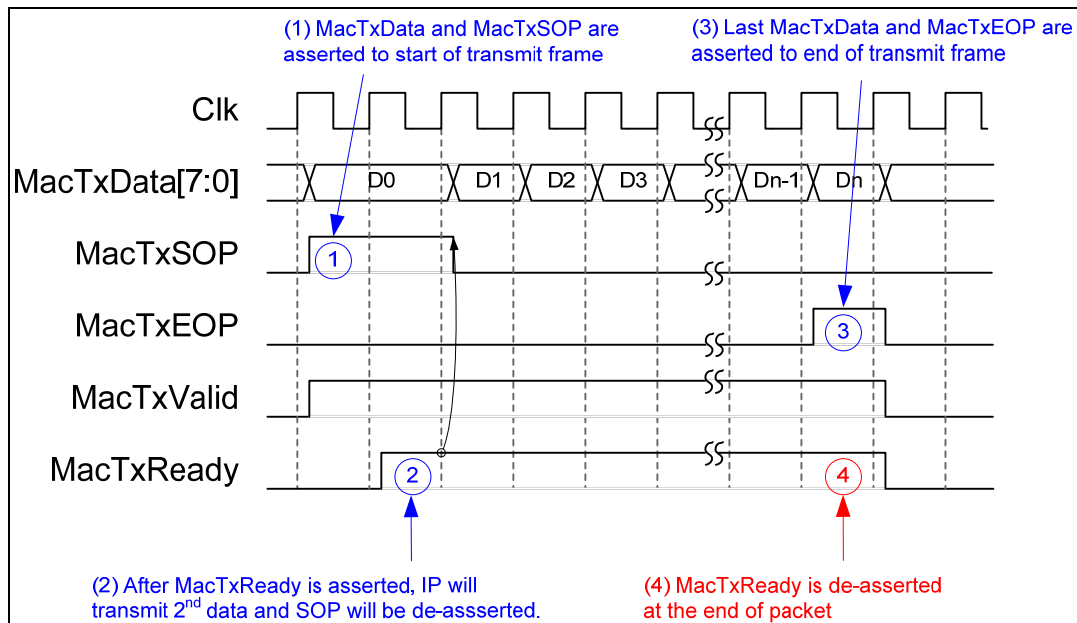


図 8: FIFO 残量カウンタ情報による受信データ・バッファ I/F のタイミング・チャート

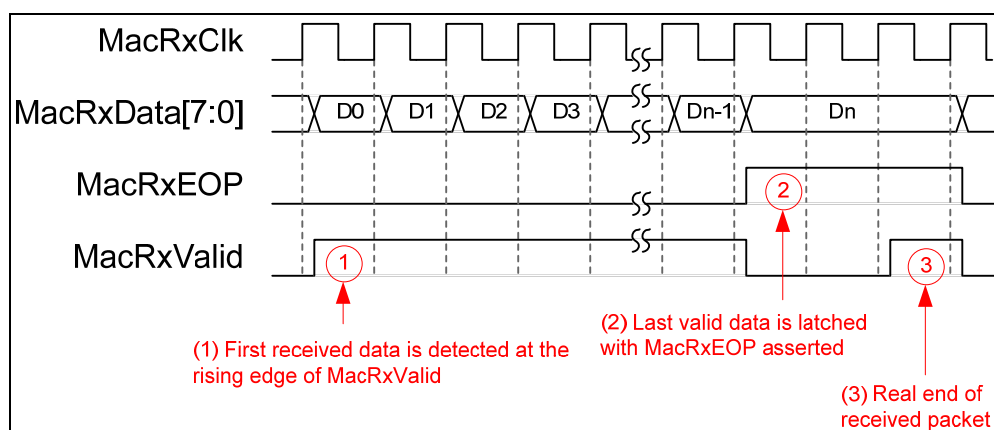
IP コアの EMAC インターフェイスは Altera EMAC IP コアと互換性があります。図 9 に示すように TOE1G-IP コアよりパケットを送信する場合はパケットの先頭データで MacTxSOP と MacTxValid をアサートします。EMAC からの MacTxReady 出力が '1' にアサートされデータ送信要求が認識されるまで全ての出力データが保持されます。MacTxReady はパケットで最後のデータ送信となるまでアサートされなくてはなりません。MacTxEOP および MacTxValid はパケット末尾を示すため最後の送信データでアサートされます。



- (1) 送信フレームの開始するため MacTxData と MacTxSOP の両方がアサート
- (2) MacTxReady がアサートされると IP コアは 2 番目のデータを送信し MacTxSOP はネゲートする
- (3) 送信フレームの最終データで MacTxData に合わせて MacTxEOP がアサート
- (4) パケットの最後で MacTxReady がネゲート

図 9: 送信 EMAC I/F のタイミング・チャート

図 10 は受信側のタイミング・チャートです。TOE1G-IP コアは MacRxValid が '0' から '1' にアサートされたことで受信フレームの開始を検出します。コアはパケットの最終データで MacRxEOP がアサートされるまで連続して MacRxData を受信します。TOE1G-IP コアはパケット最後の MacRxValid パルスは無視します。



- (1) MacRxValid の立ち上がりで受信データの先頭を検出
- (2) MacRxEOP がアサートされることで最後の有効データを取り込む
- (3) EMAC からの最後の MacRxValid パルスは無視する

図 10: 受信 EMAC I/F のタイミング・チャート

コアの検証方法

本 TOE1G-IP コア製品には Altera 純正の評価ボードで実機動作する QuartusII のリファレンス・デザイン・プロジェクトが同梱されているため、実ボードでの動作確認が可能です。また、ドキュメントで示されていない細かい信号タイミング等については、リファレンス・デザインに SignalTAP を追加して実機動作させることで、実波形を観測・確認することが可能です。

必要とされる環境と設計スキルについて

本コアの実機動作確認やデザイン・ゲートウェイ社へのサポート依頼には Altera 純正の評価ボードが必要となるため、ユーザ側でコア購入時に手配してください。また、Altera 社の MAC-IP コア(IP-TRIETHERNET)も別途必要となりますのでご注意ください。また、異常発生時は WireShark にて現象をキャプチャしそのログを pcapng ファイル形式にてサポート依頼時に送付してください。

本コアを使ってユーザ・システムを設計・実装するためには、HDL 言語設計技術・TCP/IP プロトコル知識および QuartusII によるデザイン実装経験を必要とします。

注文情報

本製品は Altera 代理店から、あるいはデザイン・ゲートウェイ社から直接購入することが可能です。また、デバイス・ファミリに応じて現在以下のコアのラインナップが用意されています。それ以外のファミリに対応した TOE1G-IP コアにつきましては DesignGateway 社までお問い合わせください。

表 6: コアのラインナップ

コア型番	対応ファミリ	QuartusII 環境	検証用評価ボード	説明
TOE1G-IP-S4	Stratix IV	QuartusII 14.0 又はそれ以降	DK-DEV-4SGX230N	Stratix IV 対応 TOE1G-IP コア
TOE1G-IP-A5	ArriaV	QuartusII 14.0 又はそれ以降	DK-START-5AGXB3N	ArriaV 対応 TOE1G-IP コア
TOE1G-IP-C4	Cyclone IV	QuartusII 14.0 又はそれ以降	(お問い合わせください)	CycloneIV 対応 TOE1G-IP コア
TOE1G-IP-A10	Arria10	QuartusII 16.0 又はそれ以降	DK-SOC-10AS066S-A	Arria10 対応 TOE1G-IP コア
TOE1G-IP-C5	Cyclone V	QuartusII 1.51 又はそれ以降	DK-DEV-5CEA7N	CycloneV 対応 TOE1G-IP コア

更新履歴

リビジョン	日時	説明
0.1	2012/11/26	日本語ドラフト版の作成
1.0J	2012/12/07	日本語初期バージョンをリリース
1.1J	2012/12/17	コア製品型番を TOE1G-IP-S4 に修正
1.2J	2013/01/09	レジスタ・マップ定義の説明をわかりやすい表現に修正
2.0J	2014/08/04	コア機能を改良し全二重通信をサポート
2.1J	2014/10/30	信号名の修正
2.2J	2014/11/25	TCPTxFfFull の動作詳細情報を追加
2.3J	2015/01/19	PSH レジスタを追加
2.4J	2015/10/02	TMO レジスタ(adr:1001b)の RST フラグ検出のビット位置修正 [31] -> [30]
2.5J	2015/11/24	表 1 備考 3 の説明修正、受信データバッファ(誤)16K バイト -> (正)64K バイト
2.6J	2016/08/29	Arria10 サポート開始、Busy フラグの I/O ピン追加
2.7J	2016/10/20	CycloneV サポート開始