

TOE1G-IP 同時送受信デモ手順書 (Xilinx 版)

Rev1.3J 2016/12/16

このドキュメントは Xilinx 製 FPGA 評価キット・ボード(以下 FPGA ボードとします)上で動作する TOE1G-IP コア (旧製品名: TOE2-IP コア) の実機評価デモにおいて、高速同時送受信デモの具体的な手順を示したものです。デモ用 BIT ファイルを FPGA ボードに使用することで、PC~FPGA ボード間の同時送受信での通信パフォーマンスを実機確認することができます。

1 動作環境

本デモ・デザインの動作環境を図に示します。実機デモ用として以下の部材を揃えてください。

1. FPGA ボード、現在以下の Xilinx 純正評価ボードに対応したデモ環境をご提供できます。
 - [1] VC707 評価ボード (型番: EK-V7-VC707-G)
 - [2] KC705 評価ボード (型番: EK-K7-KC705-G)
 - [3] AC701 評価ボード (型番: EK-A7-AC701-G)
 - [4] ZC706 評価ボード (型番: EK-Z7-ZC706-G) (注: 別途 SFP-RJ45 アダプタが必要)
 - [5] Zynq Mini-ITX(Z100 版) (型番: AES-MINI-ITX-7Z100-G) (注: 別途 SFP-RJ45 アダプタが必要)
2. Xilinx プログラミング・ツール(iMPACT または Vivado)をインストールした PC
3. **ZC706 または Zynq Mini-ITX で評価する場合のみ、SFP-RJ45 アダプタ**
4. ギガビット・イーサネットのポートを持つパソコン (2 と 3 の PC は同一の PC で OK です)
5. PC と FPGA ボードを接続する Cat5E か Cat6 のギガビット・イーサネット・ケーブル
6. FPGA ボードを Configuration するための microUSB ケーブル(評価ボード付属品)
7. 評価用 BIT ファイルおよび PC 側の評価アプリ"tcp_client_txx.exe"
※ 評価用の BIT/EXE ファイルは以下のページからユーザー登録することでダウンロードできます。
TOE1G-IP 紹介 URL: http://www.dgway.com/TOE1G-IP_X.html

本デモ・デザインの動作/接続環境については以下の標準デモと完全に同一です。各評価ボードでの具体的な環境については以下のドキュメントの図 1-1~図 1-5 を参照してください。

[文書名]	TOE1G-IP 標準デモ手順書 (Xilinx 版)
[ファイル名]	dg_toe1gip_instruction_xilinx_jp.pdf
[入手先 URL]	http://www.dgway.com/TOE1G-IP_X.html

ZC706 評価で必要となる SFP-RJ45 アダプタは例えば以下の FCLF-8520-3 または FCLF-8521-3 で動作を確認しています。

アダプタ参考 URL:

https://www.finisar.com/sites/default/files/downloads/finisar_fclf-8520-3_fclf-8521-3_1000base-t_copper_sfp_optical_transceiver_productspecreve1.pdf

2 デモ内容の説明

本デモにおいては、TOE1G-IP からユーザ回路に出力される PC から受信データは、ユーザ回路部にてそのまま TOE1G-IP のデータ入力に接続し、PC への送信データとなってループバックを形成します。従って PC 側においては、FPGA ボードへ送信した全データと FPGA ボードから受信した全データをテスト・アプリケーションでバリファイすることでデータの信頼性を確認します。TCP コネクションは PC 側からオープンがなされるので PC はクライアント・モードとなり FPGA ボードは TCP サーバとして動作します。FPGA ボード上の LED は下表 1 の定義となります。

LED	ON 又は点滅	OFF
0/D4	ON; IP 初期化完了	IP 初期化が未完了 スタート・スイッチを押下したことおよび PC 側の IP アドレス設定を確認してください。
1/R/D5	点滅: タイムアウト・エラー発生	エラー無し (通常動作状態)
2/C/D6	(未使用)	(未使用)
3/L/D7	ON: ポート・オープン完了	アイドル(ポートがオープンしていない)状態

表 1: LED の定義

(LED R,C,L は ZC706 の場合の LED 定義です)

なお、本同時送受信デモにおいてはオンボードのディップスイッチは使用しません。

3 PC 設定

PC の設定については以下ドキュメント記載の設定(第 3 章 PC 設定)と同一のため、そちらを参照してください。

[文書名] TOE1G-IP 標準デモ手順書 (Xilinx 版)

[参照 URL] http://www.dgway.com/products/IP/TOE1G-IP/dg_toe1gip_instruction_xilinx_jp.pdf

4 デモ実施方法

4.1 デモの準備手順

本デモの準備につきましても、標準デモ手順書の [第 4 章デモ実施方法]と同じ手順となります。ただし評価用 BIT ファイルは標準デモと異なり、同時送受信デモ専用のファイルとなりますのでご注意ください。また、コンフィグレーション完了後に PHY がリンクした時点での LED の表示も標準デモ手順書の図 4-6 と同じ状態となります。

StartSW(具体的な位置は標準デモ手順書の図 4-7 を参照してください、評価ボード上のユーザ向けスイッチのうち中央の位置のスイッチです)を押下すると初期化が完了し、下図 1 のように LED0 が点灯します。

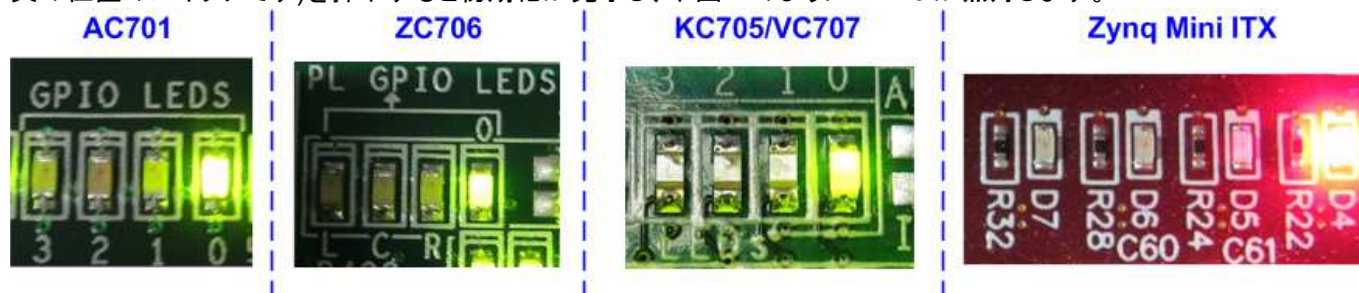


図 1: StartSW 押下後に LED0 が点灯

注意: 本デモの転送パフォーマンスはテスト PC の能力やイーサネット・コントローラに依存します。

4.2 同時送受信テストの実施

本テストは4Gbyteデータの同時送受信を実行します。全4Gbyteデータの送信と受信の両方向の転送が完了するとFPGAはポートをクローズします。PC側で動作するテスト・アプリケーションはループして繰り返し動作するので4Gbyteの転送が終わると新たに接続を確立し再動作します。ユーザがキャンセルするとテストは終了します。

テストは2つのモードがあります、ひとつは転送レートを評価するためのパフォーマンス・モードでもうひとつはデータの信頼性を確認するためのベリファイ・モードです。以下に各テスト・モードの詳細を説明します。

4.2.1 パフォーマンス・モード

- PCのコマンド・プロンプト(DOS窓)にて"tcp_client_txx"を以下の引数で実行します。
tcp_client_txx <FPGA側IPアドレス> <FPGA側ポート番号> <モード>
- FPGA側IPアドレスとポート番号は本デモではそれぞれ192.168.11.42および4000で固定です。
- 変更するにはリファレンス・デザイン内のVHDLソースコードを変更する必要があります。
- モードは'0'がパフォーマンス・モードの指定でデータはオール・ゼロ、ベリファイなしです。
- 本デモにおいては必ず以下のコマンドラインを指定してください。

tcp_client_txx 192.168.11.42 4000 0

- テストアプリケーションは図2に示すように、現在の送信および受信バイト数を1秒毎に表示します。所要時間とパフォーマンスは、それぞれ4Gbyteのループ転送が完了するごとに表示されます。
- テスト実行中は図3のようにLED0とLED3が点灯します。
- "Ctrl+C"により、動作を停止することができます。

```

Administrator: C:\Windows\system32\cmd.exe - tcp_client_txx 192.168.11...
C:\¥SW>tcp_client_txx 192.168.11.42 4000 0

@@@ Start Full-Duplex Check @@@
Server: 192.168.11.42, Port: 4000, Send_Cnt: 262143, Vrf: DIS
[INFO] Waiting for connection ...
System connected
Rcv: 31.37 KB,Snd: 32.00 KB
Rcv: 62.73 KB,Snd: 64.00 KB
|
Rcv: 3897.42 MB,Snd: 3897.44 MB
Rcv: 4008.90 MB,Snd: 4008.92 MB
[INFO] Spend 39.34 Second(s) for sending 4095 MByte(s)
[INFO] Sending Data Rate: 104.11 MByte(s)/Sec
[INFO] Spend 39.55 Second(s) for receiving 4095 MByte(s)
[INFO] Receiving Data Rate: 103.58 MByte(s)/Sec
  
```

図 2: パフォーマンス・モードの同時送受信デモ

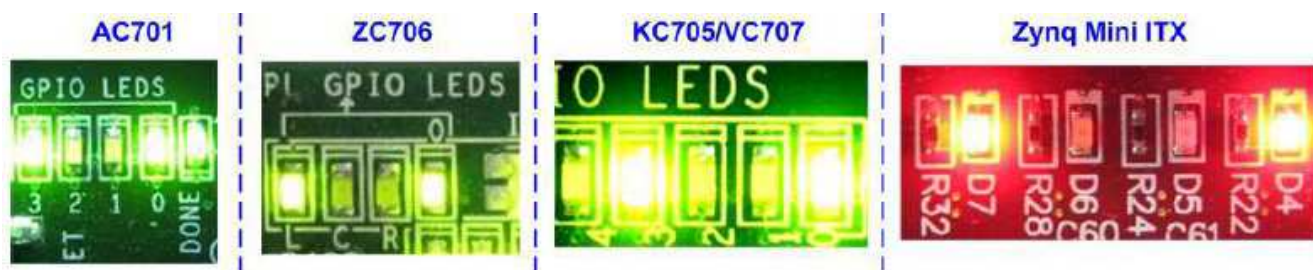
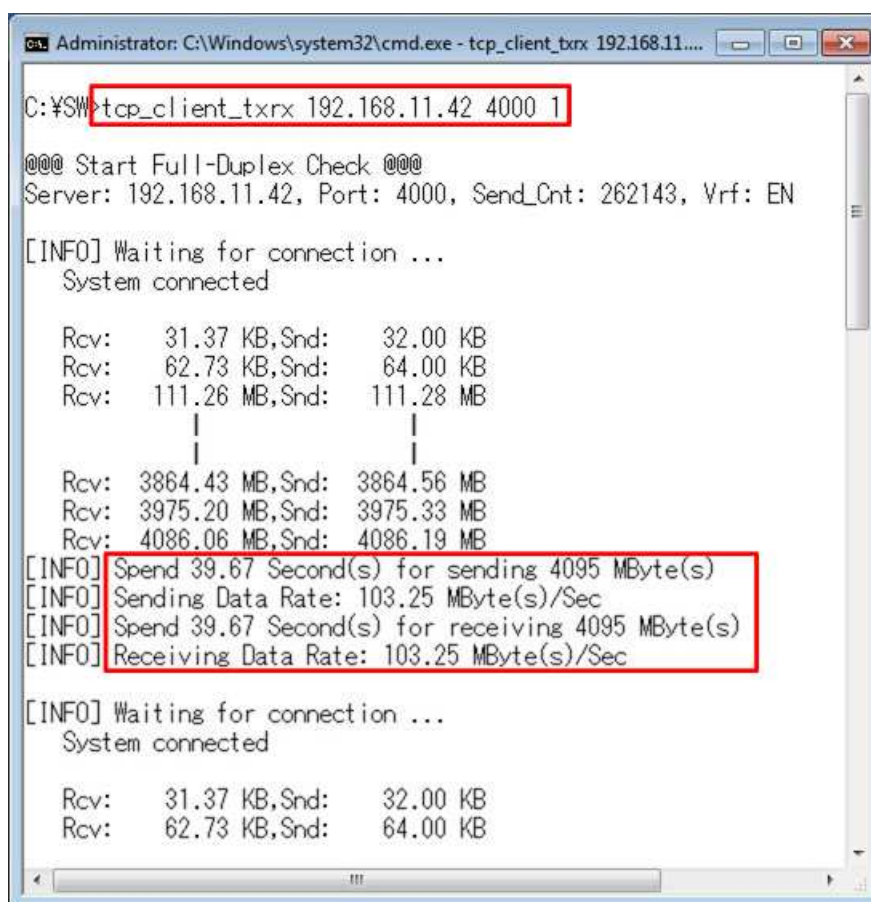


図 3: 同時送受信テスト実行時の LED 状態

4.2.2 ベリファイ・モード

- コマンド・プロンプトにて“tcp_client_trx”をベリファイ・モードで実行します。
tcp_client_trx <FPGA 側 IP アドレス> <FPGA 側ポート番号> <モード>
- ベリファイ・モードでは<モード>の引数を‘1’で指定します。
- ベリファイ・モードでは送信データは 32bit のインクリメンタル・データのパターンとなり、受信データを同じパターンでベリファイします。
- 本デモにおいては必ず以下のコマンドラインを指定してください。
- **tcp_client_trx 192.168.11.42 4000 1**
- テストアプリケーションは図 4 に示すように、現在の送信および受信バイト数を 1 秒毎に表示します。所要時間とパフォーマンスは、それぞれ 4Gbyte のループ転送が完了するごとに表示されます。
- “Ctrl+C”により、動作を停止することができます。



```

Administrator: C:\Windows\system32\cmd.exe - tcp_client_trx 192.168.11...
C:\$SW>tcp_client_trx 192.168.11.42 4000 1
@@@ Start Full-Duplex Check @@@
Server: 192.168.11.42, Port: 4000, Send_Cnt: 262143, Vrf: EN

[INFO] Waiting for connection ...
System connected

Rcv: 31.37 KB, Snd: 32.00 KB
Rcv: 62.73 KB, Snd: 64.00 KB
Rcv: 111.26 MB, Snd: 111.28 MB
|
Rcv: 3864.43 MB, Snd: 3864.56 MB
Rcv: 3975.20 MB, Snd: 3975.33 MB
Rcv: 4086.06 MB, Snd: 4086.19 MB
[INFO] Spend 39.67 Second(s) for sending 4095 MByte(s)
[INFO] Sending Data Rate: 103.25 MByte(s)/Sec
[INFO] Spend 39.67 Second(s) for receiving 4095 MByte(s)
[INFO] Receiving Data Rate: 103.25 MByte(s)/Sec

[INFO] Waiting for connection ...
System connected

Rcv: 31.37 KB, Snd: 32.00 KB
Rcv: 62.73 KB, Snd: 64.00 KB

```

図 4: ベリファイ・モードの同時送受信デモ

5 制約事項・注意点

本デモの制約事項・注意事項については以下ドキュメントの 5 章[制約事項・注意事項]の記載内容を参照してください。

[文書名] TOE1G-IP 標準デモ手順書 (Xilinx 版)
[ファイル名] dg_toe1gip_instruction_xilinx_jp.pdf
[入手先 URL] http://www.dgway.com/TOE1G-IP_X.html

6 改版履歴

リビジョン	日付	内容
1.0	14-Aug-2014	English version initial release
1.0J	2014/12/1	日本語訳の初期バージョン作成
1.1J	2015/01/13	ZC706 の記述を追加
1.2J	2016/9/1	製品名の変更(TOE2-IP → TOE1G-IP)
1.3J	2016/12/16	Zynq Mini-ITX のサポート追加

Copyright: 2014 Design Gateway Co.,Ltd.