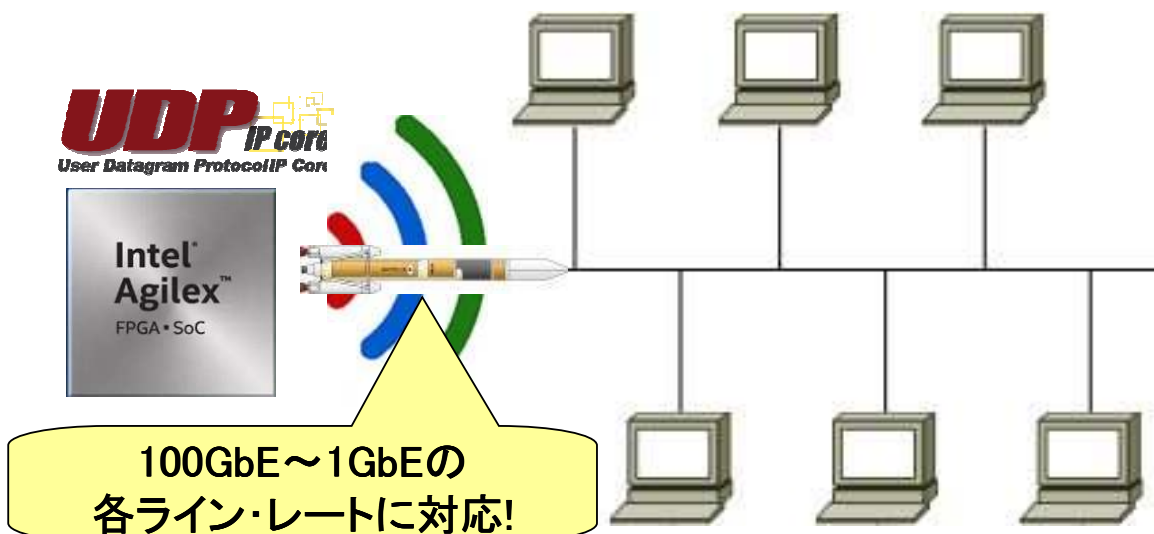


Intel版UDPxxG-IPコアのご紹介

Ver2.0AJ



純ロジックのIPコアで超高速UDP実装

2021/8/20

Design Gateway

Page 1

アジェンダ

- ・ UDPプロトコルの特徴や実装の課題点
- ・ UDPxxG-IPコアの概要
- ・ コアの動作
 - 初期化
 - 高速送信
 - 高速受信
- ・ ユーザI/F・バッファ容量のパラメタライズ
- ・ リファレンス・デザイン
- ・ コア消費リソース・実機パフォーマンス
- ・ アプリケーション例



2021/8/20

Design Gateway

Page 2

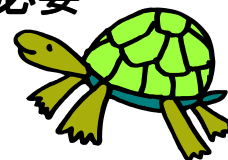
UDPプロトコルの特徴

- ・ 長所
 - 最小のオーバーヘッドにより高速かつ低レイテンシ
 - 1対複数のマルチ/ブロード・キャストが可能
 - 動画配信などリアルタイム重視のアプリに最適
- ・ 短所
 - 受信確認や再送がないので信頼性が保証されない
 - 信頼性維持のためにはアプリ側で対応する必要がある



CPUでのUDP実装課題

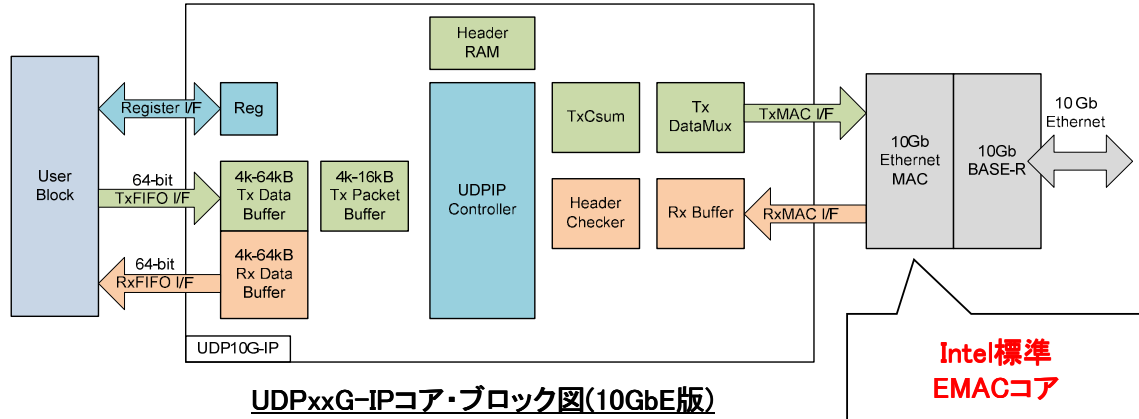
- ・ パフォーマンスやレイテンシに問題
 - チェックサム計算やヘッダ付加処理がファームで必要
 - CPUリソースを消費し他のタスクへ影響
 - ファーム処理なので転送性能が安定しない
- ・ Full Duplexでさらに問題が顕著化
 - 同時送受信の場合CPUが時分割で処理する必要がある
 - 送受信同時ファーム処理により転送性能が更に悪化
 - リアルタイム性が必要なアプリには致命的



⇒UDPxxG-IPがこの問題を解決します！

UDPxxG-IPコアの概要

- ・ 完全ハード・ワイヤード化した純ロジック・コア
- ・ 各ラインレート(1G/10G/25G/40G/100GbE)に対応
- ・ ユーザ回路とIntel製標準EMACコアの間に挿入
- ・ Full Duplex(送受信同時)通信をサポート



UDPxxG-IPコアのラインナップ

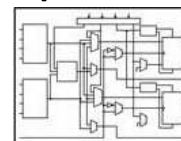
ファミリ ラインレート	GbE	10GbE	25GbE	40GbE	100GbE
Cyclone V	対応済				
Arria V	対応済				
Cyclone 10 GX	対応可	対応可			
Arria 10	対応済	対応済		対応済	
Stratix 10	対応可	対応可	対応可	対応可	対応可
Agilex F		対応可	対応済	対応可	対応済

UDPxxG-IPコア・ラインナップ (2021/8/5時点)

対応済: 即時納品可
対応可: 注文可能

UDPxxG-IPコアの特長1

- ・ UDP送受信処理を完全ロジック・ハードウェア化
 - CPUなしでの組込みシステム実装が可能
 - CPUシステムではCPU負荷がゼロ
- ・ 送信のみ/受信のみ/同時送受信を高速転送
 - ラインレートの90%を超える実パフォーマンス
- ・ 転送データの信頼性が維持できる
 - 送信時:チェックサムを自動計算・ヘッダに付加
 - 受信時:チェックサム結果の不一致でパケット自動破棄



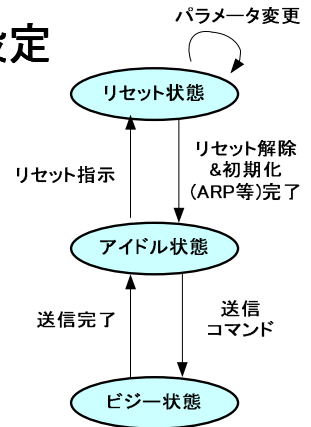
UDPxxG-IPコアの特長2

- ・ データバッファ容量を選択可能
 - FPGAメモリ・リソースとパフォーマンスからユーザが選択
- ・ IPフラグメント受信に対応
 - 正しい順番のIPフラグメント・パケット受信が可能
- ・ 実機動作リファレンス・デザイン
 - Intel評価ボードで動作するプロジェクト
 - 購入前に実動作や実パフォーマンスの評価を検証可能
 - 製品のリファレンスはコア以外の全回路をソースで添付
- ・ マルチキャスト/ブロードキャスト送信に対応可能
 - カスタマイズにより複数ターゲットに同時送信



UDPxxG-IPコアの動作概要

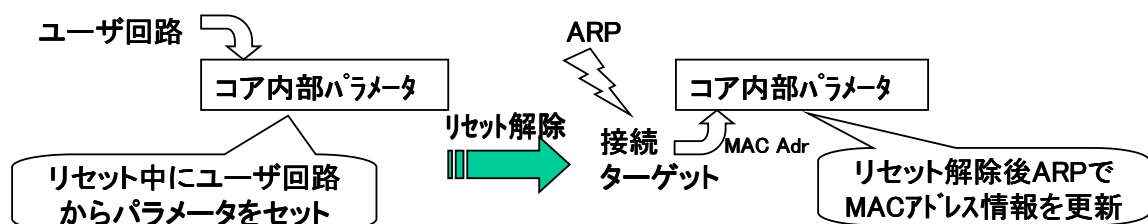
- リセット状態でパラメータ(IP&MACアドレス等)を設定
- リセット解除で初期化(ARP等)を実行
- 初期化完了でアイドル(コマンド待ち)状態
- ユーザ・コマンドにより送信動作
- 受信は常時可能
(設定パラメータに合致するパケットは常時受信)
- 送信と受信は独立して動作(**同時送受信可**)
- パラメータ変更はリセット状態で実施
(転送長/パケット長はビジー状態以外で変更可)



コアの状態遷移図

初期化動作

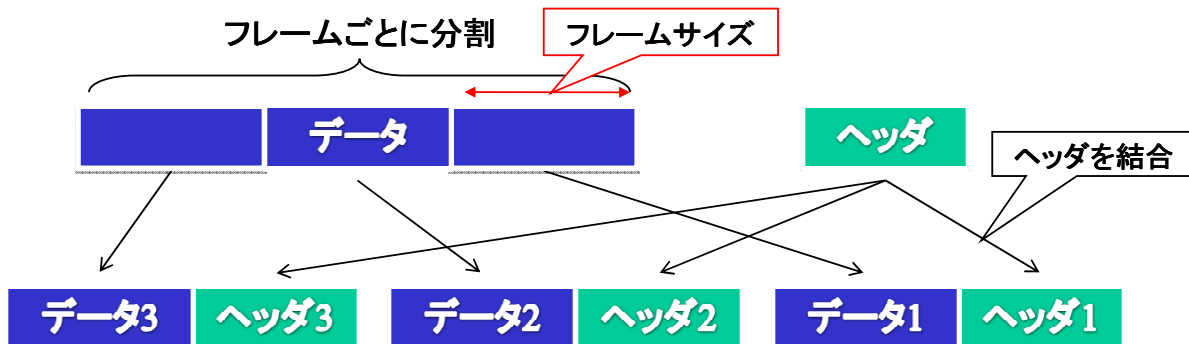
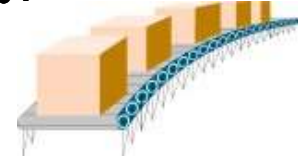
- パラメータの初期値設定
 - コアのリセット維持中にユーザ回路より設定
 - IPおよびMACアドレス・ポート番号を指定
 - 設定を完了するとリセットを解除
- リセット解除後ARP実行 (相手MAC Adr手動設定も可能)
 - クライアント・モード: 接続ターゲットに対してARPを発行
 - サーバー・モード: 接続ターゲットからのARPを待機



高速送信

送信パケットの生成

- ユーザ回路は送信データをFIFO I/Fで書込み
- 送信データをフレームサイズで分割
- チェックサムを自動計算しヘッダへ付加
- ヘッダと送信データを結合しEMACへ出力



2021/8/20

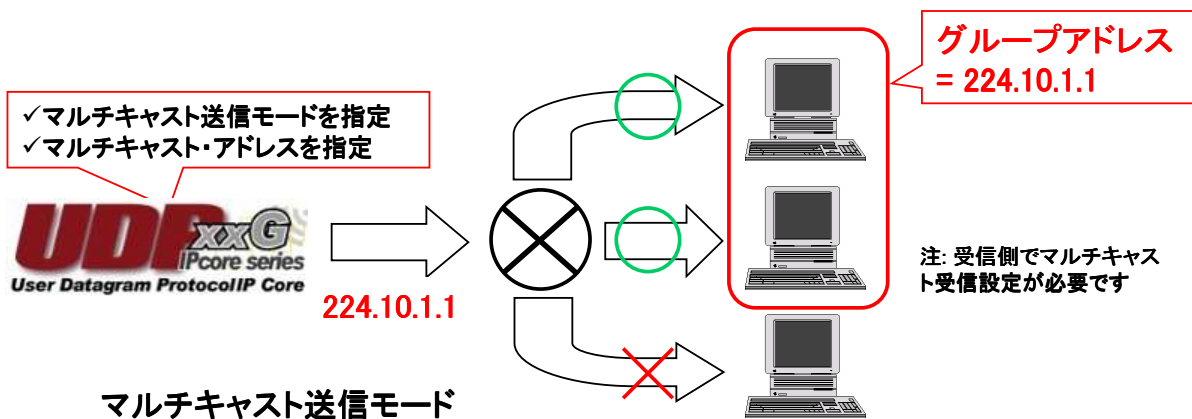
Design Gateway

Page 11

マルチ/ブロードキャスト高速送信(オプション)

カスタマイズでマルチ/ブロードキャスト送信をサポート

- コア初期化時のARP自動実行を抑制
- マルチ(ブロード)キャストIP/MACアドレスをコアに設定



2021/8/20

Design Gateway

Page 12

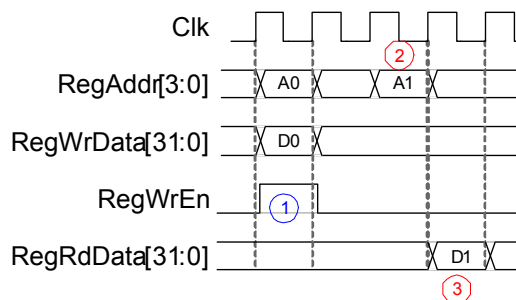
高速受信

- ・ 受信ヘッダのフィルタリング
 - MACヘッダ、IPヘッダ、UDPヘッダの全てを評価
 - 正しい順番のIPフラグメント・パケットを受信
- ・ チェックサムの自動計算と評価
 - 受信パケットからチェックサムをコア内で自動計算
 - 計算結果と受信パケット内チェックサムを評価
 - 不一致の場合パケットを破棄(無視)



ユーザ・インターフェース(制御)

- ・ レジスタI/F、送信FIFO I/F、受信FIFO I/Fの3種類
 - レジスタI/Fは初期パラメータの設定、送信命令
 - 送信データ・受信データ用I/Fは標準的なFIFO I/F

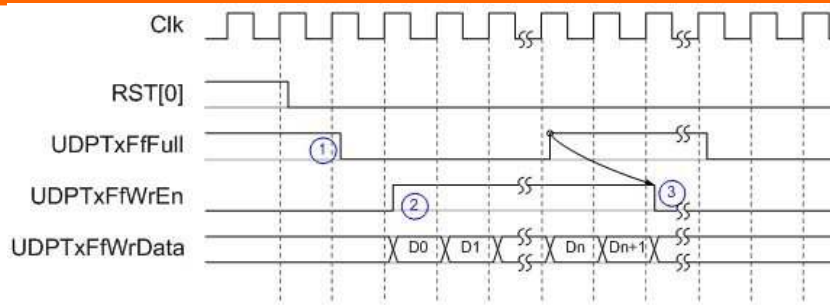


[レジスタの書込み]
①アドレスとデータを
設定しWrEnで書込み

[レジスタの読出し]
②アドレスを与えたる
③次クロックで有効
データが出力

レジスタI/Fのタイムチャート

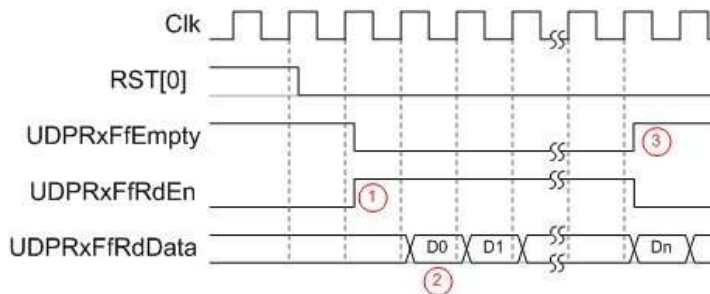
ユーザ・インターフェース(データ)



送信FIFO I/Fのタイムチャート

[送信データの書込み]

- ① Fullでないことを確認
- ② データをWrEnで書込み
- ③ Fullになってから4クロック以内にライト中断



受信FIFO I/Fのタイムチャート

[受信データの読み出し]

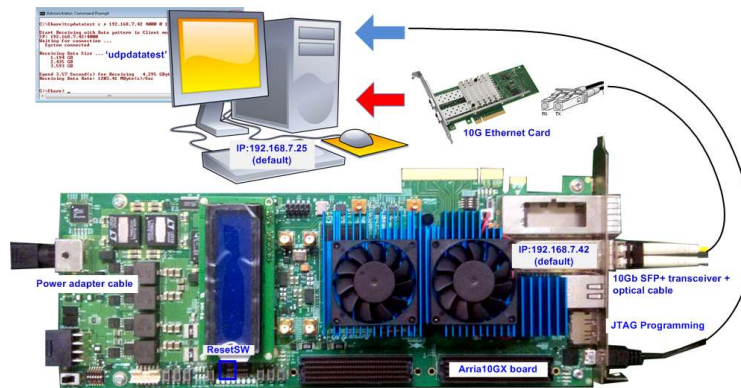
- ① 非EmptyでRdEnにて読出し
- ② 次のクロックでデータ出力
- ③ Emptyではリード禁止

データ・バッファ容量の設定

- ・ 3種類のデータ・バッファをパラメタライズで設定可能
 - ① 送信データ・バッファ: 送信パフォーマンスに関係
 - ② 送信パケット・バッファ: 最大送信パケット長に関係
 - ③ 受信データ・バッファ: 受信パフォーマンスに関係
- ・ リソースとパフォーマンスの最適点を調整できる
 - バッファ容量を増やすとパフォーマンスが向上する
 - バッファ容量を減らすとFPGAメモリが節約できる
 - パフォーマンスとメモリ消費量はトレードオフ関係

評価用SOFファイル

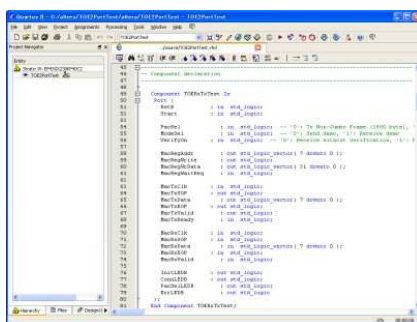
- Intel各評価ボードで動作するsofファイル
 - PC-評価ボード間(25/40/100GbE版は2枚の評価ボード間)での送信/受信の実機評価
 - 転送パフォーマンス測定・データベリファイ確認



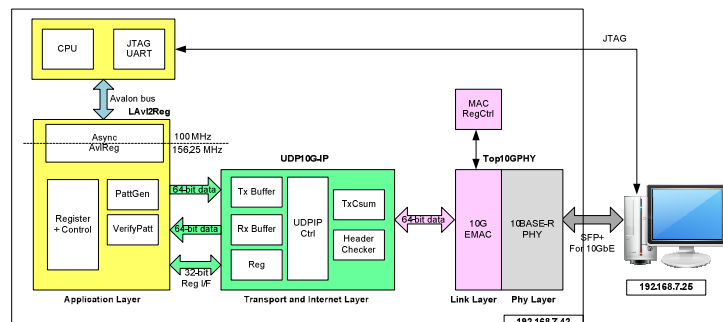
Intel評価ボードを使った実機検証環境(10GbE版)

リファレンス・デザイン概要

- 実機動作するQuartusデザイン・プロジェクト
 - 各デバイス・ファミリ標準のIntel評価ボードで実装
 - 評価用SOFファイルのプロジェクトをコア製品に添付
 - コア(ネットリスト)部以外の全回路をソースコードで提供



実動作するQuartus/Qsysプロジェクト



リファレンス・デザイン・ブロック図

リファレンスと実機評価による開発

- ・ リファレンス+評価ボードによる確実な開発
 - まず最初に製品添付のリファレンスで実機動作を確認
 - そこからユーザ製品に向け少しずつ編集
 - 編集ごとに実機動作をStep by Stepで確認
 - 問題があれば1ステップ前に戻るだけで動く状態にすぐ復帰できる



大きな後戻りがなく確実に短期間での製品開発が可能!

消費リソース

- ・ 各ラインレート対応版コアの消費リソース例



ラインレート(ファミリ)	動作クロック	消費ロジック	(最大)消費メモリ
GbE版(CycloneV E)	125MHz	1,030 ALMs	1,181,696 bit
10GbE版(Arria 10 GX)	156.25MHz	1,347 ALMs	1,179,648 bit
25GbE版(Agilex F)	350MHz	1,936 ALMs	1,179,648 bit
40GbE版(Arria 10 GX)	275MHz	2,678 ALMs	1,179,648 bit
100GbE版(Agilex F)	350MHz	5,769 ALMs	1,837,056 bit

UDPxxG-IPコア単体コンパイル結果

メモリ消費量は送受信とも全バッファを**最大**に設定した場合です。バッファ容量を削減すれば内部メモリ消費リソースを節約できます。

転送パフォーマンス実測例 (100GbE版)

```
+++ UDP100G-IP Send Mode +++
Enter transfer size in byte unit (aligned to 512-bit): 64 - 0xFFFFFFFFFC0 => 0xFFFFFFFFFC0
Enter packet size in byte unit (aligned to 512-bit) : 64 - 8960 => 8960
```

```
Run test application on PC by following command
udpdatatest r 192.168.100.25 60000 4000 137438953408 1
```

```
Press any key to start data sending ...
Start data sending
Send 12408 MByte Recv 0 Byte
Send 24817 MByte Recv 0 Byte
Send 37225 MByte Recv 0 Byte
```

128Gバイトのデータをジャンボ・フレーム (8960バイト)で他方のFPGAへ送信

```
Send 111676 MByte Recv 0 Byte
Send 124085 MByte Recv 0 Byte
Send 136493 MByte Recv 0 Byte
Send data complete
```

**転送パフォーマンス実測値
= 12,400MByte/sec!**

```
Total tx transfer size = 2147483647 512-bit
Total = 137.438[GB] , Time = 11076[ms] , Transfer speed = 12408[MB/s]
```

UDP100G-IPコアを実装した2枚のFPGAボード間の実転送結果例

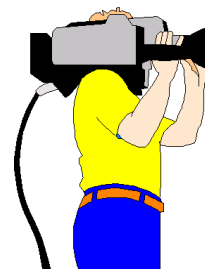
パフォーマンス実測値(各ラインレート)

ライン・レート	送信(FPGA->PC)	受信 (PC->FPGA)	測定条件
1GbE	117MByte/s	110MByte/s	FPGA-PC間転送
10GbE	1,240MByte/s	1,193MByte/s	FPGA-PC間転送
ライン・レート	半二重通信	全二重通信	測定条件
25GbE	3,097MByte/s	3,067MByte/s	2枚のFPGAボード間
40GbE	4,953MByte/s	4,925MByte/s	2枚のFPGAボード間
100GbE	12,400MByte/s	12,343MByte/s	2枚のFPGAボード間

各ライン・レートでのUDPxxG-IPコア転送パフォーマンス実測値 (ジャンボ・フレーム)

UDPxxG-IPのアプリケーション

- ・ ブロードキャストによる動画配信
 - リアルタイム性重視のストリーム・データ配信
 - 最小のオーバーヘッド/レイテンシが重要
 - 純ロジックによるUDPxxG-IPで最大限のメリット
- ・ リアルタイム性の高いオンライン・ゲーム
 - ゲーム・データとユーザ操作情報の双方向通信
 - ユーザ操作性の維持に低レイテンシが必須
 - 同時双方向に対応するUDPxxG-IPが最適



問い合わせ

- ・ ホームページに詳細な技術資料を用意
https://dgway.com/UDP-IP_A.html
- ・ 問い合わせ
 - 株式会社Design Gateway
 - E-mail : info@dgway.com
 - FAX : 050-3588-7915

