

UDP-IP Core

2016/01/19

データシート

Rev1.0J



Design Gateway Co.,Ltd

- 本社: 〒184-0012
東京都小金井市中町 3-23-17
- 電話/FAX: 050-3588-7915
- E-mail: sales@dgway.com
- URL: www.dgway.com

特長

- UDP/IP プロトコル・スタックを実装
- IPv4 に対応
- 単一ポート接続
- 送受信バッファはリソースとパフォーマンスに合わせて最適化調整が可能
- データは標準的な FIFO 接続
- 制御は一般的なレジスタ・インターフェイス接続
- クロック周波数 125MHz の単一クロック・ドメイン
- AC701 によるリファレンス・デザインを提供
- 安心の国内サポート

Core Facts	
コアの提供情報	
納品物	●IP コア (暗号化されたネットリスト) ●リファレンス・デザイン・プロジェクト ●技術ドキュメント一式
納品ドキュメント	●データ・シート ●リファレンス・デザイン説明書 ●実機デモ手順書
制約ファイル	●リファレンス・デザインの制約ファイルを提供
検証方法	●Xilinx 標準評価ボードによる実機検証
デザイン例使用言語	●VHDL
その他	●AC701 による購入前評価用 bit ファイル提供
技術サポート	
デザイン・ゲートウェイ・ジャパンによる日本語の国内サポート	

表 1: コンパイル結果例

Family	Example Device	Fmax (MHz)	Slice Regs	Slice LUTs	Slices ¹	IOB ²	RAMB36E1	RAMB18E1	Design Tools
Artix-7	XC7A200FBG676-2	125	1553	1416	609	133	36	1	Vivado2014.4
Kintex-7	XC7K325TFFG900-2	125	1543	1417	602	133	36	1	Vivado2014.4
Virtex-7	XC7VX485TFFG1761-2	125	1543	1417	627	133	36	1	Vivado2014.4
Zynq-7000	XC7Z045FFG900-2	125	1543	1418	611	133	36	1	Vivado2014.4

備考:

- 1) 実際のリソース消費カウントはユーザロジックやフィット条件等に依存します。
- 2) このサンプルはコアの全 I/O とクロックがチップ外部と直接インターフェイスするケースでのコンパイル結果となります。
- 3) ブロックメモリの消費リソース数は送信データ・バッファ 64K バイト、送信パケット・バッファ 16K バイト、受信データ・バッファ 64K バイト時の値となります。バッファ容量の最小設定はそれぞれ 4K バイト、2K バイト、2K バイトです。

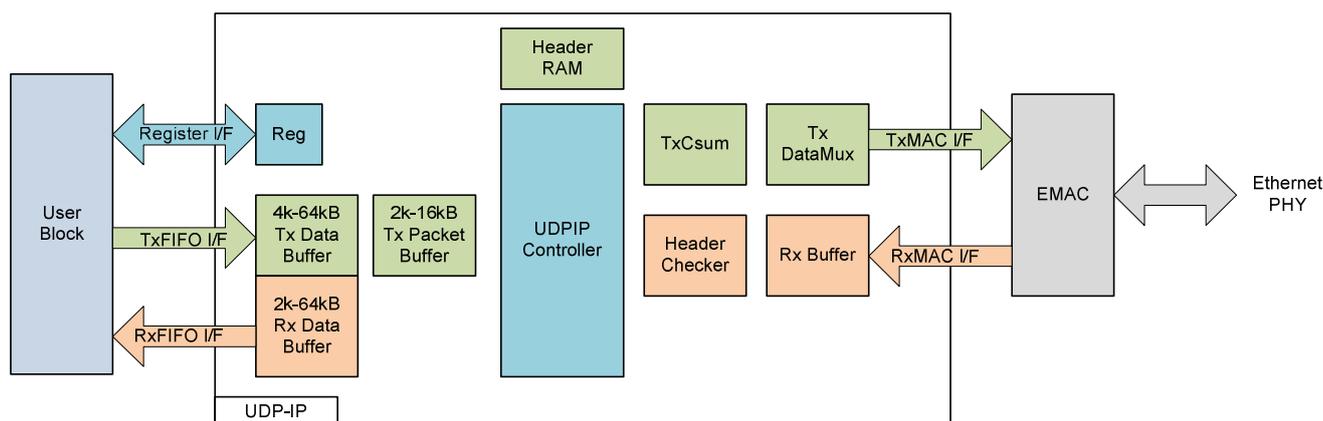


図1：UDP-IP コア内部ブロック図

コア概要

本 UDP-IP コアは UDP/IP プロトコルを使ったネットワーク・アプリケーションにおいて高速でのデータ転送を可能とする機能を提供します。本コアを使うことで、ユーザは CPU を使わずにハードワイヤード・ロジックのみで UDP/IP プロトコルによるデータ転送を可能とします。

本コアは Xilinx 製 EMAC IP コア(EF-DI-TEMAC)と組み合わせることで UDP/IP スタック、トランスポート層、インターネット層、リンク層として機能します。本コアを使ったシステムと外部 PHY チップにより、UDP/IP プロトコルにてネットワークのどのようなデバイスともデータ転送を実行できます。

コアは3種類のユーザ・インターフェイスがあり、一つは制御用レジスタ・アクセスのインターフェイスで、他の二つは送信と受信の FIFO インターフェイスです。システムの初期化時に、ユーザはパケット・サイズ、ポート番号、IP 番号等をレジスタ・インターフェイスを介して設定する必要があります。そしてコマンド指示により送信データ・バッファから外部ネットワーク・デバイスへのデータ送信を実行します。また、外部デバイスからの受信データは UDP-IP コアの受信データ・バッファに格納されます。

UDP-IP コアの3種類のバッファ(送信データ・バッファ、送信パケット・バッファ、受信データ・バッファ)は IP コアのパラメタライズで設定が可能です。ブロック RAM 消費リソースとパフォーマンスをユーザ・アプリケーションに対して最適化できます。送信パケット・バッファは必ず送信パケット・サイズよりも大きく設定する必要があり、送信データ・バッファは送信パケット・バッファより少なくとも2倍のサイズとする必要があります。また、受信データ・バッファは受信パケット・サイズの2倍以上に設定する必要があります。

データの送信時は、送信データ・バッファからのデータはパケット・サイズに分割され送信パケット・バッファに転送されます。送信パケット・バッファからの送信データは EMAC へ出力される前にコア内部にてヘッダ RAM のヘッダ・データと結合します。レジスタ内のビジー・フラグはユーザによって予め設定された転送サイズ分のデータ転送が完了するとクリアされます。ユーザ回路はこのビジー・フラグをモニタすることで転送状態が把握できます。

データの受信時には受信パケットはまずテンポラリ・バッファに一旦格納されます。そして受信パケット内のヘッダとチェックサムが精査され、ヘッダ内容やチェックサムにエラーがあった場合はそのパケットは破棄されるので受信データ・バッファには格納されません。従って有効なデータのみが選別され受信データ・バッファに格納されることとなります。

コアの機能ブロック

本 IP コアは、制御ブロック、送信ブロック、受信ブロックの3ブロックに分かれています。

制御ブロック

- レジスタ

ユーザ回路は UDP/IP オペレーションに関するパラメータをレジスタ・インタフェースにより設定できます。レジスタ・アドレスは全 4 ビットで 11 レジスタが実装されています。それぞれのレジスタのアドレス・マッピングを表 2 に示します。RST レジスタによるリセットが解除されると、各パラメータを設定したレジスタを初期値として動作が開始されます。

- UDPIP コントローラ

RST レジスタにゼロをライトしてリセットが解除されると IP コアは ARP 要求を送信し IP アドレス情報から通信ターゲットの MAC アドレスを取得します、その後コアはユーザからの外部デバイスへのデータ転送開始指示を待ちます。

表 2: レジスタ・マップ定義

レジスタ・アドレス [3:0]	レジスタ名	方向	ビット	説明
0000b	RST	Wr /Rd	[0]	IPリセット。'1'でリセットし'0'でリセットを解除する。初期状態は'1'(リセット状態)で、ユーザ回路が動作に必要な全パラメータをレジスタにセットしてから本レジスタに'0'を書き込むことでコアの動作が開始する。ユーザ回路がSML, SMH, DIP, SIP, DPN, SPNレジスタの値を変更する必要が生じた場合、本レジスタを一旦'1'としコアをリセット状態に移行させてから変更しなくてはならない。
0001b	CMD	Wr	[0]	'1'でデータ送信開始 本レジスタによってデータ送信を指示する前に、ユーザ回路は Busy 信号または本レジスタの bit[0]をリードしチェックしてコアが動作中でないことを確認しなくてはならない。
		Rd	[0]	システム・ビジー・フラグ。'0': アイドル状態、'1': ビジー状態、Busy 出力信号と同一
0010b	SML	Wr /Rd	[31:0]	コアの MAC アドレスの下位 32bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0011b	SMH	Wr /Rd	[15:0]	コアの MAC アドレスの上位 16bit 定義レジスタ。RST レジスタをクリアする前に本レジスタで MAC アドレスを指定する必要がある。
0100b	DIP	Wr /Rd	[31:0]	ターゲット側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0101b	SIP	Wr /Rd	[31:0]	本システム側の IP アドレス 32bit を指定する。RST レジスタをクリアする前に本レジスタで IP アドレスを指定する必要がある。
0110b	DPN	Wr /Rd	[31:0]	[15:0] IP コアからの送信にて送信先ターゲット側のポート番号を 16bit で指定する。 [31:16] IP コアへの受信にて受信元ターゲット側のポート番号を 16bit で指定する。 RST レジスタをクリアする前に本レジスタでポート番号を指定する必要がある。
0111b	SPN	Wr /Rd	[15:0]	本システム側のポート番号を 16bit で指定する。RST レジスタをクリアする前に本レジスタで自身のポート番号を指定する必要がある。
1000b	TDL	Wr	[31:0]	送信データ数をバイト単位で指定する。有効な値は 1~0xFFFFFFFF。CMD レジスタで送信開始を指示する前に本レジスタで送信データ数をセットする必要がある。ユーザが本レジスタでセットした送信データ数はコア内部ロジックでラッチされるため、現在送信中であっても、次の送信のデータ数をセットしておくことが可能である。また、次の送信でも再度同じ送信データ数である場合は本レジスタに再セットする必要はない。
		Rd	[31:0]	まだ送信されていない残りデータ数をバイト単位で表示する。
1001b	TMO	Wr	[31:0]	全てのコマンドにて、受信パケットの待ち時間タイムアウト値を設定する。本レジスタは 125MHz のカウンタで動作するためタイム設定値は 8ns の単位で指定する。本レジスタ値は 0x6000 以上の値としなくてはならない。
		Rd		各タイムアウト等のステータス、それぞれのビット定義は以下の通り [0] ARP で返信パケットをタイムアウト時間内に受信しなかった [8] 受信データ・バッファが一杯のため受信パケットを受け損ねた [9] 受信パケットのチェックサムが間違っていたため受信パケットを破棄した [10] MacRxUser エラーが検出されたため受信パケットを破棄した
1010b	PKL	Wr /Rd	[15:0]	バイト単位で指定する送信パケットのデータ長。1~16000 の範囲で指定する必要がある。デフォルト値は 1472 バイト(非ジャンボ・フレームの最大サイズ) この値はデータ転送(Busy フラグ=1)中に変更してはならない。次の転送でも同じパケット・サイズの場合、コア内部で前の値は保持されているのでユーザ回路は本レジスタを再度セットする必要はない。

注意:

1. ターゲットの MAC アドレスは ARP の返信パケットにてコアが自動検出・設定するためユーザ回路側でのパラメータを設定する必要はありません。

送信ブロック

送信データ・バッファ、送信パケット・バッファ、および受信データ、バッファの各容量はユーザがバッファのアドレス・ビット数を示す有効ビット幅で指定できます。各バッファで指定できる設定範囲を表 3 に示します。

表 3: 各バッファ(TxBuf/TxPac/RxBufBitWidth)の容量パラメータ

有効なビット幅	バッファ容量	送信データ・バッファ有効ビット幅	送信パケット・バッファ有効ビット幅	受信データ・バッファ有効ビット幅
11	2kByte	No	Valid	Valid
12	4kByte	Valid	Valid	Valid
13	8kByte	Valid	Valid	Valid
14	16kByte	Valid	Valid	Valid
15	32kByte	Valid	No	Valid
16	64kByte	Valid	No	Valid

- **送信データ・バッファ (Tx Data Buffer)**

このデータ・バッファの容量は IP コアの "TxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 12(4K バイト)~16(64K バイト)です。このバッファ・サイズは PKL レジスタで設定する送信パケット・サイズの少なくとも2倍かそれ以上のサイズおする必要があります。ユーザ回路からの送信データはこのバッファ内部に保持されます。ユーザ回路からのコマンドにより送信データの転送が指示された場合、1パケット分のデータが本バッファから送信パケット・バッファに転送され次の処理を待ちます。UDP-IP コア内のバッファ・サイズは転送パフォーマンスには影響しません。このバッファは IP コアとユーザ・ロジック間のインターフェイスとして機能しません。

- **送信パケット・バッファ (Tx Packet Buffer)**

このバッファの容量は IP コアの "TxPacBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 11(2K バイト)~14(16K バイト)です。このバッファ・サイズは PKL レジスタで設定する送信パケット・サイズと同じかそれ以上とする必要があります、送信データ・バッファからの1パケット分のデータを格納します。送信パケット・バッファ内のデータは EMAC のデータ受信準備が完了すると出力されます。

- **ヘッダ RAM (Header RAM)**

この RAM には送信パケットのヘッダ部を格納します。ユーザ回路から RST レジスタによるリセット解除でヘッダ RAM 内のパラメータは更新されます。いくつかのパラメータは ARP 応答によって更新されます。

- **送信チェックサム (TxCsum)**

送信パケットが送出される前に本モジュールによりチェックサムが計算されます

- **送信データ・マルチプレクサ (TxDataMux)**

本モジュールによりヘッダ RAM と送信データ・バッファ内のデータが結合されイーサネット MAC を介して外部に送出されます。

受信ブロック

- **受信バッファ (Rx Buffer)**

このバッファはヘッダ・チェックで処理される前のイーサネット MAC からの全ての受信パケットを一時的に保持します。

- **ヘッダ・チェック (Header Checker)**

受信パケット内のヘッダをチェックしユーザ回路からの設定値と比較します。ヘッダの内容が設定パラメータと適合しなかった場合やチェックサムがエラーであった場合は該当するパケットは破棄されます。適合した場合、UDP データのみが分離され受信データ・バッファに転送されます。

- **受信データ・バッファ (Rx Data Buffer)**

このバッファの容量は IP コアの "RxBufBitWidth" パラメータで指定します。有効な値の範囲は表 3 に示すように 11(2K バイト)~16(64K バイト)です。このバッファはユーザ・ロジック用です、つまりこのバッファの容量を大きく取ると、ユーザ・ロジック側で何らかの都合により受信データを迅速に読み出せない場合に、より多くの受信データを保持できます。

ユーザ回路

ユーザ回路はレジスタ I/F を通してパラメータの設定やコア状態のモニタを行い、また、送信 FIFO I/F を介した送信データの書き込みや受信 FIFO I/F を介して受信データの読み出しを行います。ユーザ回路はシンプルなハードウェア・ロジックで実装できるので、MicroBlaze などのプロセッサを使わずにシステムを構築することが可能です。

EMAC

EMAC は Xilinx 社の標準 MAC-IP コア(EF-DI-TEMAC)と直結できるよう設計されています。

コアの I/O 信号

コアのパラメータを表 4 に、全 I/O 信号を表 5 で説明します。MAC インターフェイスは Xilinx 製 TEMAC ポートと直結できます。

表 4: コアのパラメータ

ジェネリック名	設定範囲	説明
TxBufBitWidth	12-16	送信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 12 の場合 4K バイト、16 の場合 64K バイトとなります。
TxPacBitWidth	11-14	送信パケット・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、14 の場合 16K バイトとなります。
RxBufBitWidth	11-16	受信データ・バッファ・サイズをアドレス・ビット幅で設定します。例えば 11 の場合 2K バイト、16 の場合 64K バイトとなります。

表 5: コアの I/O 信号

信号名	方向	クロック	説明
共通 I/F 信号			
RstB	In		IP コアのリセット: ロウ・アクティブ信号である。
Clk	In		125MHz 固定のユーザ I/F および MAC 通信 I/F 用クロック。
ユーザ I/F			
RegAddr[3:0]	In	Clk	レジスタの 4bit アドレスバス
RegWrData[31:0]	In	Clk	ライト・レジスタの 32bit 書き込みデータ・バス
RegWrEn	In	Clk	レジスタのライト・イネーブル、アドレスおよびデータに有効な値をセットし本信号にパルスを与えることで書き込みを実行する。
RegRdData[31:0]	Out	Clk	レジスタの 32bit 読み出しデータ・バス、レジスタアドレスをセットしてから 1 クロックのレイテンシ後に有効なリード・データが本バス上に現れる。
Busy	Out	Clk	コアのビジー状態('0': アイドル状態、'1' コアは初期化中またはビジー状態)。
IntOut	Out	Clk	タイムアウト発生または受信パケットの破棄時に本信号が 1 クロック期間分 H アサートされる。ユーザ回路は TMO[6:0] レジスタで割り込み要因を確認することができる。
送信 FIFO I/F			
UDPTxFfFull	Out	Clk	コアの送信データ・バッファの Full フラグ。ユーザ回路は本信号が H アサートされてから 4 クロック期間以内に送信データの書き込みを停止しなくてはならない。
UDPTxFfWrEn	In	Clk	送信データ・バッファのライト・イネーブル。送信データを書き込む際にアサートする。
UDPTxFfWrData[7:0]	In	Clk	送信データ・バッファの 32bit 書き込みデータ・バス、UDPTxFfWrEn に同期する。
受信 FIFO I/F			
UDPRxFfRdCnt[15:0]	Out	Clk	受信データ・バッファ内の受信データ総量を示す FIFO データ・カウンタ
UDPRxFfRdEmpty	Out	Clk	受信データ・バッファの FIFO Empty フラグ。ユーザ回路は本信号が H アサートされたら直ちにデータの読み出しを停止しなくてはならない。
UDPRxFfRdEn	In	Clk	受信データ・バッファの読み出しイネーブル。受信データを読み出す際にアサートする。
UDPRxFfRdData[7:0]	Out	Clk	受信データ・バッファの 32bit 読み出しデータ・バス、UDPRxFfRdEn をアサートしてから 1 クロック期間のレイテンシ後に有効なリードデータが出力される。

※ MAC I/F は Xilinx 社の標準 MAC-IP コア(EF-DI-TEMAC)と直結する I/F となります。

信号名	方向	クロック/メイン	説明
MAC I/F 信号			
MacRxClk	In		受信クロック
MacRxReset	In		ハイ・アクティブの受信ソフトウェア・リセット、この信号は使われない。
MacRxData[7:0]	In	MacRxClk	受信データ・バス
MacRxValid	In	MacRxClk	受信データ有効信号、MacRxData 信号に同期する
MacRxLast	In	MacRxClk	受信フレーム最終バイトであることを示す信号
MacRxUser	In	MacRxClk	受信フレームの最後にてそのフレームにエラーが含まれているかを示す信号 '0':正常フレーム、'1':エラー・パケット
MacTxReset	In		ハイ・アクティブの送信ソフトウェア・リセット、この信号は使われない。
MacTxData[7:0]	Out	Clk	送信データ・バス
MacTxValid	Out	Clk	送信データ有効信号、MacTxData 信号に同期する
MacTxLast	Out	Clk	送信フレーム最終バイトであることを示す信号
MacTxUser	Out	Clk	エラー状態を示す制御信号、この信号は'0'固定で出力される
MacTxReady	In	Clk	ハンドシェーク信号 MacTxData が MAC に受け入れられたことを示す

タイミング・チャート

ユーザ回路からの UDP-IP コア内部コアへのリードライト・アクセスは図2に示すタイミングにより実行します。アクセス先レジスタのアドレスマップは表 2 で示されます。レジスタへの書込みは RegAddr と RegWrData にそれぞれ有効なライト先のアドレスとデータをセットし1クロック期間 RegWrEn='1' とします。レジスタからの読み出しの際は、有効な RegAddr がコアに与えられた次のクロック期間に RegRdData にリードデータが出力されます。

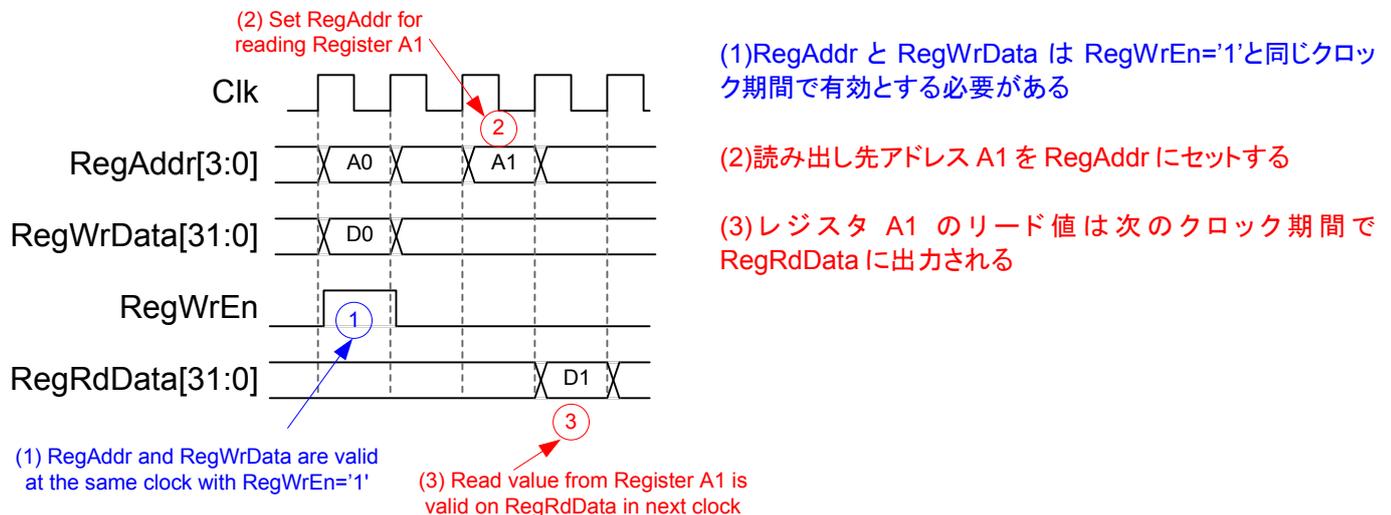


図 2: レジスタ I/F のタイミング・チャート

データ送信を開始するには、図 3 に示すようにまずレジスタを参照するか出力信号を確認する方法で Busy フラグがネゲートされていることを確認してから CMD レジスタをライトする必要があります。IP コアが新たなコマンドを受け付けると Busy フラグがアサートされます。

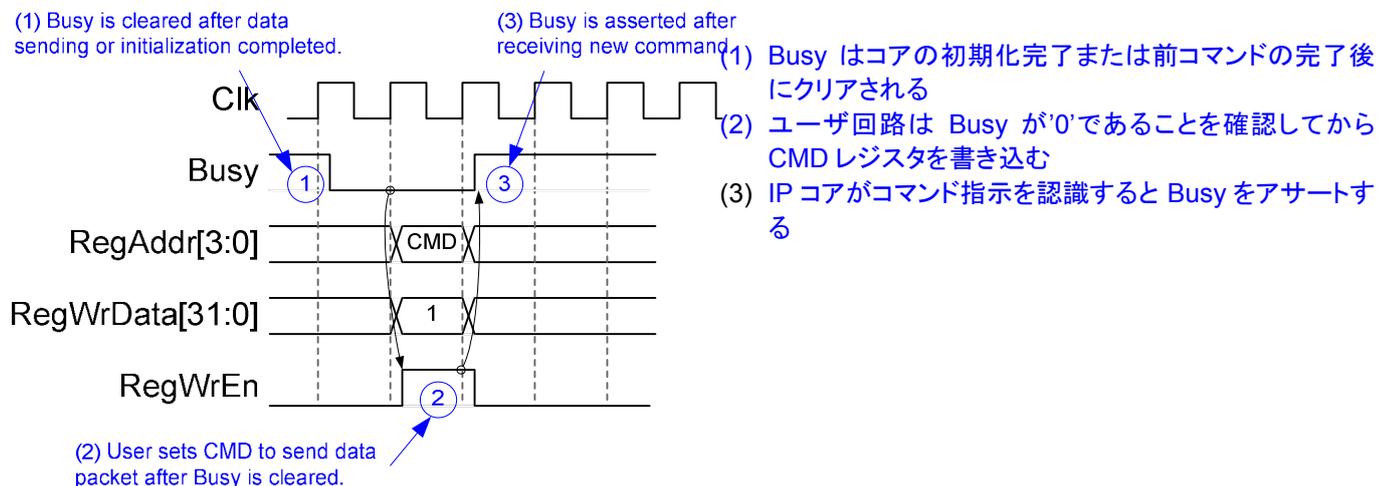
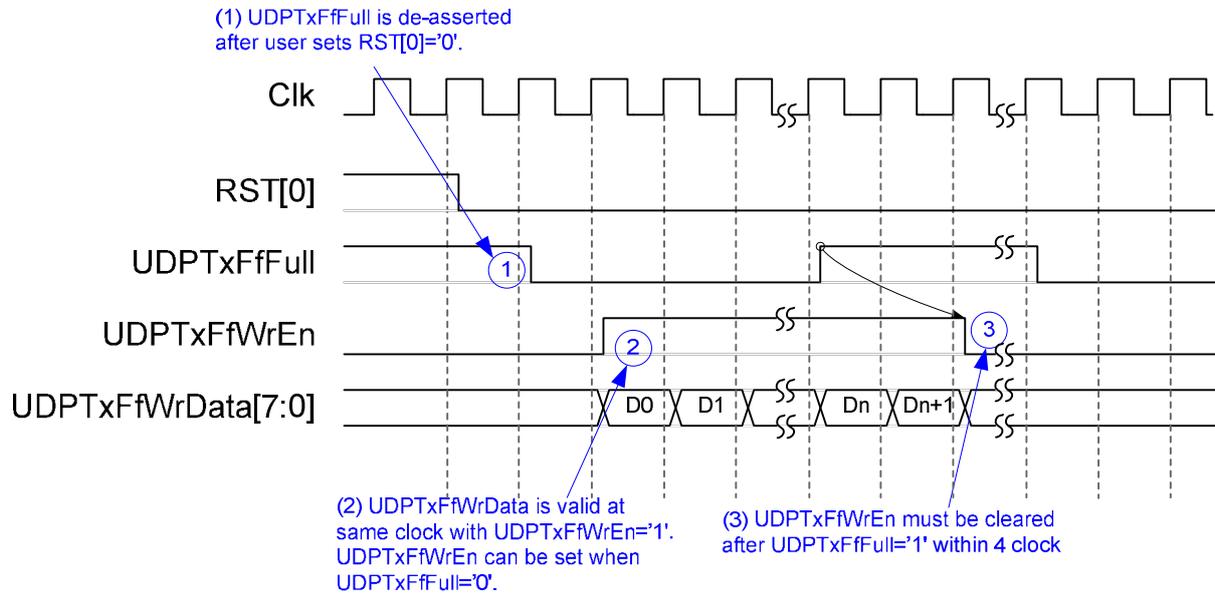


図 3: Busy がクリアされた状態からのコマンド発行

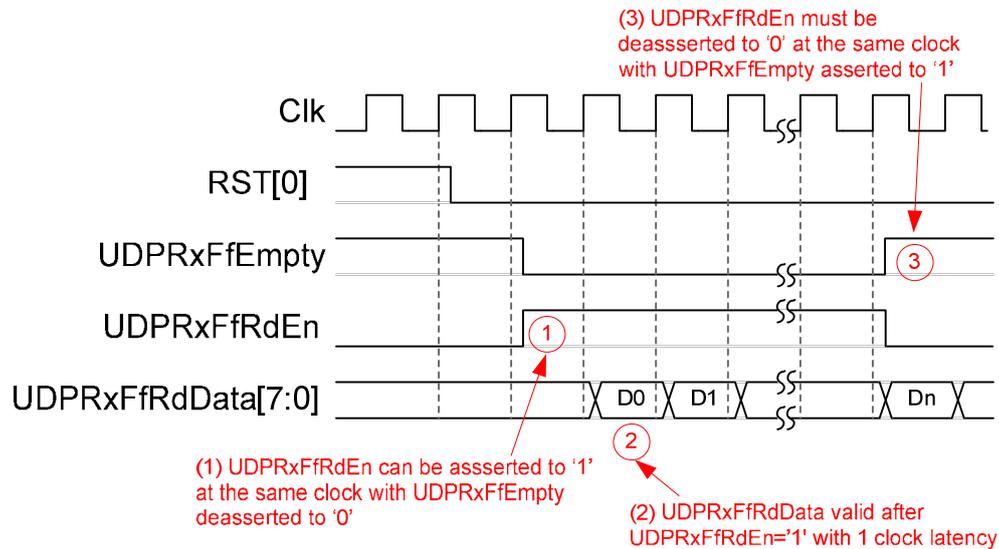
ユーザ回路は IP コアに対して図 4 に示すように FIFO インターフェイスでデータを送信できます。データを送る前にユーザ回路は FIFO のフル・フラグ (UDPTxFfFull) をチェックしそれが '1' にアサートされていないことを確認する必要があります。そして書き込みデータの UDPTxFfWrData に同期して書き込みイネーブル信号の UDPTxFfWrEn='1' とします。UDPTxFfFull が '1' となった場合、4 クロック以内に UDPTxFfWrEn による書き込み動作を停止しなくてはなりません。また IP コアがリセット状態の場合も UDPTxFfFull はアサートされ、FIFO 内の全データはフラッシュされます。



- (1) UDPTxFfFull はユーザ回路から RST[0]='0' とクリアされた後にネゲートされ FIFO データ書き込みが可能となる
- (2) UDPTxFfFull='0' である場合 UDPTxFfWrEn='1' とすることで UDPTxFfWrData を書き込むことができる
- (3) UDPTxFfFull='1' となった場合4クロック以内に UDPTxFfWrEn による書き込み動作を停止しなくてはならない

図 4: 送信データ・バッファ I/F のタイミング・チャート

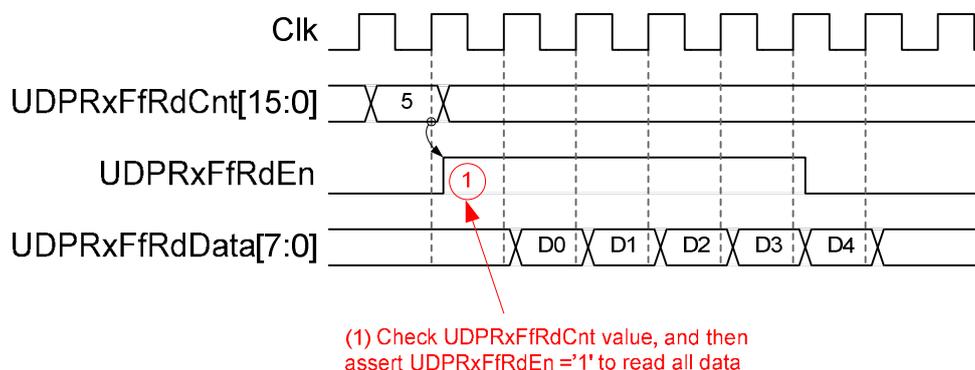
UDP-IP コアが外部からデータを受信した場合、受信データ・バッファに格納されます。ユーザ回路は図 5 に示すように FIFO インターフェイスでデータを読み出すことができます。ユーザ回路は UDPRxFfEmpty 信号をチェックすることで受信データの格納状態が把握でき、また UDPRxFfEmpty が '0' でない場合に UDPRxFfRdEn をアサートしてその次クロック期間に UDPRxFfRdData で受信データを読み出します。UDPRxFfEmpty が '1' となった場合その同一クロック期間内で UDPRxFfRdEn を '0' にネゲートしデータの読み出しを停止しなくてはなりません。送信データ・バッファと同じように受信データ・バッファも IP コアがリセットされると FIFO 内部データをフラッシュします。またコアがリセット中は UDPRxFfEmpty は '1' にアサートされます。



- (1) UDPRxFfRdEn は UDPRxFfEmpty が '0' ネゲートしている同一クロック期間中 '1' にアサートできる
- (2) UDPRxFfRdData は UDPRxFfRdEn が '1' アサートされた次のクロック期間に出力される
- (3) UDPRxFfEmpty が '1' にアサートされた場合その同一クロック期間に UDPRxFfRdEn をネゲートする必要がある

図 5: 受信データ・バッファ I/F のエンpty・フラグについてのタイミング・チャート

受信データ・バッファの状態は UDPRxFfRdCnt をモニタすることでも確認できます。この信号は受信データ・バッファに格納されている全データ数を示します。従って図 6 に示すように総受信データ数と同じ期間 UDPRxFfRdEn を '1' にアサートすることで、全受信データを読み出すことができます。



- (1) UDPRxFfRdCnt の値をチェックし UDPRxFfRdEn をデータ残量と同じクロック期間分アサート

図 6: 受信データ・バッファ I/F のリード・カウンタについてのタイミング・チャート

コアの検証方法

本 UDP-IP コア製品には Xilinx 純正の評価ボードで実機動作する Vivado リファレンス・デザイン・プロジェクトが同梱されているため、実ボードでの動作確認が可能です。また、ドキュメントで示されていない細かい信号タイミング等については、リファレンス・デザインに ChipScope を追加して実機動作させることで、実波形を観測・確認することが可能です。

必要とされる環境と設計スキルについて

本コアの実機動作確認やデザイン・ゲートウェイ社へのサポート依頼には Xilinx 純正の評価ボードが必要となるため、ユーザ側でコア購入時に手配してください。また、Xilinx 社の MAC-IP コア (EF-DI-TEMAC) も別途必要となりますのでご注意ください。

本コアを使ってユーザ・システムを設計・実装するためには、HDL 言語設計技術・TCP/IP プロトコル知識および Vivado ツールによるデザイン実装経験を必要とします。

注文情報

本製品は Xilinx 代理店から、あるいはデザイン・ゲートウェイ社から直接購入することが可能です。また、デバイス・ファミリに応じて現在以下のコアのラインナップが用意されています。それ以外のファミリに対応した UDP-IP コアにつきましては DesignGateway 社までお問い合わせください。

表 6: コアのラインナップ

コア型番	対応ファミリ	Vivado 環境	検証用評価ボード	説明
UDP-IP-AT7	Artix-7	Vivado2014.4 又はそれ以降	AC701	Artix-7 対応 UDP-IP コア
UDP-IP-KC7	Kintex-7	Vivado2014.4 又はそれ以降	KC705	Kintex-7 対応 UDP-IP コア
UDP-IP-VT7	Virtex-7	Vivado2014.4 又はそれ以降	VC707	Virtex-7 対応 UDP-IP コア
UDP-IP-ZQ7	Zynq-7000	Vivado2014.4 又はそれ以降	ZC706 (注)	Zynq-7000 対応 UDP-IP コア

注: ZC706 での UDP-IP コア実機評価には、別途 RJ45 を SFP+ に変換するアダプタが必要です。ZC706 オン・ボード搭載の RJ45 コネクタは Zynq 内 ARM コアのプロセッサ・システムと直結しており FPGA 内部ファブリックへの接続リソースがないため、UDP-IP コアとは接続できません。従って ZC706 評価には以下のような RJ45 SFP+ 変換アダプタが必要となります。

ZC706 評価用 RJ45 SFP+ 変換アダプタ例:

メーカー: Finisar

型番: FCLF-8520-3

URL: <http://jp.finisar.com/products/optical-modules/sfp/FCLF-8520-3FCLF-8521-3>

入手: DigiKey にて購入可能

更新履歴

リビジョン	日時	説明
1.0	Dec-16-2015	New release
1.0J	2016/01/19	日本語初期版を作成