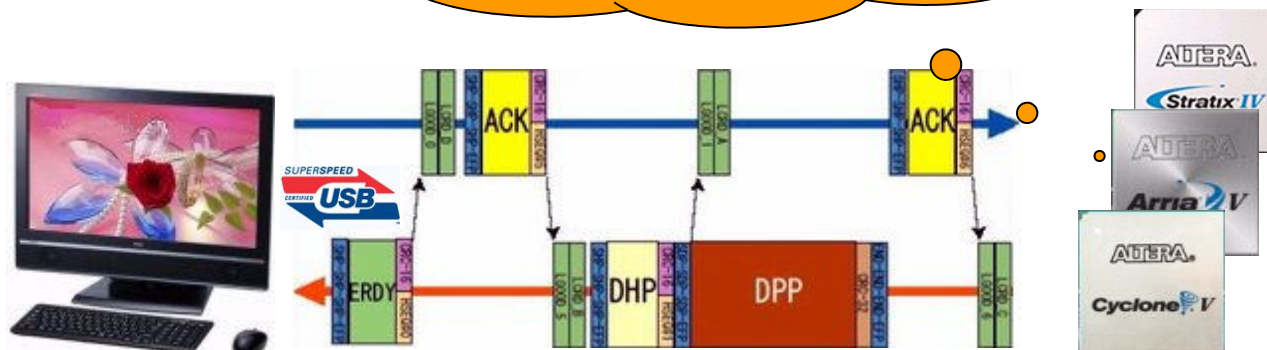


最新のV(ファイブ)
ファミリに対応!



新世代USBをいち早く実装

USB3.0-IPとは

- ・ Altera製FPGAでUSB3.0 SuperSpeedを実装するIPコア
 - Protocol&LinkレイヤとDMAC,Host I/F,PIPE I/Fを内蔵
 - Altera製評価ボードで動作するリファレンス・デザインで提供
- ・ 豊富なラインナップ
 - Host版およびDevice版
 - データ・レコーダ等実用的なリファレンス・デザイン

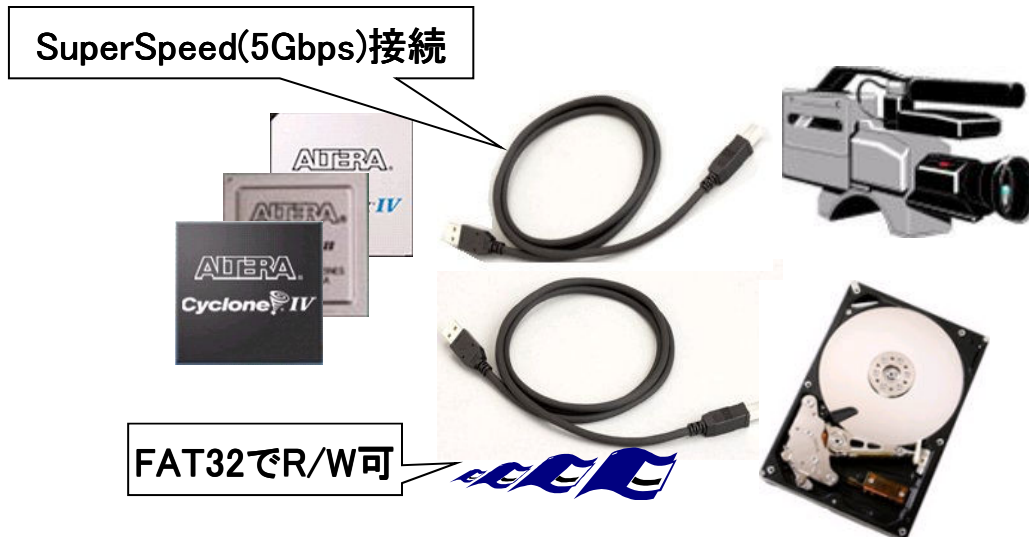
デバイスファミリ	Host版	Device版
Cyclone IV	USB3H-IP-C4	USB3D-IP-C4
Cyclone V	USB3H-IP-C5	USB3D-IP-C5
Arria V	USB3H-IP-A5	USB3D-IP-A5
Stratix IV GX	USB3H-IP-S4GX	USB3D-IP-S4GX

USB3.0-IPのラインナップ



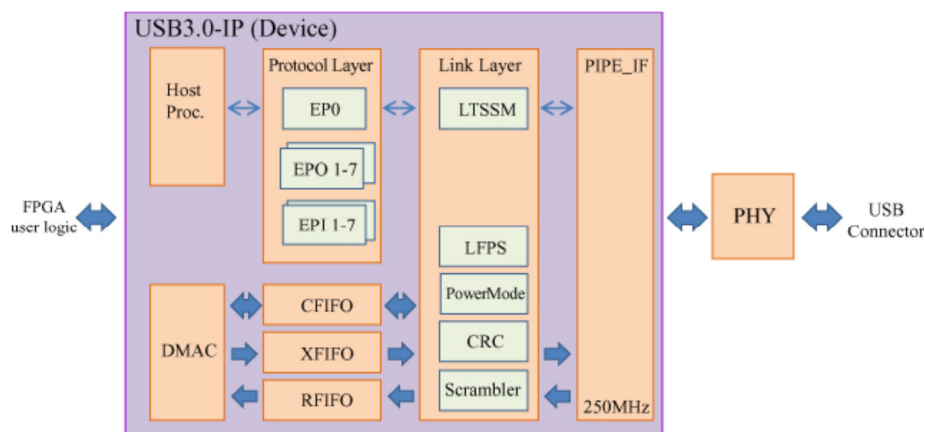
ホスト版USB3.0-IPコア

- USB3.0 SuperSpeedのHost機能を実装
 - USBメモリ,USBカメラ等とSuperSpeedで接続
 - リファレンス・デザインで生データ/FAT32でのリードライト可



デバイス版USB3.0-IPコア

- USB3.0 SuperSpeedのデバイス側に対応したコア
 - Protocol&LinkレイヤとDMAC,Host I/F,PIPE I/Fを内蔵
 - 具体的な実装方法はリファレンス・デザインで提供
 - リファレンスでストレージ・クラス(擬似USBメモリ)を実装



USB3.0-IPコアの機能(1/2)

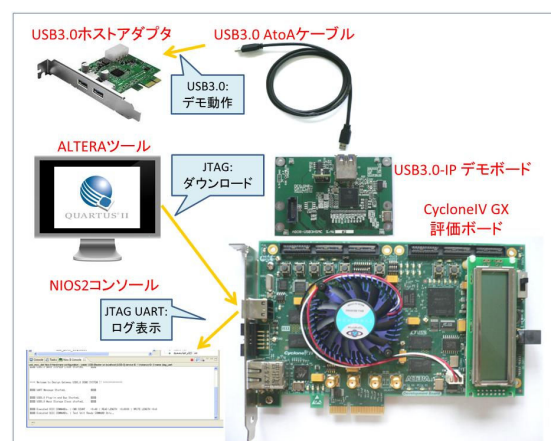
- ・ USB3.0規格のSuperSpeed(5.0Gbps)通信機能を実装
- ・ ホスト又はデバイス側コントローラ機能を提供
- ・ SuperSpeed限定でFPGA消費リソースを節約

Family	Example Device	Fmax (MHz)	Combinational ALUTs ¹ / Logic Elements	Registers ¹	Pin ²	Block Memory bit	PLL	Design Tools
CycloneIV GX	EP4CGX150DF31C7	133	8,778	3,885	70	135,168	2	QuartusII 13.1
Arria II GX	EP2AGX125EF35C4	158	5,751	3,885	70	135,168	2	QuartusII 10.1
CycloneV E	5CEFA7F31I7	140	5,816	4,417	70	135,168	2	QuartusII 14.0
ArriaV GX	5AGXFB3H4F35C4	142	5,816	4,305	70	135,168	2	QuartusII 14.0

USB3.0-IP コンパイル結果例(コントロール1個, IN/OUT 各2個)

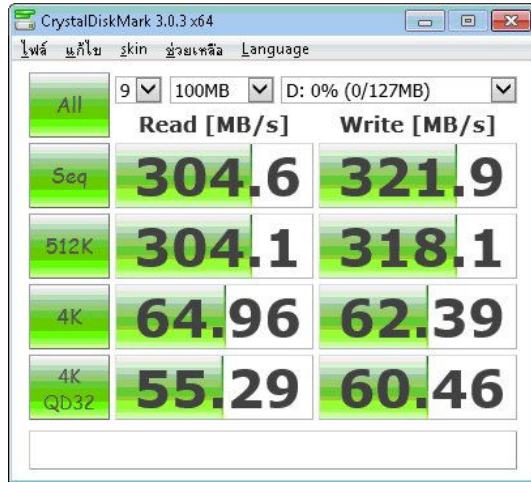
USB3.0-IPコアの機能(2/2)

- ・ 最大15個のIN/OUTエンドポイントをサポート
 - コントロール 1個
 - IN/OUT各7個まで
- ・ 全ての転送タイプ(Control/Bulk/Isynchronous/Interrupt)をサポート
- ・ Altera評価ボードで実機評価可能



USB3.0-IPパフォーマンス

- ・ 現行のUSB3.0システムで最高のパフォーマンス
 - シーケンシャル・ランダムどちらのアクセスも高性能
 - オーバーヘッドを最小化したデザインを提供

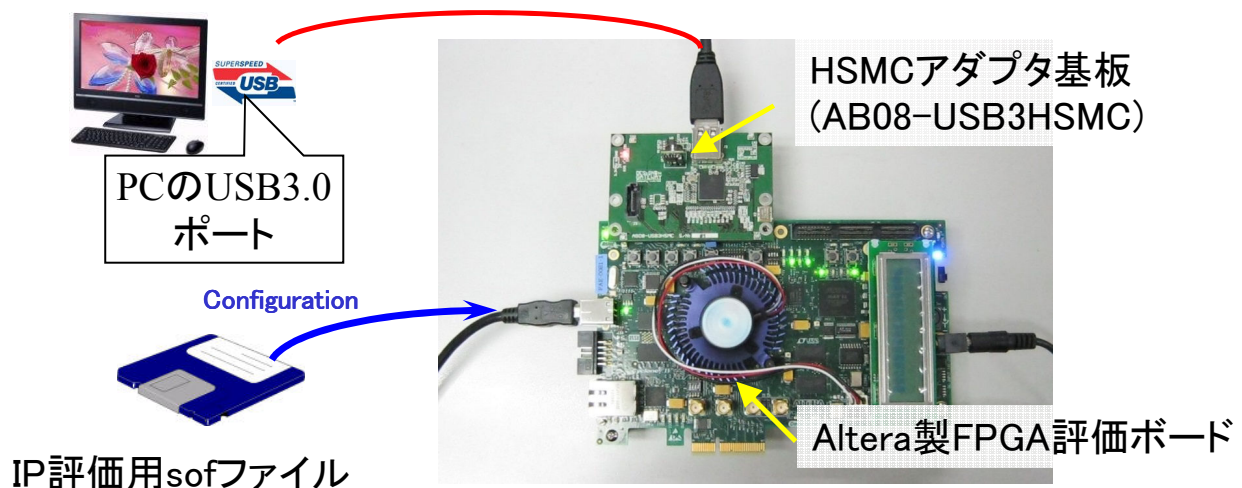


(参考情報: 他社コアのパフォーマンス)

デバイス側コアのパフォーマンス実測値

評価用sofファイル

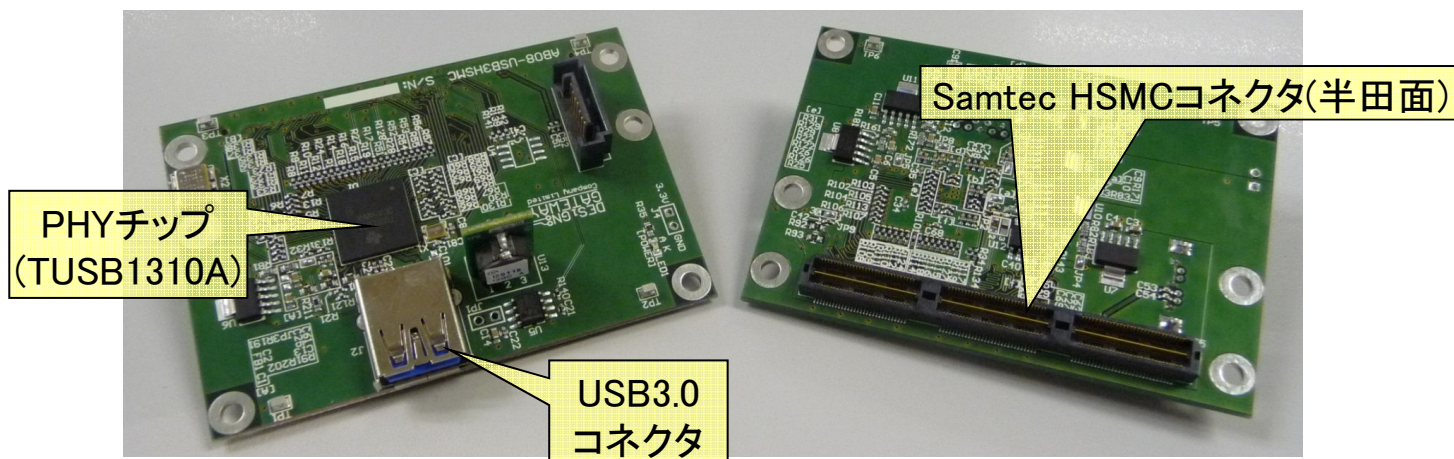
- ・ 各種Altera評価ボードで実機動作する無償sofファイル
 - HSMCアダプタ基板(AB08-USB3HSMC)が必要



USB3.0-IPの実機評価環境

HSMCアダプタ基板 (AB08-USB3HSMC)

- 外部PHY必要版コアの評価で使用
 - 各種Altera評価ボードのHSMCコネクタと接続
 - TI製TUSB1310Aおよび周辺回路を実装



AB08-USB3HSMC

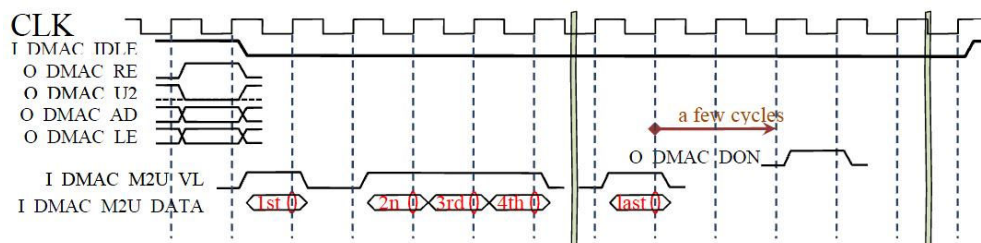
Design Gateway

2015/5/14

Page 9

USB3.0-IPコアの特徴(1/3)

- FPGAでの組み込み機器に最適化したコア
 - 同等の機能を最小限のサイズへ(弊社推定含む)
 - ✓ パケットリトライ用のRAMは不要
 - SuperSpeedに限定して必要十分な機能
 - コアのインターフェースは非常にシンプル
 - ✓ 他モジュールとの接続がし易い。
 - ✓ 標準インターフェースとの接続はリファレンスとして提供(ソースを公開)



(a) DMA Read Timing(Memory to USB)

Design Gateway

2015/5/14

Page 10

USB3.0-IPコアの特徴(2/3)

- ・ リファレンスデザインの最適化
 - アルテラ標準キットでの評価および開発着手が可能
 - ✓ DDRコントローラなどの標準IPはアルテラのサンプルを参照可能
 - ✓ 他のIPとも親和性が高い
 - SOPC Builderを前提としたデザイン
 - ✓ FPGAでは今や標準.
 - 完成度が高いMass Storage Classを実現(デバイス側)
 - ✓ DDR2-RAMを使い100MB以上の容量
 - ✓ Windows上の標準ベンチマーク(CDM)で性能の実測が可能
 - ✓ H/WのRTLはソース公開、移植時に優位
 - ✓ S/WのCコードもソース公開、機能追加や理解が容易

USB3.0-IPコアの特徴(3/3)

- ・ 国内サポートの充実と安心感
 - 開発部隊が近さが違う
 - ✓ 24h以内に何らかのレスポンス
 - 質問時の敷居が低い
 - ✓ 深い内容でも翻訳の手間がなく、有利.

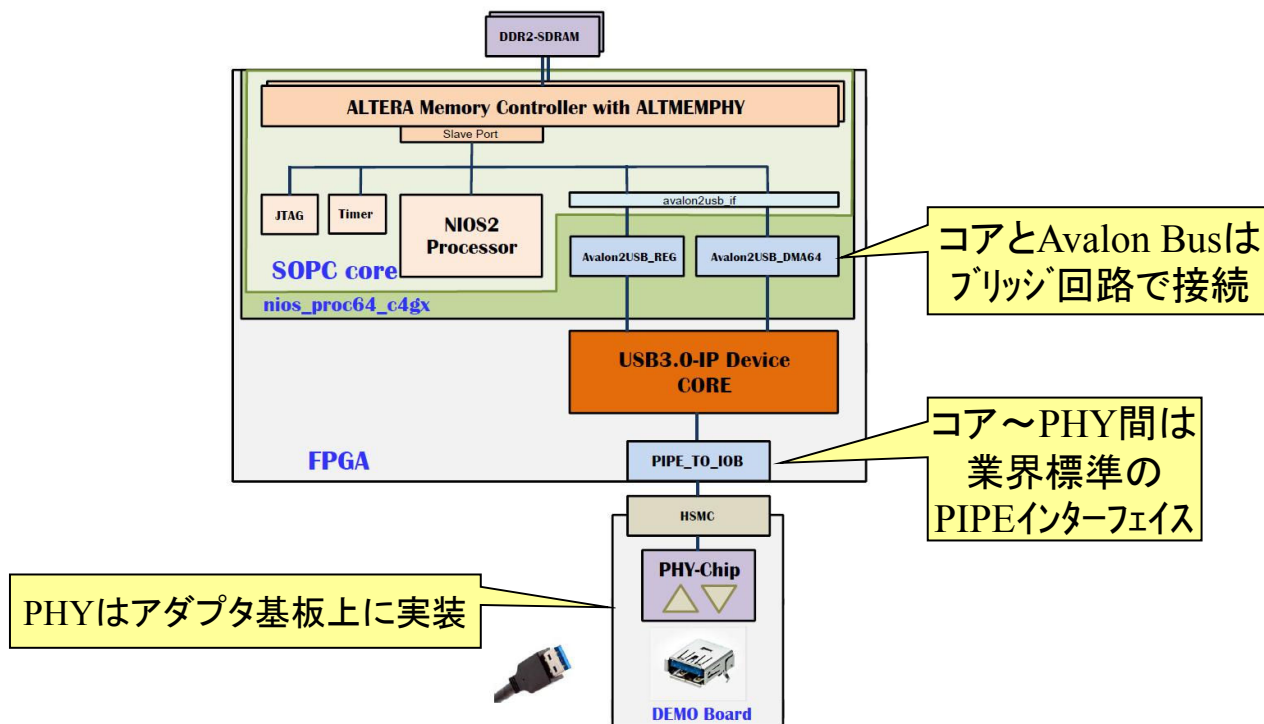


お客様にとって

開発時の優位性が高いコアとなっています.

- ✓ コアがあっても周辺と組み込めなければ使えない。
- ✓ その為には使い方・内容を理解できることが大前提。
- ✓ **必要最小限の手間**で開発着手が可能。

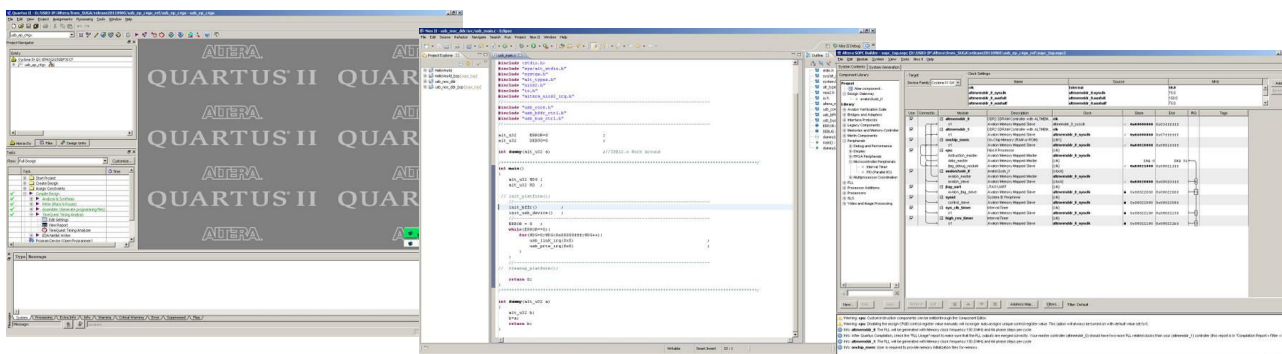
リファレンス・デザイン(全体構成)



リファレンス・デザインのブロック図

リファレンス・デザイン(概要)

- ・ 各種Altera評価ボードとアダプタ基板で実機動作
 - 評価用sofファイルのQuartusII/NiosIIプロジェクト
- ・ コア以外の全HDLソースコードが添付
 - NiosIIアプリのファームもCソースで提供



リファレンス・デザイン(ホスト側)

- ・ 接続USB3.0デバイスへシリアル経由でコマンド実行
- ・ FAT32ファイルシステムを実装

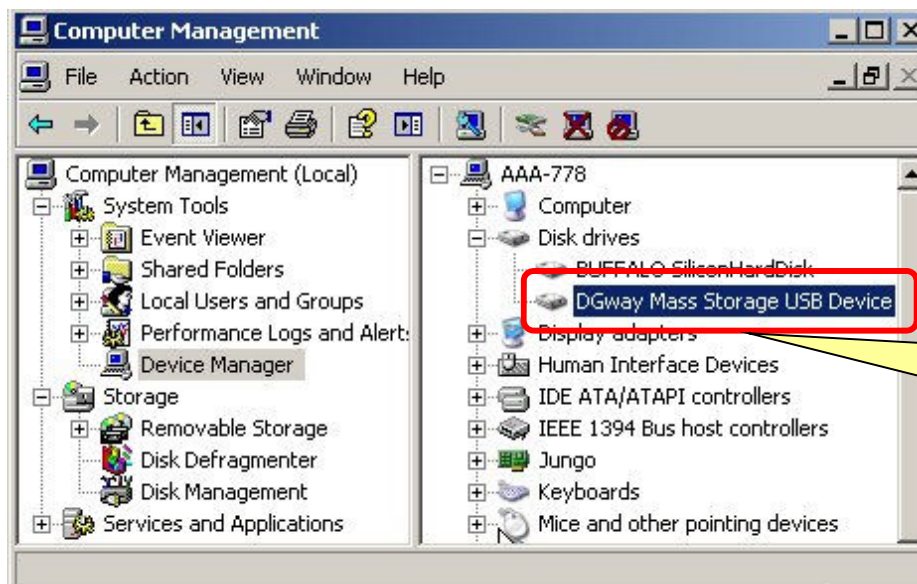
接続したUSB3.0ストレージに対してFAT32の各コマンドが実行可能

```

COM3:115200baud - Tera Term VT
ファイル(F) 編集(E) 設定(S) コントロール(C) ウィンドウ(W) ヘルプ(H)
Supervisor: 1: > help
++++<COMMAND>+++++<description>+++++
help                :Display Command List.
config (R)          :Display Device Configuration.(R:Reconnect)
date                :Set Data and Time.
discon [n:]         :Disconnect Device.
drv [n:]            :Select Current Device.
mode {S/N}         :Select Mode.(S:Supervisor,N:Normal)
gen [ADDR] [LEN] [Num/I] :Generate Data on Buffer.
dump [ADDR] [LEN]  :Dump Data on Buffer.
.... (FAT system Command) ....
dir [DIR]           :Display a list of files in current directory.
cd [DIR]            :Change current directory.
md [DIR]            :Make(create) new directory.
del [FN/DIR]        :Delete file.
edit [FN]           :Edit text file from Key Board.
type [FN]           :Type text file.
cbin [ADDR] [LEN] [FN] :Create binary file from Buffer.
rbin [ADDR] [LEN] [FN] :Read binary file to Buffer.
copy [SRC] [DST]    :Copy file from SRC to DST.
ren [OLD] [NEW]     :Rename file/directov from OLD to NEW.
.... (Supervisor Command) ....
format [n:]         :Format Device.
read [ADDR] [LEN] [SEC] :Read Data to Buffer from Device.
write [ADDR] [LEN] [SEC] :Write Data to Device from Buffer.
.... (Parameter) ....
[ADDR/LEN]         :Buffer address or Length by hex.[w/o 0x]
[SEC]              :Start Sector by hex.[w/o 0x]
[DIR]              :Absolute/Relative path. [!:/one/two]
[FN]               :Short name only. [!:/one/two/filename.bin]
+++++
  
```

リファレンス・デザイン(デバイス側)

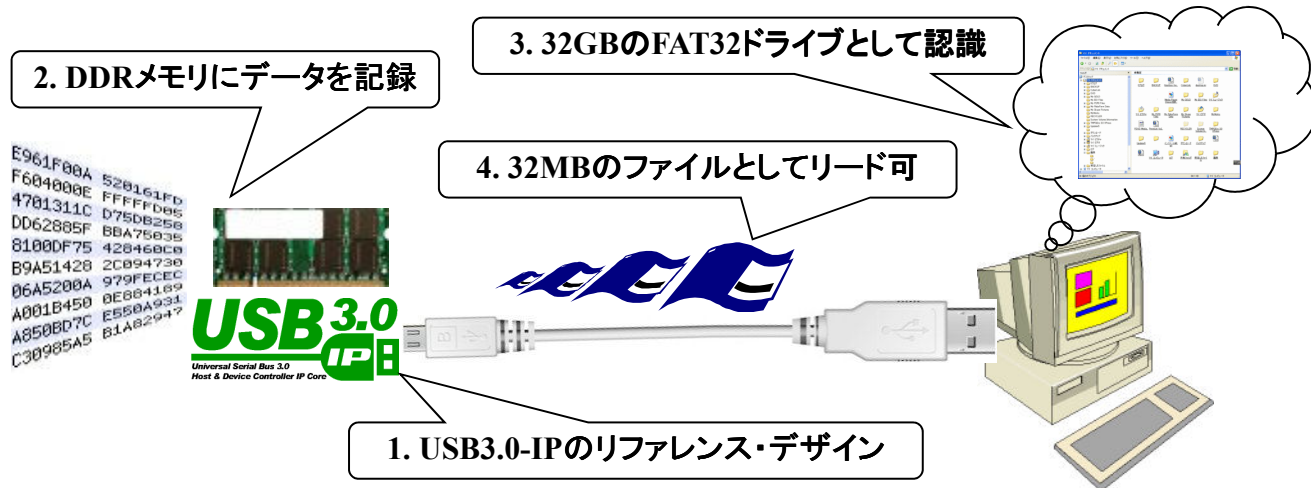
- ・ ストレージ・クラスとしてOSからドライブで認識
- ・ FPGA評価ボードのDDRメモリをRamdiskとして使用



OSからストレージ・クラスのドライブとして認識

FAT32データ・レコーダ

1. USB3.0デバイス側IPコアのリファレンス・デザイン
2. FPGA側でオンボードのDDRメモリにデータを収録
3. 接続PCから32GBのFAT32汎用ドライブとして認識
4. 収録したDDRデータは32MBのデータ・ファイルでアクセス可



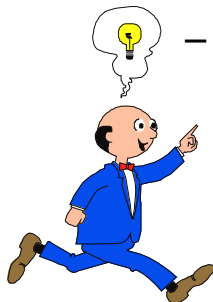
2015/5/14

Design Gateway

Page 17

問い合わせ

- ・ ホームページに詳細な技術資料を用意
 - http://www.dgway.com/USB3-IP_A.html
- ・ 問い合わせ
 - 株式会社Design Gateway
 - E-mail : info@dgway.com
 - FAX : 050-3588-7915



2015/5/14

Design Gateway

Page 18

改版履歴

Rev.	日時	履歴
0.1	2011/9/7	ドラフト初期版作成
0.2	2011/9/8	写真差し替え等の変更
1.0	2011/9/9	公開リリース版
1.1	2011/9/23	図の説明を調整
1.2J	2013/5/20	Host機能/PHY不要版の説明を追加
1.3J	2014/5/14	データ・レコーダの紹介を追加、新ファミリ対応情報を追加