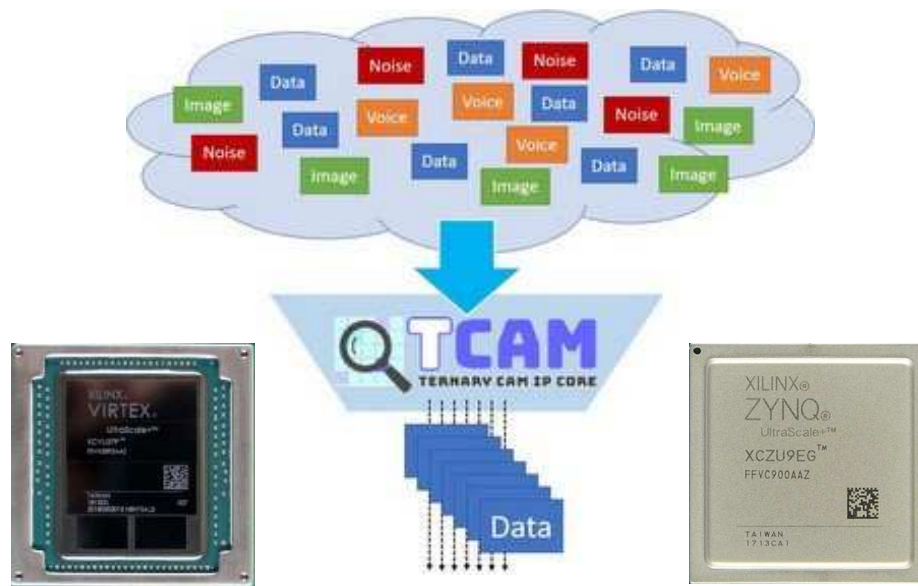


Xilinx版tCAM-IPコアのご紹介

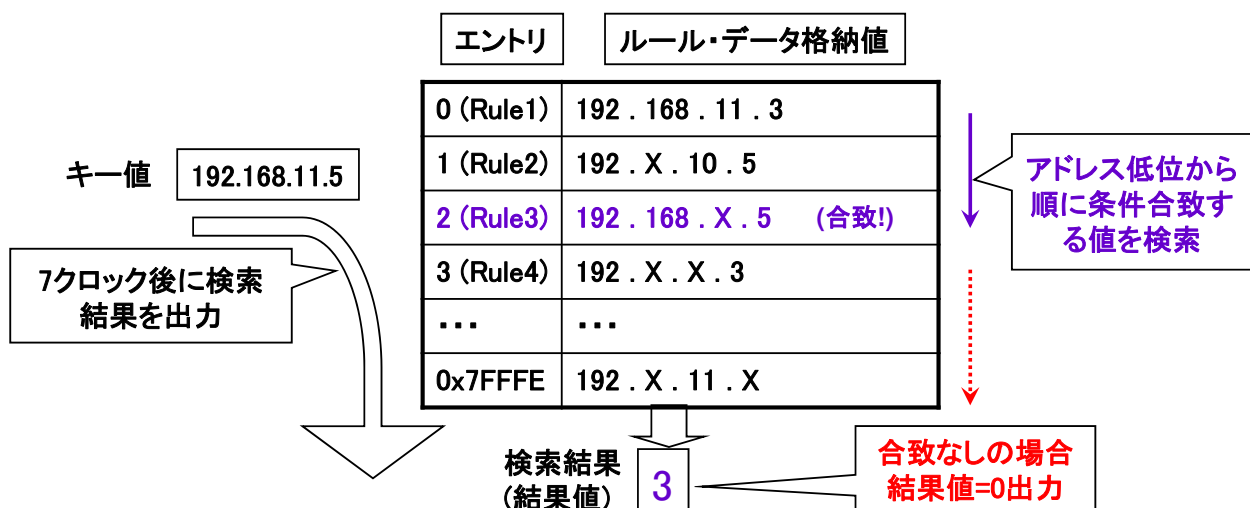
Rev1.0XJ



超低レイテンシの3値連想メモリIPコア

tCAM-IPコアの概要

- ・ 超低レイテンシの3値(0,1,X)連想メモリ制御IPコア
- ・ 検索結果出力まで7クロック固定、最大51万エントリ



tCAM-IPコアの動作イメージ図

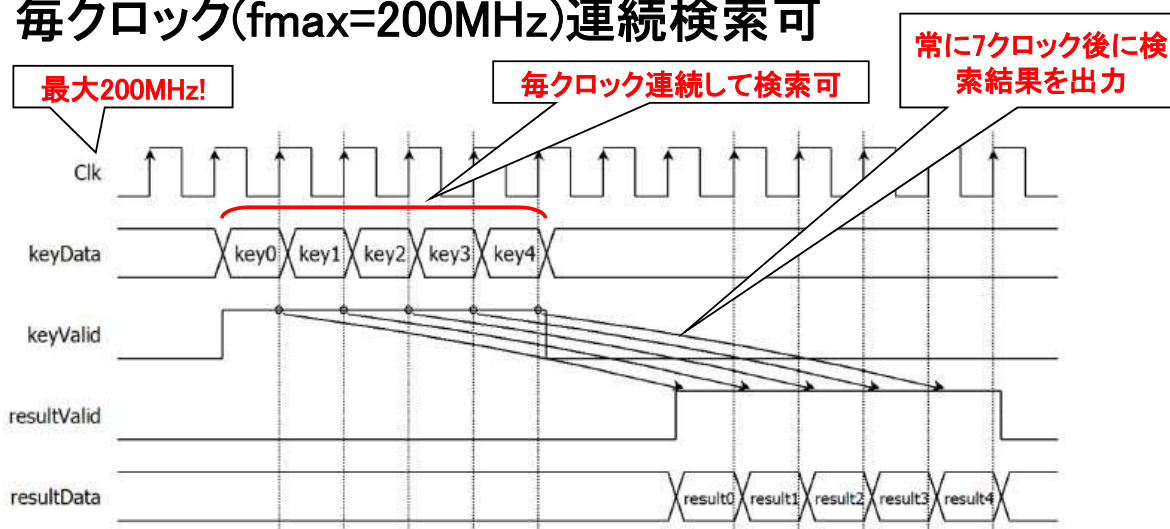
tCAM-IPコアの特長

- ・ 最大200MHzクロックで連続動作
- ・ 検索時間は7クロック固定
- ・ ルール数最大51万(524,287)エントリー
- ・ キー値ビット幅: 64/56/48/40/32/24ビットから選択
- ・ カスタマイズ対応可
 - ルールエントリー数やキー幅の拡張
 - 外部メモリ対応



tCAM-IPコアの特長1

- ・ 検索時間は7クロック固定
- ・ 毎クロック($f_{max}=200\text{MHz}$)連続検索可



コアの初期化

- ・ ユーザ回路のruleInit信号で初期化開始
- ・ コアからルール・テーブルをアクセス
- ・ 初期化完了後ruleBusyがネゲート
- ・ 結果ステータスを確認, OKなら検索動作開始
- ・ 初期化時間はキー幅・キー深さに依存

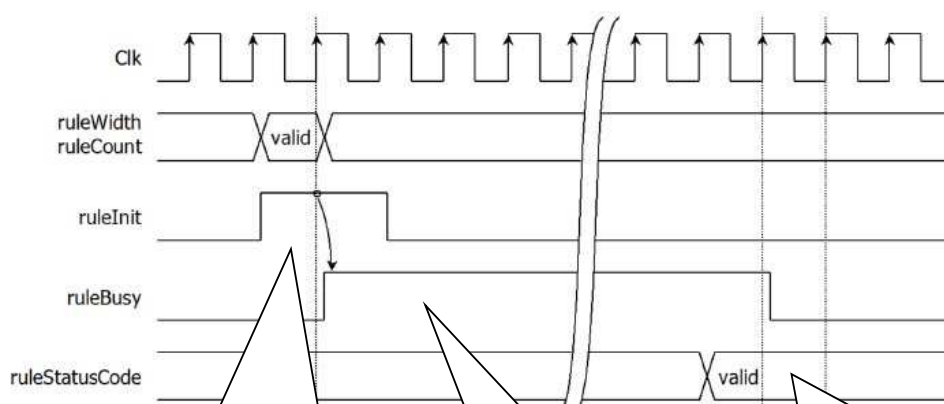
Keyビット幅	Ruleサイズ	初期化時間
32bit	1K	523msec
32bit	64K	2,957msec
64bit	1K	620msec
64bit	64K	15,472msec



tCAM-IPコアの初期化時間例

コアの初期化1

- ・ ユーザ領域のルール・テーブルをコアにロード



キー・サイズ,ルールテーブル・サイズをセットしruleInitをアサート

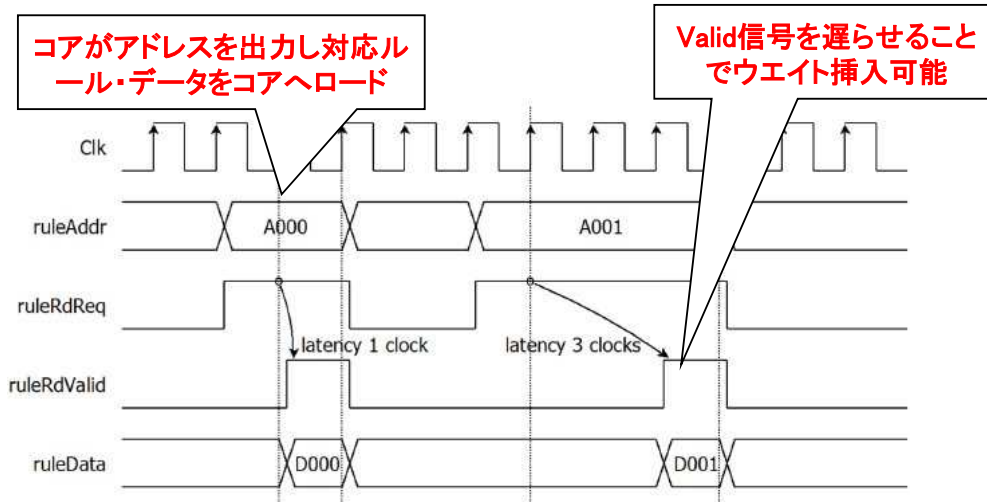
初期化実行中 ruleBusyが'1'

初期化完了後ステータスを確認,OKなら動作可能

tCAM-IPコアの初期化時のタイミング波形

コアの初期化2

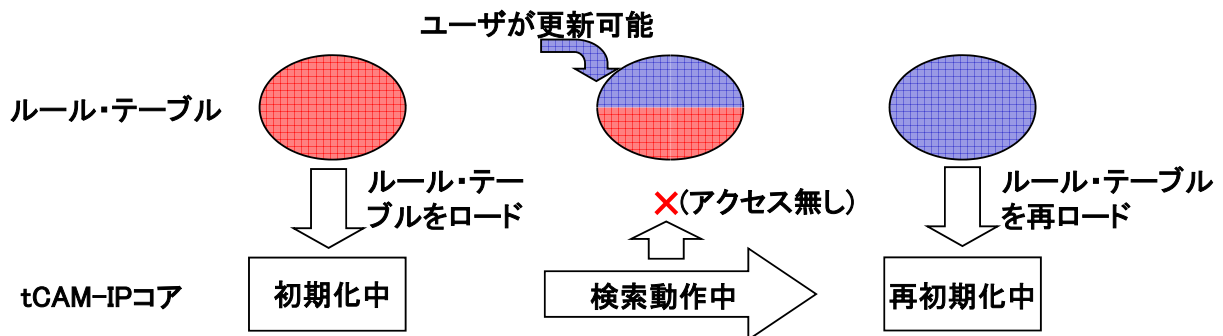
- ・ コアがユーザ回路内のテーブルをスキャンしロード
- ・ ユーザ回路はruleRdValid信号遅延でウェイト挿入が可能



tCAM-IPコアからのルール・テーブルアクセス時のタイミング波形

ルール・テーブルの更新

- ・ 初期化後コアはルール・テーブルをアクセスしない
- ・ ユーザ回路はコアの検索動作中にルール・テーブルの更新が可能
- ・ ルール・テーブルは再初期化時にコアへ再ロード



検索動作中のルール・テーブル更新

消費リソース

- ・ FPGA内ファブリックおよびブロック・メモリの消費量

Example Implementation Statistics

Family	Example Device	Fmax (MHz)	CLB Regs	CLB LUTs	CLB ¹	IOB	BRAMTile ²	Design Tools
Kintex UltraScale+	XCKU5P-FFVB676-2-E	200	3749	3344	1519	-	292	Vivado2019.1

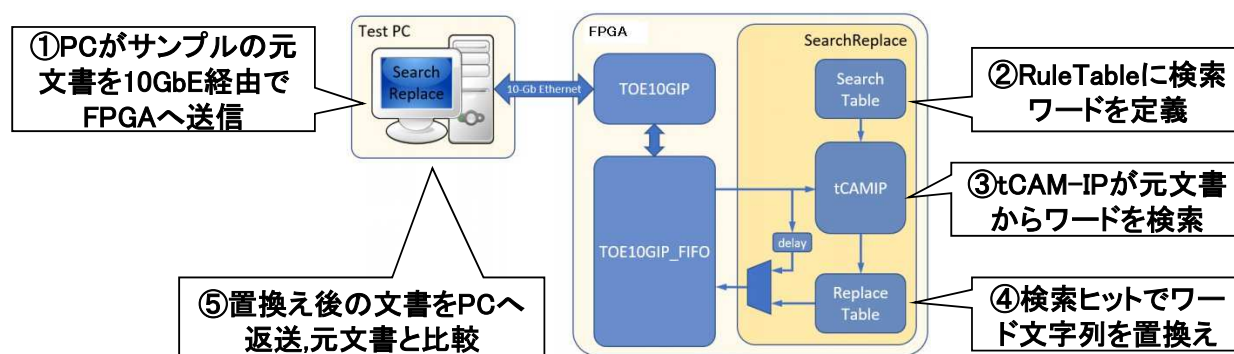
Notes:

- 1) Actual logic resource dependent on percentage of unrelated logic
- 2) Exclude user rule table memory, Ex: 256K x 9-bit rule table memory will take 64 BRAMTile.

tCAM-IPコアの消費リソース

実機デモ1 (検索/置換えデモ)

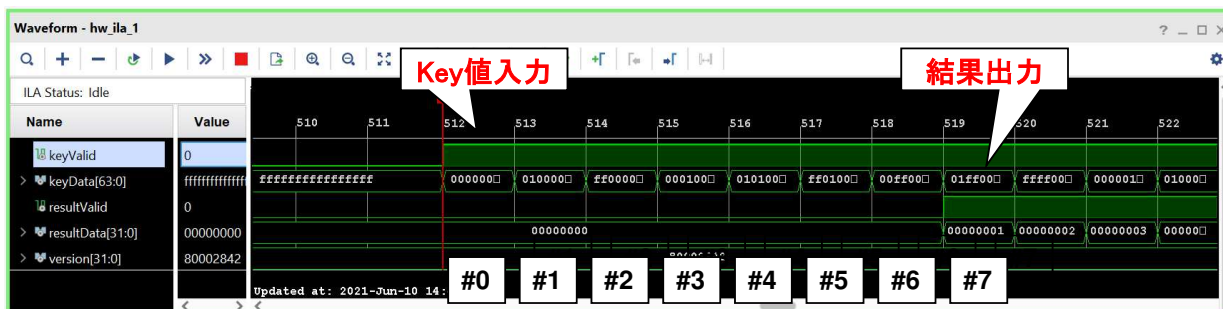
- ・ KCU116ボードとPC間を10GbEで接続
- ・ PCからサンプルの元文書(テキストファイル)をFPGAへ送信
- ・ FPGA内tCAM-IPコアで文書内の文字列を検索・置換え
- ・ 置換え後の新文書テキストをPCへ返送、表示・比較



tCAM-IPコアによる検索・置換えデモ

実機デモ2(ChipScope実波形デモ)

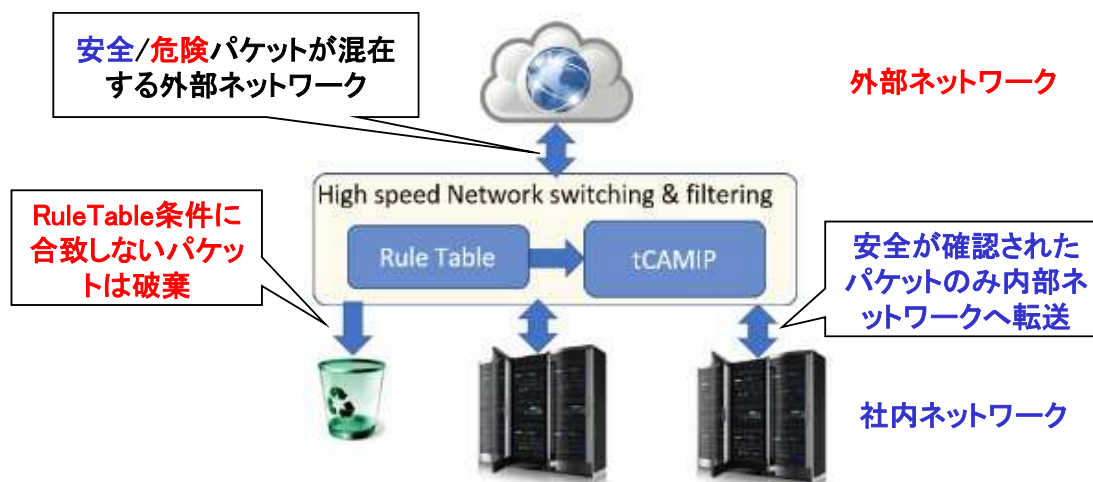
- ・ ChipScopeによる検索時間の実測デモ
- ・ システムクロック:200MHz
- ・ 検索開始から7クロック後に結果出力



ChipScopeによるtCAM-IP検索結果例

アプリケーション例

- ・ ネットワーク・スイッチやフィルタリング・システム



社内ネットワークのセキュリティ・システム

